

More than Mooreに辿る道 —Packaging Integration—

(社)電子情報技術産業協会
半導体部会 半導体技術委員会
半導体技術ロードマップ専門委員会
WG7/中島宏文(NECエレクトロニクス)

用語集

- PBGA : Plastic Ball Grid Array Package
- COC : Chip on Chip
- CSP : Chip Size Package/Chip Scale Package
- DAF: Die attach film
- FC : Flip Chip
- ITRS : International Technology Roadmap for Semiconductors
- KGD : Known Good Die
- PI: Polyimide
- PTFE: Polytetrafluoroethylene
- LED: Light-emitting diode
- LTCC : Low Temperature Co-fired Ceramic
- SEAJ : Semiconductor Equipment Association of Japan
- SiP : System in a Package
- SSD : Solid State Drive
- TSV : Through Silicon Via
- WB : Wire Bonding

STRJ-WG7 メンバ (2009年度)

リーダー: 春田亮(ルネサス テクノロジ)

サブリーダー: 中島宏文(NECエレクトロニクス)

国際対応委員: 宇都宮久修(ICT)、中島兼務

委員: 吉田英治／今村和之(富士通マイクロエレクトロニクス)、
高田隆(松下)、臼井良輔(三洋)、
木村通孝(ルネサス テクノロジ)、杉崎吉昭(東芝)
春口秀哉(シャープ)、上田茂幸(ローム)
春日壽夫(NECエレクトロニクス)

特別委員:

松下兼人(SEAJ; 芝浦メトロニクス)

林智雄(SEAJ; 東京精密)

喜多村章司(SEAJ; キヤノンマシナリ)

横田寛(住友重機械工業)

2009年版ITRS A&Pの概要



1. More Moorに従ったロードマップの改版

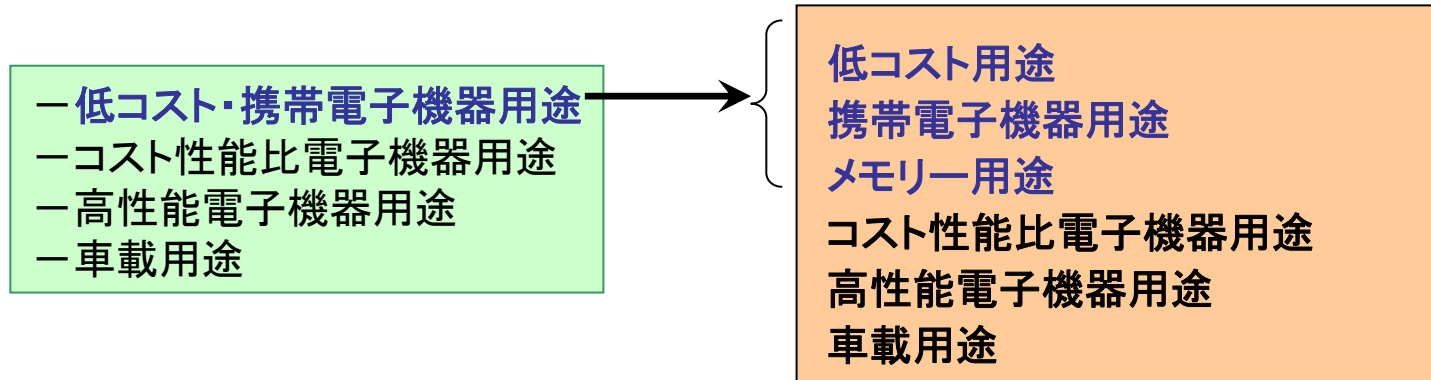
1. System in Package
2. リフロー時のパッケージ反り
3. パッケージ基板
4. ワイヤボンディング
5. Through silicon via (TSV)
6. パッケージ要素の必要性とギャップ
7. 環境

2. More than Moorに基づく多様化の記述

1. Optoelectronics packages
2. 光通信
3. 高輝度LEDパッケージ
4. MEMSパッケージ

1-1. System in Package

- 低コスト携帯電子機器用途を細分化してSiPへの要求事項を記述した。



- ロードマップ表の項目は
 - パッケージ高さ: 特に携帯電子機器とメモリに重要
 - 最小チップ厚: パッケージ高さの低減要素+TSV生産効率向上
 - 最小基板厚: 両面基板で120um、ビルドアップで180umからの薄化
 - 最小DAF厚: パッケージ高さの低減要素
 - チップ上最小樹脂厚: パッケージ高さの低減要素
 - 最大pin数: 現在は高性能用途では3350ピン、携帯電子機器では800ピン
 - 最大チップ間ボンディング数: CoCで2000ピン、Side by sideで500ピン
→バス幅の拡大に対して対応できる技術の実用化
 - 最大チップ間バンド幅: 特に高性能用途
 - 最大チップ積層数: メモリで顕著
 - パッケージ内最大チップ搭載数

携帯電子機器用SiPのロードマップ



SiPはパッケージ内のチップ間接続が特徴。本当にTSVが携帯電子機器用半導体に使われるか？

Year of Production		2009	2010	2011	2012	2013	2014	2015	2016	2017
package height (8 die stacked;mm)	All	1.2	1.0	1.0	1.0	1.0	0.8	0.8	0.8	0.8
Max pin count (Logic SiP)	All	800	900	900	1000	1000	1000	1000	1000	1000
Max pin count (RF SiP)	All	200	200	200	200	200	200	200	200	200
Min DAF thickness (um)	Wire bond	15	15	15	10	10	10	10	5	5
Min Substrate thickness (um)	All	180	160	160	140	140	100	100	80	80
Min resin thickness over die (um)	Wire bond	150	100	100	80	80	70	70	60	60
Max number of die-to-die bonds/SiP	TSV	1000	1000	2000	3000	5000	5500	6050	6655	7,321
	Face to face	2000	2000	2500	2500	2500	3000	3000	3000	3500
	Wire bond	70	90	120	150	180	210	240	270	300
	PoP	160	200	200	240	240	240	240	260	260
Max die-to-die bandwidth in SiP (Gbps)*	TSV	-	-	-	40	60	90	110	120	160
	Face to face	200	250	300	350	400	450	500	520	550
	Wire bond	21	26	26	26	42	42	42	42	52
	PoP	21	26	26	26	42	42	42	42	52
Min die thickness (um)	TSV	-	40	40	40	30	30	30	20	20
	Face to face	70	70	50	50	50	50	35	35	35
	Wire bond	40	40	40	30	30	20	20	20	20
	PoP (wire)	40	40	40	30	30	20	20	20	20
	PoP (FC)	70	70	50	50	50	50	50	50	50
Max number of stacked die	TSV	-	-	-	3	4	4	4	4	4
	Face to face	2	2	2	2	2	2	2	2	2
	Wire bond	4	4	5	5	5	5	5	6	6
	PoP	2	2	2	3	3	3	3	3	4
Max number of die in a package	All	10	10	12	12	12	14	14	15	15

Work in Progress - Do not publish

STRJ WS: March 5, 2010, WG7 A&P

TSVの代替技術：小型薄型化

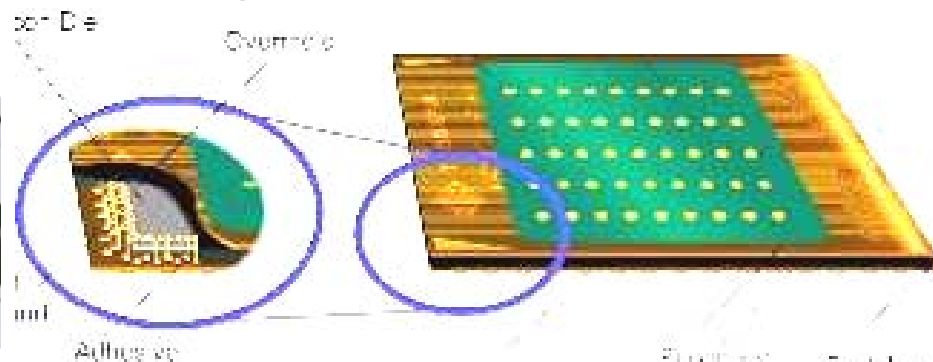
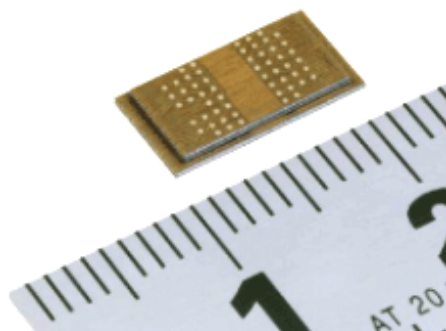
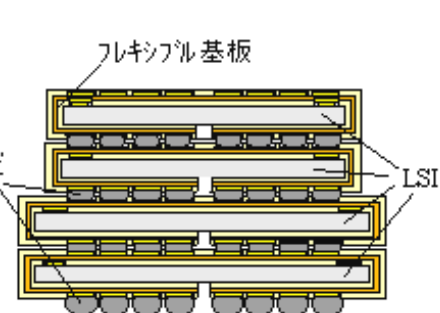
• チップサイズSiP

- FFCSP (Flexible carrier Folded real CSP; NEC)
- μ Z Fold-Over package (Tessera)
- Wafer stack w/ edge connect

⇒ チップサイズSiPは若干コスト高のために普及するに至らなかった。

• TSVを用いた単体WL-CSP

- Face down; WL-CSP, μ BGA, Super CSP, Ultra CSP
- Face up; Shellcase for CMOS Image Sensor



高性能用途SiPのロードマップ

高性能用途SiPの接続手段はフリップチップとTSVに焦点を当てている。
ワイヤレスは信号伝達は良いがコア全面への一様な電源供給手段が課題。
放熱が最大の課題であり、電氣的な要求との相容れない状況。

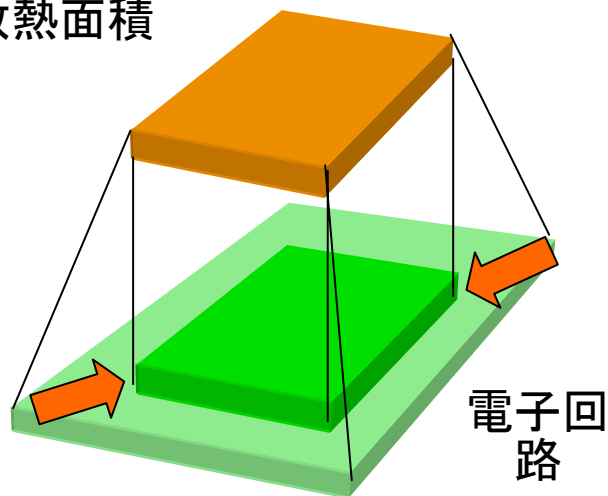
Year of Production		2009	2010	2011	2012	2013	2014	2015	2016	2017
Max pin count	All	3350	3509	3684	3860	4053	4246	4458	4670	4904
Passives on package Min. size (um)		400X200	400×200	400×200	200X100	200×100	200×100	200×100	200×100	200×100
Max number of die-to-die bonds/SiP	TSV	-	-	-	-	-	-	5000	5000	6000
	Side by side (FC)	500	600	700	800	900	1000	1100	1200	1300
Max die-to-die bandwidth in SiP (Gbps)*	TSV	-	-	-	-	-	-	8000	8000	9000
	Side by side (FC)	1632	1800	2000	2200	2400	2600	2800	3000	3200
Min die thickness (um)	TSV	-	-	-	-	-	-	25	20	20
	Side by side (FC)	100	100	100	100	100	100	100	100	100
Max number of stacked die	TSV	-	-	-	-	-	-	2	2	3
	Side by side (FC)	1	1	1	1	1	1	1	1	1
Max number of die in a package	All	6	7	7	7	8	8	8	9	9

三次元化の放熱性とコスト

- 携帯電子機器の消費電力は低いために放熱能力は問題ではなかった。
- 消費電力が高い高性能用途は放熱性の確保が必須。
 - 高い消費電力
 - チップごとに異なった保証動作温度; DDR vs. logic devices
 - 低コストで高性能な放熱方法: 低コスト水冷方式?

携帯電子機器の場合

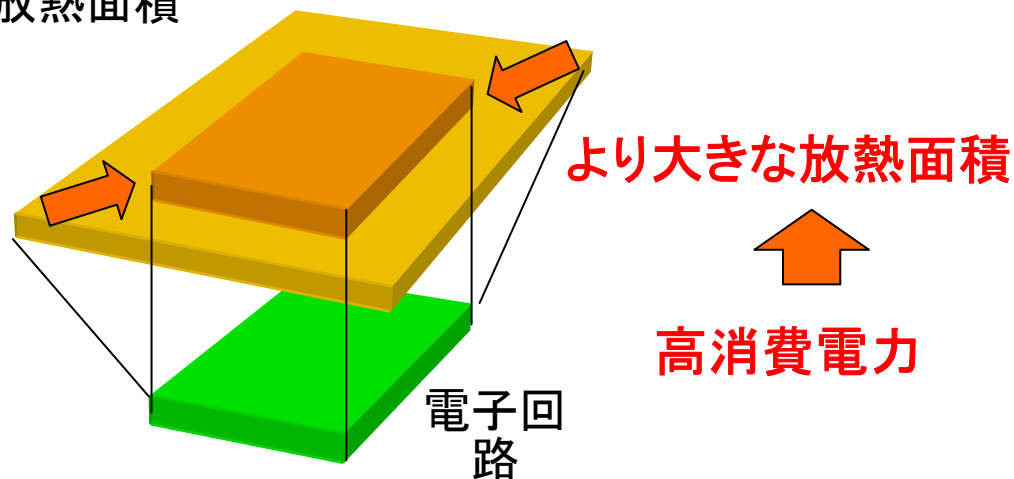
放熱面積



SiPによって削減した実装面積
=> 低コスト化

高性能電子機器の場合

放熱面積

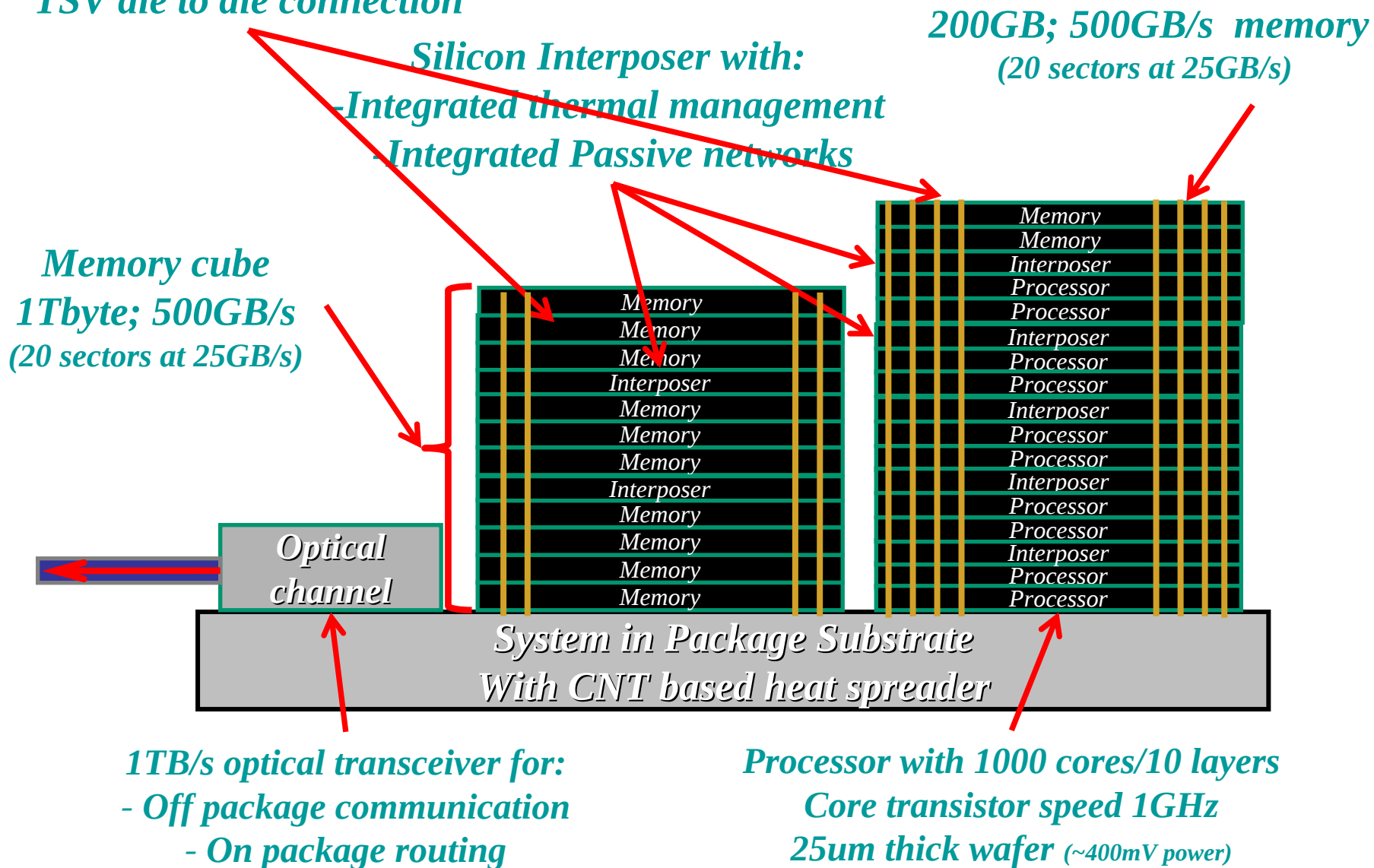


放熱面積の縮小
=> コストアップ

Tera-scale Computing by 2015

しかし、コストを惜しまない最先端コンピュータには:

TSV die to die connection



Work in Progress - Do not publish

STRJ WS: March 5, 2010, WG7 A&P

1-3. パッケージ基板

- 従来は各要素ごとに最高性能を記述しており、総合的にはありえない基板。
 - 2009年からパッケージ基板のロードマップを用途別に分類して記述した。
 - 低コスト用途: PBGA (2層、4層ラミネート基板): 低コスト、大量生産に耐えうるサブトラ技術による基板ロードマップ。
 - 携帯電子機器FBGA (2層、4層ファインラミネート基板): サブトラとセミアディティブ技術による基板ロードマップ
 - 携帯電子機器SiP (ワイヤボンディング対応ビルドアップ基板): ワイヤボンディングとフリップチップに共用可能なプレプレグによるビルドアップ基板のロードマップ
 - コスト性能比機器用途: FCBGA
 - 高性能電子機器用途: 低誘電率、低損失、超多層基板: PI、PTFE、LTCCなど
- 日本半導体製造装置協会(SEAJ)から、パッケージ基板外形のロードマップが欲しいとの要望あり。
 - 技術ロードマップというよりも、設備設計時にMAX寸法とする外形。
 - ウェーハの300mm、450mmのようなイメージのロードマップを作成することによって、組立設備ロードマップが決まる。
 - 今後、この要望への対応をロードマップとデファクト標準の観点から検討する。

低コスト用途（PBGA、2層、4層ラミネート基板）

低コストが最大の要求で、生産地も東南アジアに移っている。東南アジアの基板メーカーの設計基準にあったパッケージ設計が必要。

<i>Year of Production</i>		2009	2010	2011	2012	2013	2014	2015	2016
Parameter	unit								
Package Type	-	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA
Interconnect Method	-	Wire Bonding							
Chip to Substrate Interconnect Land Pitch	μm	120	120	110	110	110	100	100	100
Min. External I/O Pitch	mm	1.0	1.0	1.0	0.8	0.8	0.8	0.8	0.8
Typical External I/O Pitch	mm	1.0	1.0	1.0	0.8	0.8	0.8	0.8	0.8
Min. Total Thickness	mm	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Core Material Tg	°C	180	180	180	210	210	210	210	210
Core Material CTE (X-Y)	ppm/°C	14	14	14	13	13	11	11	11
Core Material CTE (Z)	ppm/°C	40	35	35	30	30	30	30	30
Core Material Dk@1GHz	-	4.2	4.2	4.2	4.2	4.2	4.0	4.0	4.0
Core Material Df@1GHz	-	0.013	0.013	0.013	0.013	0.013	0.010	0.010	0.010
Core Materials Young's Modulus	GPa	24	24	24	24	24	24	24	24
Core Material Water Absorption	%	0.10	0.07	0.07	0.07	0.07	0.07	0.07	0.07
Min. Line width/Space	μm	50/50	50/50	50/50	50/50	50/50	40/40	40/40	40/40
Min. Conductor Thickness	μm	25	25	25	25	25	25	25	25
Min. Through Via Diameter	μm	150	150	150	150	150	125	125	125
Min. Through Via Land Diameter	μm	300	300	300	300	300	275	275	275
Min. Through Via Pitch	μm	350	350	350	350	350	325	325	325

コスト性能比用途 (FCBGA、ビルドアップ基板)

Year of Production		2009	2010	2011	2012	2013	2014	2015	2016
Parameter	unit								
Chip to Substrate Interconnect Land Pitch	μm	150	150	150	125	125	125	100	100
Min. Finished Substrate Thickness	mm	1.1	1.1	1.1	1.1	1.1	1.1	1.1	1.1
Core Material Tg	°C	180	180	180	210	210	210	210	210
Core Material CTE (X-Y)	ppm/°C	10	10	10	8	8	8	8	8
Core Material CTE (Z)	ppm/°C	20	20	20	10	10	10	10	10
Core Material Dk@1GHz	-	3.2	2.8	2.8	2.8	2.8	2.8	2.8	2.8
Core Material Df@1GHz	-	0.007	0.007	0.007	0.007	0.007	0.007	0.007	0.007
Core Materials Young's Modulus	GPa	24	24	24	24	24	24	24	24
Core Material Water Absorption	%	0.10	0.07	0.07	0.07	0.07	0.07	0.07	0.07
Buildup Material Tg	°C	200	200	200	210	210	210	210	210
Buildup Material CTE (Z)	ppm/°C	46	40	40	40	40	40	40	40
Buildup Material Dk@1GHz	-	3.4	3.0	3.0	3.0	3.0	3.0	3.0	3.0
Buildup Material Df@1GHz	-	0.013	0.013	0.013	0.013	0.013	0.013	0.013	0.013
Buildup Materials Young's Modulus	GPa	4	5	5	5	5	5	5	5
Buildup Material Water Absorption	%	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Min. Line width/Space	μm	18/18	15/15	15/15	12/10	12/10	10/10	10/10	8/8
Min. Conductor Thickness	μm	25	25	25	20	20	15	15	12
Min. Through Via Diameter	μm	100	100	100	80	80	80	80	70
Min. Through Via Land Diameter	μm	250	250	250	200	200	200	200	150
Min. Micro Via Diameter	μm	60	60	60	60	50	50	50	50
Min. Micron Via Land Diameter	μm	150	130	130	120	100	100	100	100
Min. Through Via Pitch	μm	300	300	300	275	275	275	275	275
Min. Solder Mask Opening	μm	80	80	80	60	60	60	60	50
Min. Solder Mask Opening Tolerance	μm	20	20	20	18	18	18	18	15

1-4. ワイヤボンディング

銅ワイヤはチップ・樹脂との組み合わせで信頼性を確認しながら狭ピッチ化を進める。
フリップチップの低コスト用途のピッチが広いのは、低コスト基板に制限されるため。

Year of Production	2009	2010	2011	2012	2013	2014	2015	2016
Au wire Bond Pitch								
Au Wire bond—single in-line (μm)	35	30	30	25	25	25	25	25
Au Two-row Pitch (μm)	40	35	35	35	30	30	30	30
Au Three-tier Pitch (μm)	50	50	45	45	40	40	35	35
Au Wire bond—Wedge pitch (μm)	20	20	20	20	20	20	20	20
Chip on Film	25	20	20	15	15	10	10	10
Cu wire Bond Pitch								
Cu wire - single inline	50	45	40	40	35	35	35	35
Cu wire - dual row	60	50	45	45	40	40	40	40
Flip Chip Pitch								
Flip chip array, low end & consumer	210	210	200	200	180	180	150	150
Flip Chip array, mobile products	150	135	120	110	110	100	100	100
Flip Chip peripheral (1 on 2 row + center) - mobile and chip to chip array applications	60	50	50	40	40	40	40	35
Flip Chip PC, notebook, net book = same as consumer	150	135	120	110	110	100	100	100
Flip Chip - high performance (will lag consumer)	160	150	150	130	130	120	120	120

1-5. Through silicon via (TSV)

微細TSVはSematechのロードマップが強く影響している。粗いTSVを追加(量産ベース)

Year of Production		2009	2010	2011	2012	2013	2014	2015	2016
FINE TSV PITCH TSV for die-to-die interconnection	Numbers of die stacked in a TSV structure	9	>9	>9	>9	>9	>9	>9	>9
	Minimum TSV pitch (um)	6	5	4	3.8	3.6	3.4	3.3	3.1
	TSV exit diameter(um) (D)	3	2.5	2	1.9	1.8	1.7	1.6	1.5
	TSV maximum aspect ratio**(L/D)	10	10	10	10	10	10	10	10
	TSV via last layer thickness (L) for minimum pitch	15	15	10	10	10	10	8	8
	Via fill method	CVD fill, PVD fill							
	TSV metal	Cu, W							
	Alignment requirement, um (assume 75% exit dia)	0.8	0.6	0.5	0.5	0.5	0.4	0.4	0.4
	Construction compatability	W2W, D2W, D2D							
	Interconnect methods	Cu-Cu, Cu-Sn-Cu, and DO							
COARSE TSV PITCH (CIS) TSV for die-to-ball interconnection (including WLP)	Minimum TSV pitch (um)	125	110	100	90	90	80	80	80
	TSV diameter (outer) (um)	82	70	60	50	50	40	40	40
	TSV maximum aspect ratio**(L/D)	1.2	1.3	1.4	1.5	1.5	1.6	1.6	1.6
	Via fill method	Conformal plating, Via Lining							
	TSV metal	Cu							
	Alignment requirement, um (assume 75% dia)	21	18	15	13	13	10	10	10
	Construction compatability	W2W, D2W, D2D							
Interconnect methods		Cu lining or Cu pillar with landing pad (or RDL), CPS			Cu lining or Cu pillar with landing pad (or RDL), CuSn				

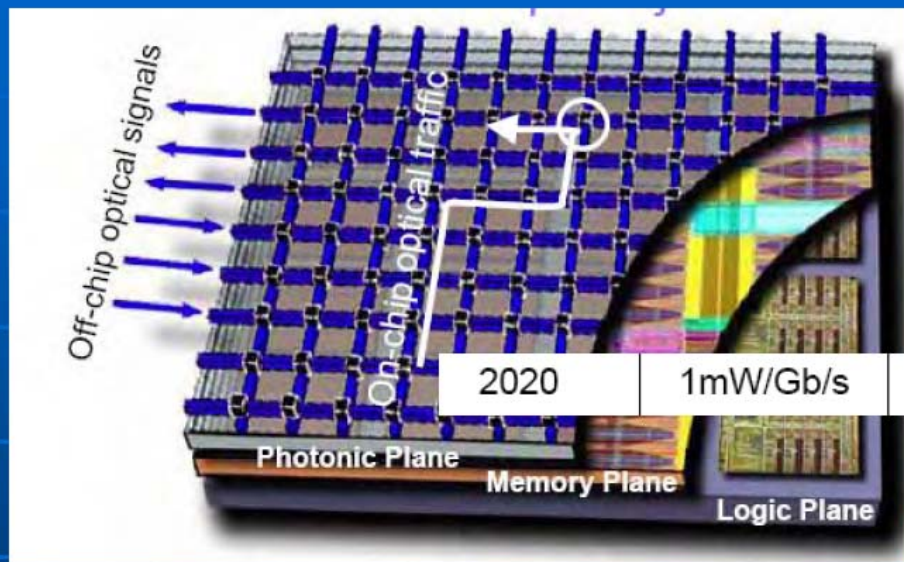
2-1. Optoelectronics Packages

- 光通信用パッケージ
 - Multimode Plastic Optical Fiber-to-Source (or Detector) connector
 - Chip-to-onboard transceivers
 - Butterfly Packages
 - TO Can with Molded in Connector, Window/Lens
 - Ceramic Package with Interconnect and Heat Sink
- 高輝度 LEDパッケージ
 - Overmolded Die on Lead Frame
- MEMS用パッケージ
 - Ceramic Package with Glass Cover
 - Wafer Scale Optical Packages
- 太陽電池パッケージの要件

Year	2009	2010	2011	2012	2013	2014	2015	2016
Maximum Concentration, Suns	10	100	300	1000	2000	3000	4000	5000
Maximum Voltage per Chip								
Cooling Method	air	air	air	air water	air water	air water	air water	water
Max Chip Temperature	85C	85C	85C	85C	85C	85C	85C	85C

Vision for 2020

Optically connected 3D Supercomputer Chip



Photonics layer integrated with logic and memory layers

- Each layer optimized for performance and yield
- Photonics layer connects cores and routes traffic
- Layers connected with TSV

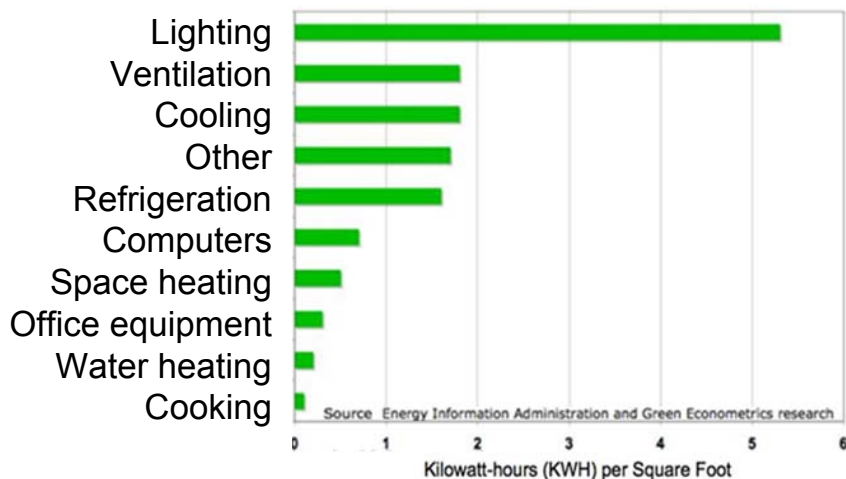
- Logic plane ~300 cores
- Memory plane ~30Gytes DRAM
- Photonic plane
 - >20Tbps optical on-chip (bidirectional)
 - >20Tbps off-chip

System level study:
IBM, Columbia, Cornell, UCSB

2-3 高輝度LEDパッケージ



Source: DoE 人工衛星から撮影した照明の状態：消費電力が大きいほど明るい。

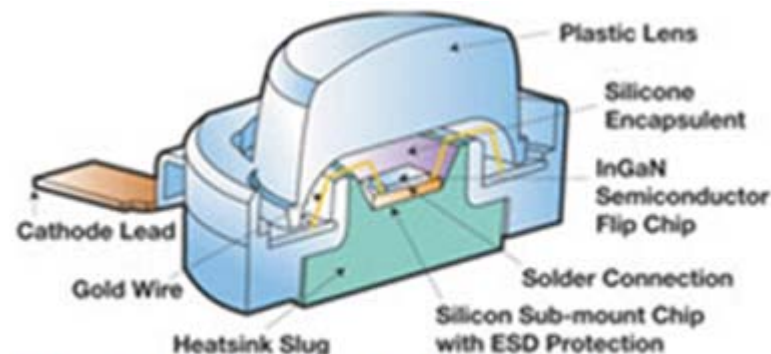


商用ビルでは照明が最も電気を消費している。

高輝度LEDパッケージ

高輝度LED用パッケージの要求

- 高放熱性：熱伝導度を高めるためにTIM材料とベースの設計
- 封止材
- 黄色蛍光体のばらつき抑制



Structure of a high-brightness LED.
Source: Lumileds™

Year	2009	2010	2011	2012	2013	2014	2015	2016
Efficacy (Lumens/Watt)	150	162	172	182	190	198	205	210
Max lumens per LED	400	650	850	1000	1080	1150	1220	1280
Max LED Power Dissipation (W)	5	6	7	7.5	8	8.3	8.6	8.8
Max LED Junction Temperature (°C)	115	112	109	106	104	102	100	98
Encapsulation	silicone							
JLEDSのCool Whiteロードマップ	120	140	-	-	-	-	170	-

JLEDS(LED照明推進協議会)のロードマップよりもアグレッシブな数値であるが、ITRSは今回から掲載したロードマップなので、ITRSが正しいとは限らない。

ITRSの向かう方向

パッケージが先導する： CMOS回路の微細化に伴い、非デジタル素子をも集積化して付加価値を得ていくストーリーを描く。

