

ロジック 及び、メモリデバイスの
スケーリングトレンド
～ロジックデバイススケーリングの鈍化と
メモリデバイススケーリングの加速

Working Group 6
PIDS(Process Integration Device, and Structure)

(株)ルネサステクノロジ

尾田秀一

March 5, 2010

WG6メンバー

| | | |
|----------|--------------------------|-----------------|
| リーダー | : 尾田 秀一(ルネサス) | |
| サブリーダー | : 井上 裕文(東芝) | |
| 幹事 | : 久本 大(日立) | |
| 委員 | : 杉井 寿博(富士通マイクロエレクトロニクス) | |
| | 堀 敦(パナソニック) | 松尾 一郎(パナソニック) |
| | 今井 清隆(NEC EL) | 武田 安弘(三洋) |
| | 田川 幸雄(ソニー) | 澤田 静雄(東芝) |
| | 三富士 道彦(ローム) | 岩本 邦彦(ローム) |
| | 藤沢 雅憲(ローム) | |
| | 笠井 直記(NEC) | |
| RF担当委員 | : 久本 大(日立) | 清田 幸弘(ソニー) |
| コンソーシアム | : 由上 二郎(Selete) | |
| 特別委員(大学) | : 平本 俊郎(東京大学) | 高木 信一(東京大学) |
| | 芝原 健太郎(広島大学) | 田中 徹(東北大学) |
| | 井田 次郎(金沢工業大学) | |
| 特別委員 | : 吉見 信(SOITEC Asia) | 赤坂 泰志(東京エレクトロン) |

メンバー人数:21名

WG6スコープ

■ ロジック

- 高性能タイプ(HP)
- 低消費電力タイプ(LOP、LSTP)

Key & Goal ~ 駆動能力、power、density

■ メモリ

- DRAM
- 不揮発性メモリ (Flash-NAND,NOR,FeRAM,MRAM,PCRAM)

Key & Goal ~ スケーリング、低リーク

■ 信頼性

- 新材料、新構造デバイスにおける課題

Key & Goal ~ 研究開発段階からの信頼性確認

■ ワイヤレス通信用デバイス

- RF、アナログ/ミックスドシグナル(CMOS、Bipolar)
- On-Off-chip-passive,MEMS,パワーアンプ、ミリ波

* ITRSではPIDS (Logic & Memory)とWirelessはそれぞれ別のWGとして活動。

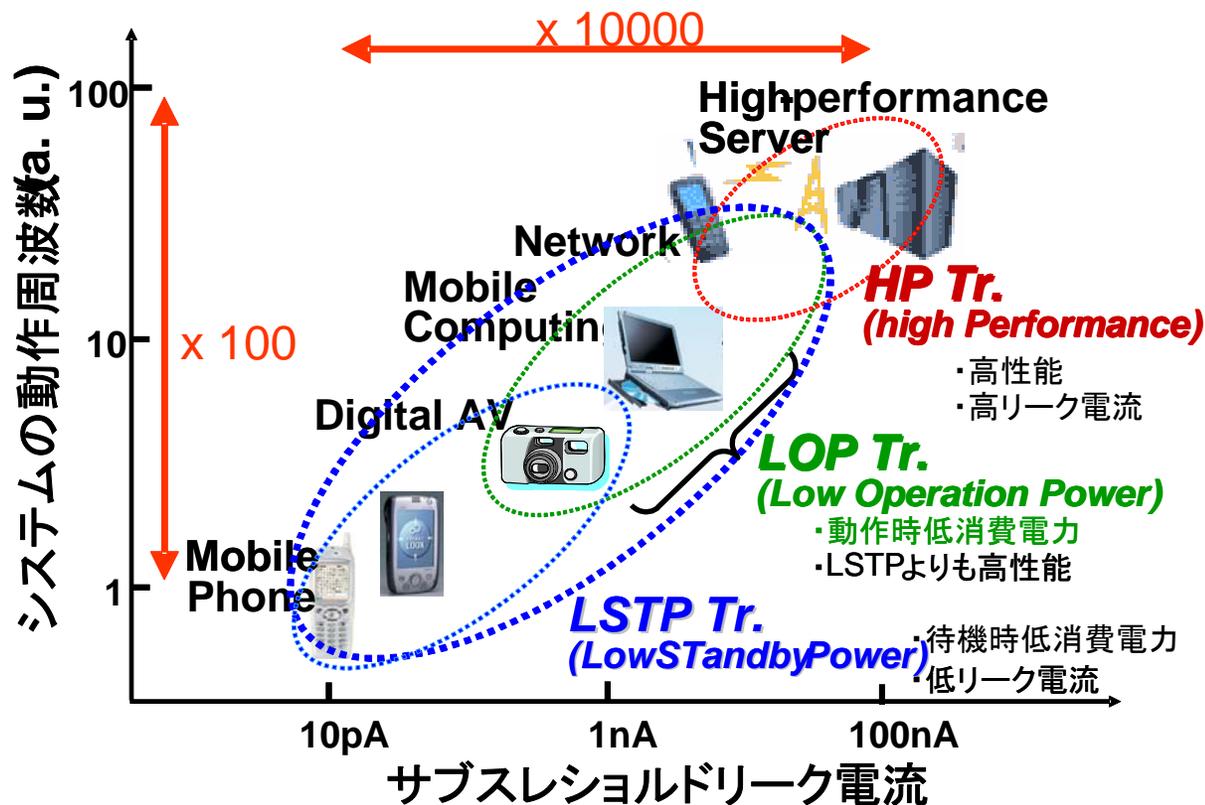
技術動向調査

■ WG6ミーティングにおけるヒアリングテーマ

| 開催 | 開催日 | テーマ | 講師 |
|-------|------------|----------------------|---|
| 第109回 | 2009.6.24 | High-k/Metal Gate | ルネサス 井上氏 |
| 第110回 | 2009.8.26 | ソフトウェア対策、技術動向 | 富士通マイクロ 上村氏 |
| 第112回 | 2009.12.17 | Ge-チャネル FD-SOIの現状 | NEC 多田氏 金沢工業大学 井田教授 |
| 第113回 | 2010.2.24 | 2009IEDM 報告 | NECエレ 今井氏 広島大学 芝原准教授 東京大学 高木教授 TEL 赤坂氏 |

ロジック用トランジスタの分類

- SmartPhonといったモバイル機器の高性能化によりLSTPの範囲がLOPの領域まで広がる傾向
- 微細化の鈍化からHPとLSTPも一部重なる傾向



ITRS2009年度版 ロジック Update 概要

- **ゲート長のスケージング**を2008年度版より、更に**1年後ろ倒し**とする
～2008年度版は、2007年度版より3年後ろ倒し
- **チャンネルドーパ量、接合深さを新たにテーブル化**
- **CV/Iは、年率17%改善から13%改善に鈍化**
- **LSTPのhigh-k/メタルゲート導入**は、HPの2年遅れの**2011年**
- **電源電圧は、パラレルパスのPlanar Bulk, FDSOI, Double Gateの構造で区別をつけず一元化**。HPの電源電圧スケージングを加速。LSTPは世代ごとに低電圧化。
- **寄生抵抗はドレイン電流劣化-33%相当分**。2008年度版の0.8倍、低抵抗化加速。
- **バリスティック効果係数もデバイス構造に寄らず一元化され同じ**。新たにソース端でのキャリア注入速度がテーブル化された。
- **PMOSのドレイン電流を I_{onN}/I_{onP} 係数として表記**(HP tableのみ)
- **サブスレシヨルドリーク電流は年に拠らず一定値とし、テーブルから削除**
 - HP/LOP/LSTP : 100(nA/ μm)/5(nA/ μm)/50(pA/ μm)
- **実回路のスピード指標としてFO=1とFO=4のInverterリング発信器の遅延時間を明記** (HP tableのみ)。

ロジックテーブルの比較

| 2008年度版 | | 2009年度版 | |
|--------------------------|------------|----------------------|-------------|
| Lg | | Lg | 2008年より1年遅れ |
| EOT | | EOT | スケーリング鈍化 |
| Gate poly depletion | ⇒削除：メタルゲート | channel dope | 新 |
| EOT ele | | junction depth | 新 |
| Jg | | EOT ele | スケーリング鈍化 |
| Vdd | | Cg ideal | 見直し |
| Vtsat | | Jg | 見直し |
| Ids leak | ⇒削除 | Vdd | 一元化。低電源化加速 |
| Ids sat | | Vt sat | +100mV |
| μ enhancement factor | ⇒削除：一定値 | Ballistic factor | 一元化 |
| Ids enhancement fact | ⇒削除 | Rsd | ×0.8 低抵抗加速 |
| Ballistic factor | | Ids sat | 見直し |
| Rsd | | vinj | 新 |
| Cg ideal | | Cg fringing | 新：見直し要 |
| Cg total | | Cg total | 見直し |
| $\tau = CV/I$ (NMOS) | | $\tau = CV/I$ (NMOS) | 見直し |
| $1/\tau$ (NMOS) | ⇒削除 | PMOS lonn/lonp | 新 |
| | | R.O. F.O=1 | 新 |
| | | R.O. F.O=4 | 新 |

 削除

 変更

 新規

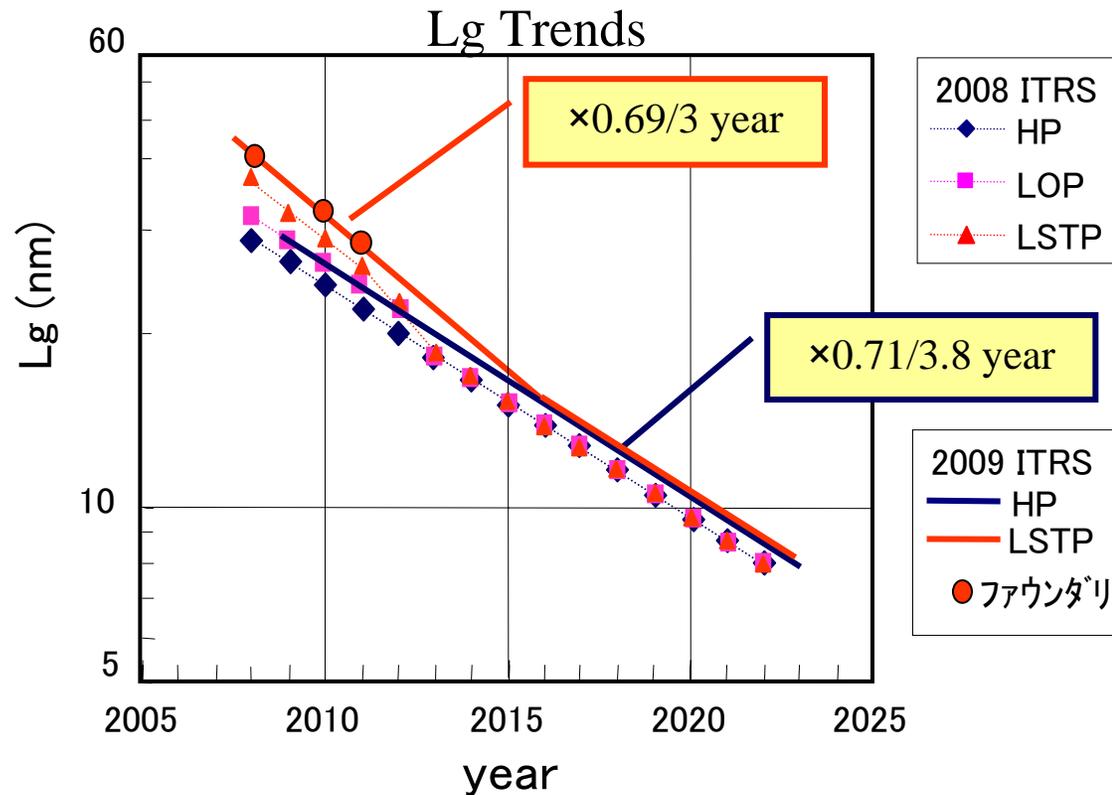
Lg, Vdd, EOT Trend with Parallel path

- HP, LOP, LSTPとも2013年からUTB FDSOIを導入、2015年からDouble Gate導入

| Year of production | | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | |
|---------------------|-------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|------|--|
| Metal1 ½ pitch (nm) | | 54 | 45 | 38 | 32 | 27 | 24 | 21 | 18.9 | 16.9 | 15 | 13.4 | 11.9 | 10.6 | |
| HP | Lg (nm) <i>1 year delay</i> | 29 | 27 | 24 | 22 | 20 | 18 | 17 | 15.3 | 14 | 12.8 | 11.7 | 10.7 | 9.7 | |
| | Vdd (V) <i>for PB, FD, DG</i> | 1 | 0.97 | 0.93 | 0.9 | 0.87 | 0.84 | 0.81 | 0.78 | 0.76 | 0.73 | 0.71 | 0.68 | 0.66 | |
| | EOT(nm) | | | | | | | | | | | | | | |
| | Planar Bulk | 1 | 0.95 | 0.88 | 0.75 | 0.65 | 0.55 | 0.53 | | | | | | | |
| | UTB FDSOI | | | | | 0.7 | 0.68 | 0.6 | 0.57 | 0.57 | 0.54 | 0.5 | | | |
| | Double Gate | | | | | | | 0.77 | 0.7 | 0.67 | 0.64 | 0.62 | 0.59 | 0.57 | |
| | IdsatN / IdsatP <i>new</i> | 1.3 | 1.29 | 1.27 | 1.26 | 1.25 | 1.24 | 1.22 | 1.21 | 1.2 | 1.19 | 1.18 | 1.16 | 1.15 | |
| LOP | Lg (nm) <i>1 year delay</i> | 32 | 29 | 27 | 24 | 22 | 18 | 17 | 15.3 | 14 | 12.8 | 11.7 | 10.7 | 9.7 | |
| | Vdd (V) <i>for PB, FD, DG</i> | 0.95 | 0.95 | 0.85 | 0.85 | 0.8 | 0.8 | 0.75 | 0.75 | 0.7 | 0.7 | 0.65 | 0.65 | 0.6 | |
| | EOT(nm) | | | | | | | | | | | | | | |
| | Planar Bulk | 1 | 0.9 | 0.9 | 0.85 | 0.8 | | | | | | | | | |
| | UTB FDSOI | | | | | 0.9 | 0.85 | 0.8 | 0.75 | 0.7 | | | | | |
| | Double Gate | | | | | | | 0.8 | 0.8 | 0.75 | 0.73 | 0.7 | 0.7 | 0.65 | |
| LSTP | Lg (nm) <i>1 year delay</i> | 38 | 32 | 29 | 27 | 22 | 18 | 17 | 15.3 | 14 | 12.8 | 11.7 | 10.7 | 9.7 | |
| | Vdd (V) <i>for PB, FD, DG</i> | 1.05 | 1.05 | 1.05 | 1 | 0.95 | 0.95 | 0.95 | 0.85 | 0.85 | 0.85 | 0.85 | 0.75 | 0.75 | |
| | EOT(nm) | | | | | | | | | | | | | | |
| | Planar Bulk | 1.2 | 1 | 1.2 | 1 | 0.9 | | | | | | | | | |
| | UTB FDSOI | | | | | 1.0 | 0.95 | 0.9 | 0.85 | 0.8 | | | | | |
| Double Gate | | | | | | | 1.1 | 1.1 | 1.0 | 1.0 | 0.9 | 0.9 | 0.8 | | |

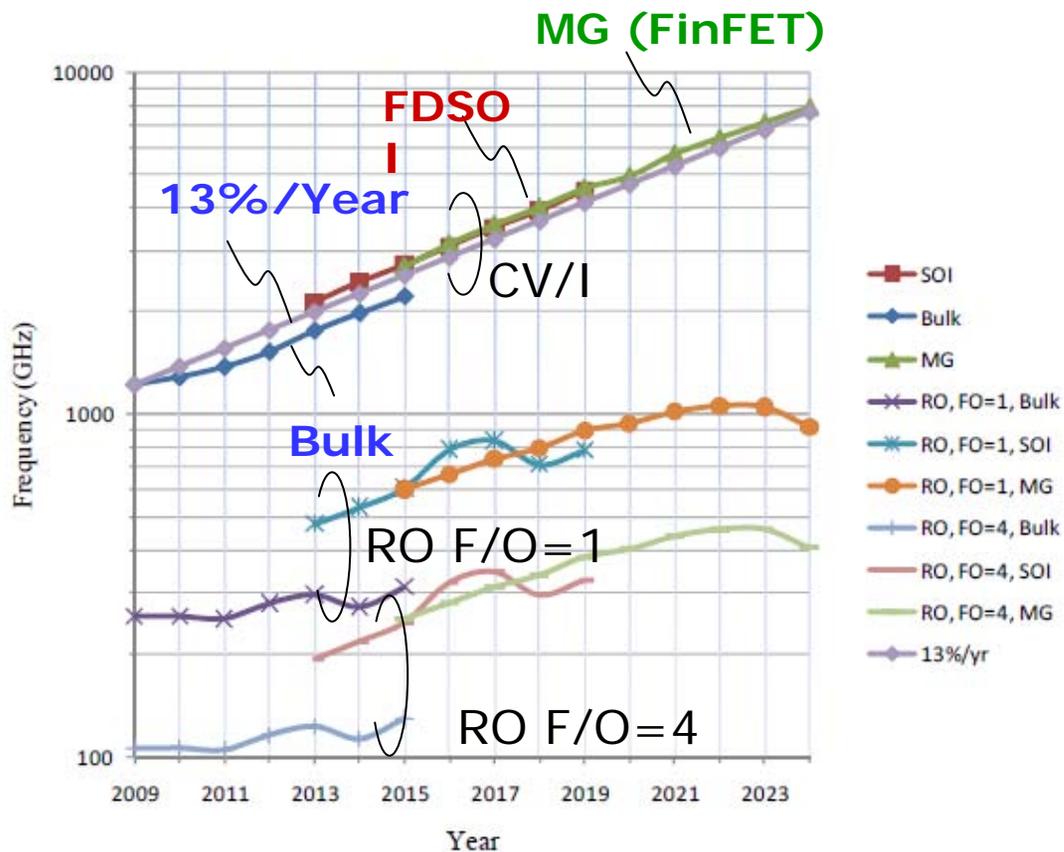
2009 ITRS Gate Length Trends

- LSTPのゲート長のスケーリングを実態に合わせ、2008年度版より、更に1年後ろ倒しとする。LOP,HPも1年後ろ倒しとする。
- 2016年までは、LSTPは一世代3年、2016年以降は、HP,LSTPとも同じゲート長で一世代3.8年



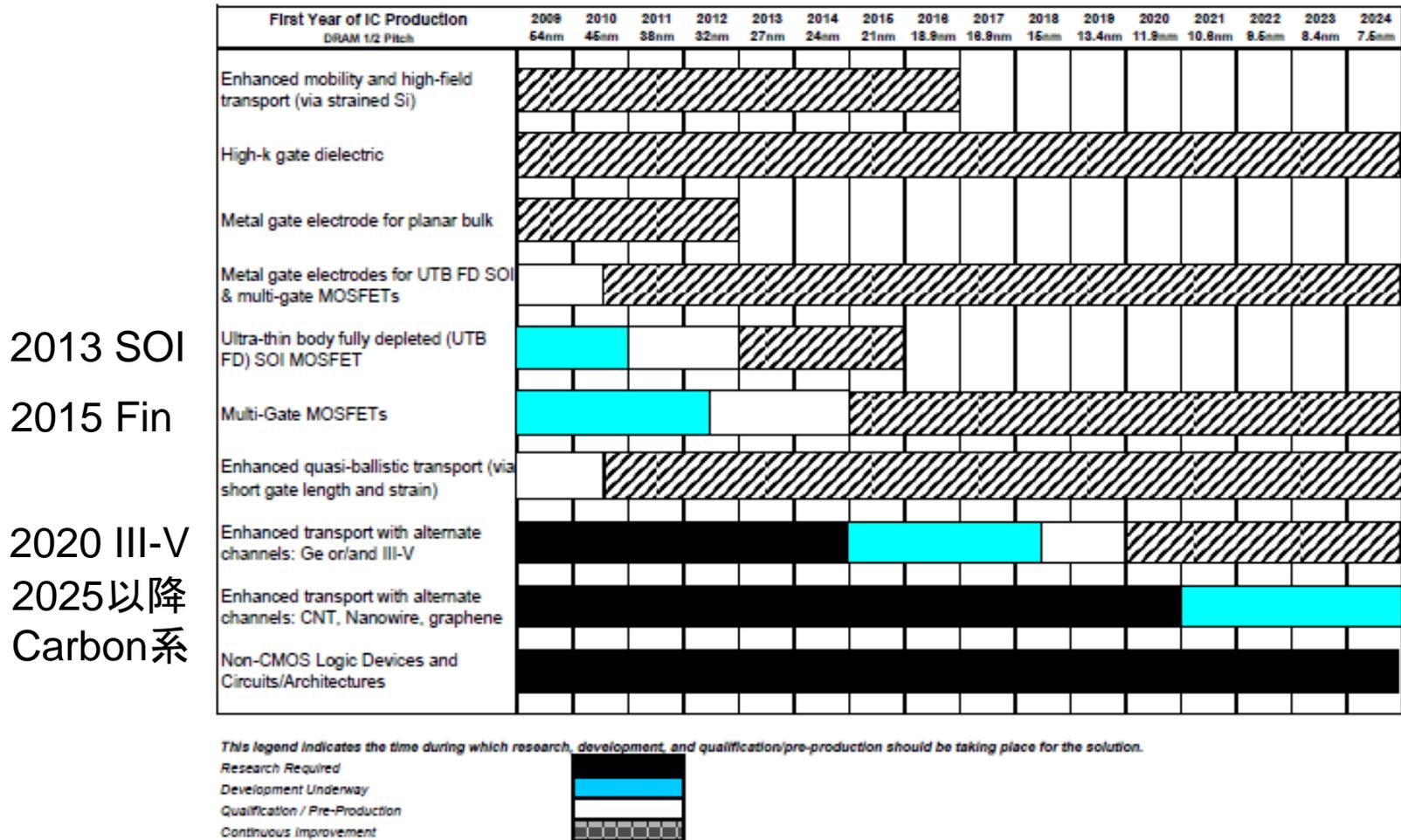
CV/IおよびRing Oscillator Speedのトレンド

- CV/I improvement ratio: 13%/year
- Ring Oscillator Speedの見積もりには、配線容量が含まれていない。



Potential Solutions

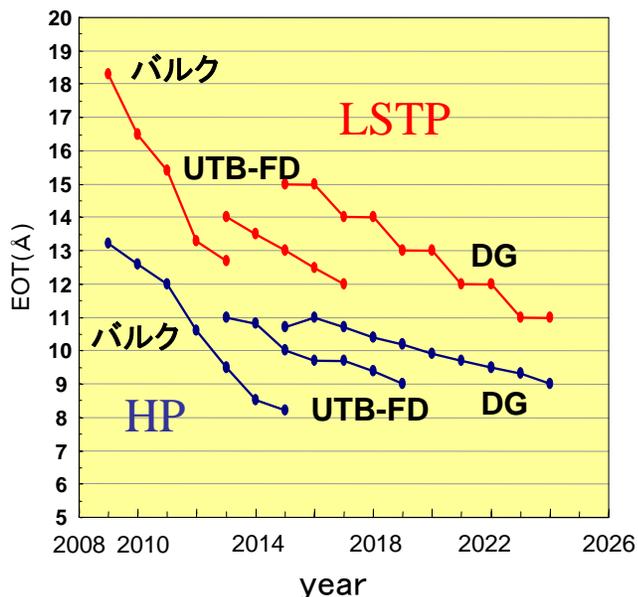
- 各世代のブースター技術が明確化
カーボンナノチューブなどカーボンベースのデバイスの登場は2025年以降



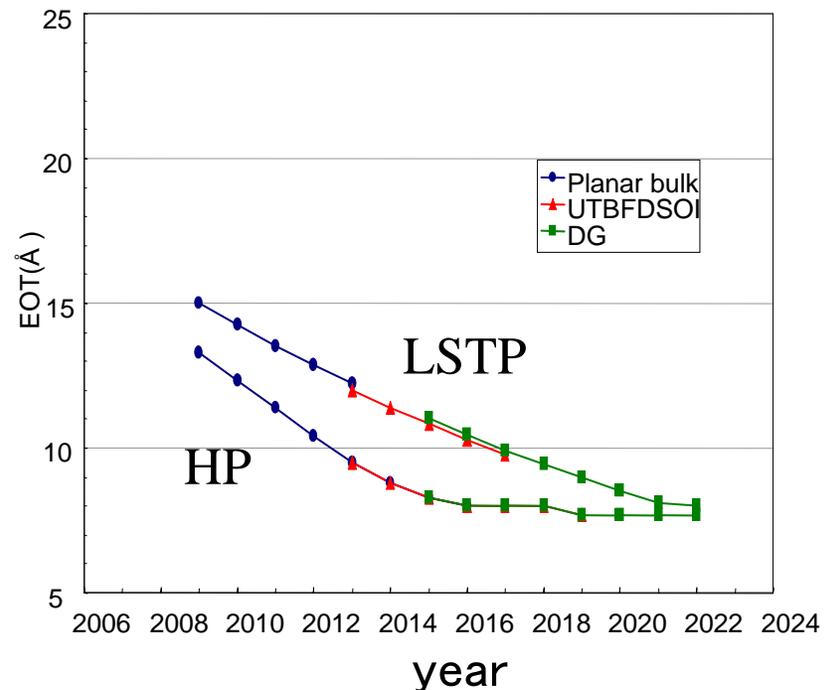
2010年度 EOT ele のスケーリングコンセプトの構築

- 動作時(反転時)のEOT(換算膜厚)の連続性を維持する。
- バルク、UTB-FD、DGでトレンドを合わす
- LSTPは、年率5%のスケーリング
- EOTの薄膜化限界は、7.7 Å (EOT: 5 Å)と仮定

2009 ITRS Technology Trends

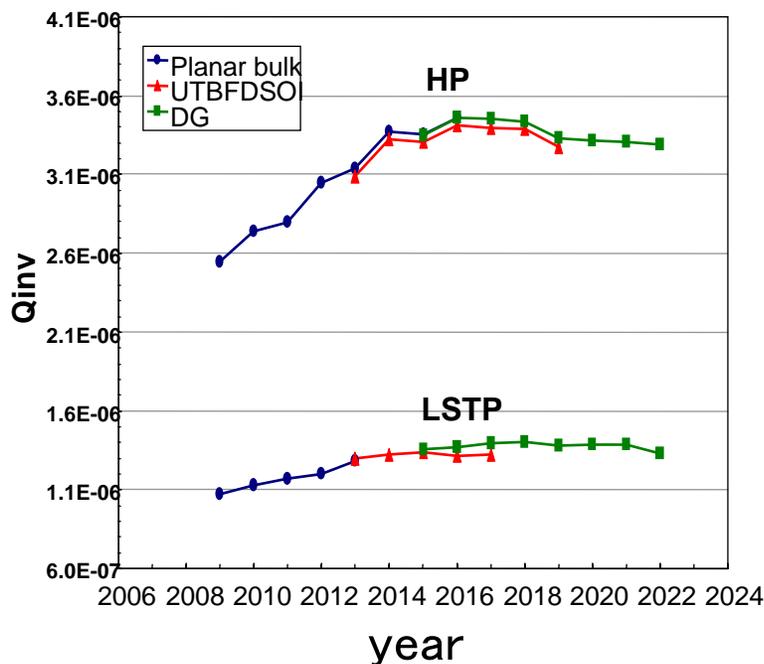


EOTele Trends



2010年度 スケーリングコンセプトの提案

- プレーナーバルクは、 Q_{inv} (反転電荷)を増加させることで性能改善を図る—— V_{dd} と V_{th} 、EOTで調整
- UTB-FD、DGは、擬バリスティック効果を利用し、キャリアの注入速度で性能改善を図る。 Q_{inv} は一定値(EOTスケーリング限界)。
- V_{dd} は、世代が進むごとに低電圧化
- 素子密度から見積もったパワーを電源電圧スケーリングに反映させる



ITRS2009 MemoryのUpdate

- SurveyとCompanyアナウンスにてスケーリング・技術トレンドを調査しITRS2009年版でFull Update

- 対ITRS2008年版まとめ

- NVM

- NAND Flash

- 微細化に関してはNANDは1年前倒しし2010年が32nm。
- FG構造からチャージトラップ型構造へは2年遅れで2012年。
- 平面構造から三次元構造へは一年遅れ2014年。
- 3bit/cell→4bit/cellは2年遅れで2012年

- NOR Flash→微細化は鈍化

- STT (Spin torque transfer) MRAM→テーブルに追加

- PCRAM→内容をupdate

- FeRAM→微細化は鈍化

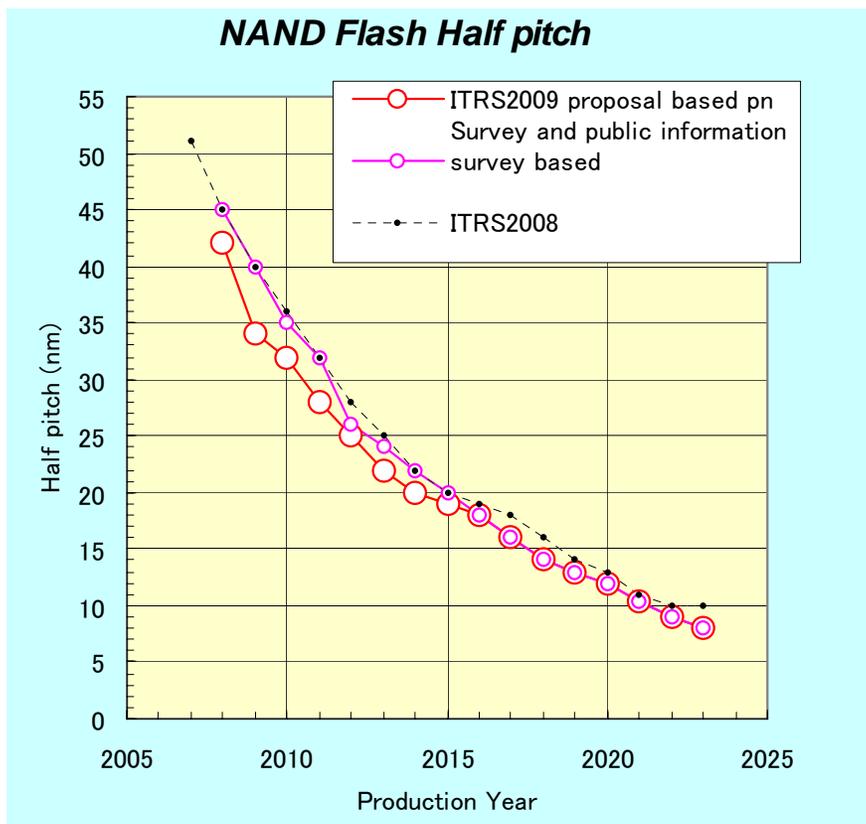
- DRAM

- 新たに4F2セルが2011年にトレンド化。

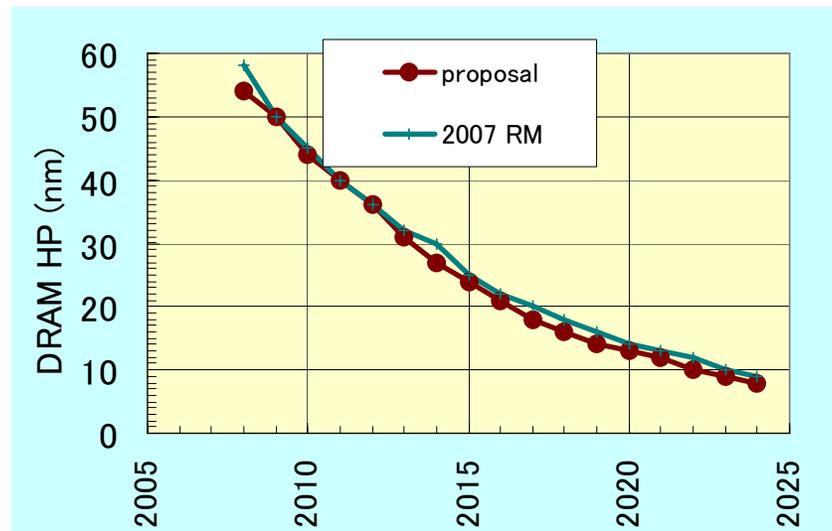
- 製品サイズは1年遅れ4Gbは2011年。

Memoryの微細化トレンド

■ ITRS2008からの大きな変化：露光装置性能依存による微細化から、露光装置に強く依存しないダブルパターンニング等のlithography enhanced techniqueの量産導入が進み。特に導入の行いやすいNANDフラッシュでは従来よりもHPの予測が困難かつ、微細化のトレンドが加速している。



NANDの微細化トレンド(左)では従来のITRS2008から極端に微細化が加速(赤線がITRS2009)。DRAMの微細化トレンド(下)は2007年版と2009年版(茶色線)ではほぼ変化なし



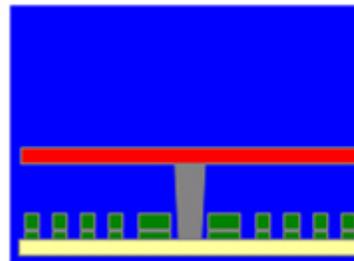
NAND Flash の今後のトレンド

■セル構造

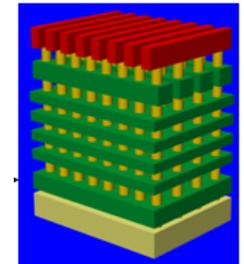
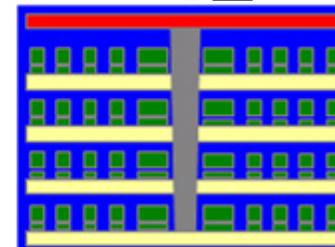
| Year of Production | Cell type (FG, CT, 3D, etc.) | Near-term | | | | | | | | | Long-term | | | | | | | | |
|--------------------|------------------------------|-----------|------|-----------|-----------|-----------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--|
| | | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | |
| ITRS2008 | [21] | FG | FG | FG | FG/CT | CT | CT | CT-3D | |
| ITRS2009 | | | | FG | FG | FG | FG/CT | FG/CT | CT-3D | |

NAND Flashの構造は単純な微細化が難しいと推測され、浮遊ゲートに電子を保持する(Floating gate型)構造からSiN等に電子や正孔を注入するチャージトラップ構造へと変化し、最終的には3次元積層化されると予測。

平面構造NAND



積層構造NAND
FG型 CT型



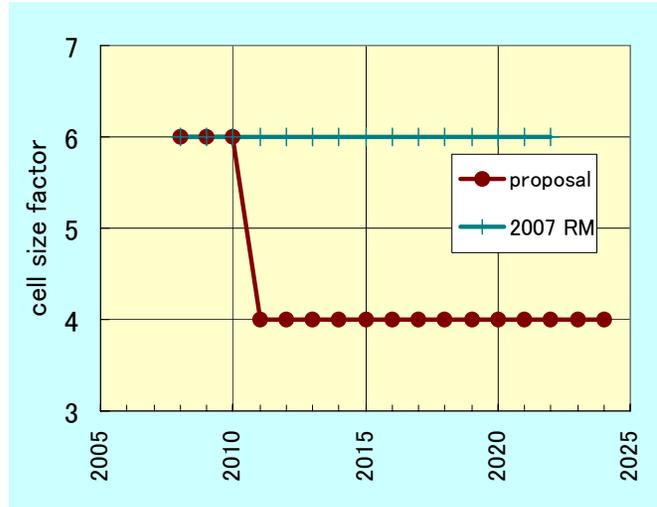
■多値化

| Year of Production | Maximum number of bits per cell (MLC) [12] | Near-term | | | | | | | | | Long-term | | | | | | | | |
|--------------------|--|-----------|------|----------|----------|----------|----------|----------|----------|----------|-----------|----------|----------|----------|----------|----------|----------|----------|--|
| | | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | |
| ITRS2008 | [12] | 2 | 2 | 3 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | |
| ITRS2009 | | | | 3 | 3 | 3 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | |

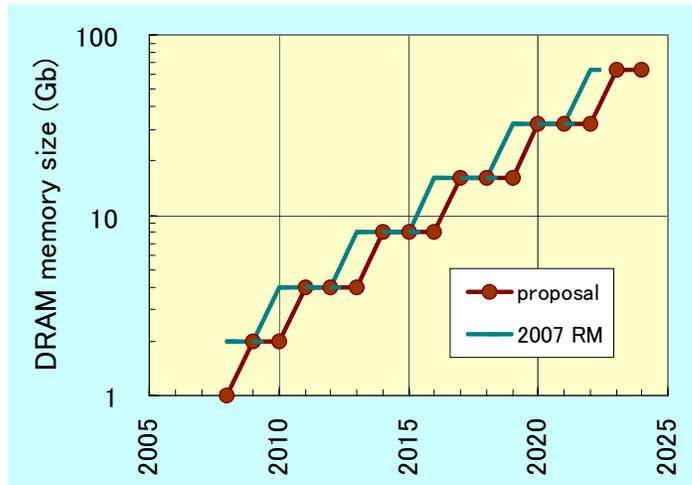
3bit/Cellが二年間延命し、4bit/cellはその後に登場すると予測。

DRAMの今後のトレンド

■セル係数



■製品容量



微細化が厳しくなり、セルの4F²化が進み、2011年には4F²化されると予測。

その他のKey技術では、

| | Year of production | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 |
|--------------------------|--------------------|-------------------------------------|-------------------------------------|-------------------------------------|--|--|--|--|
| Minimum feature size nm | proposal | 54 | 50 | 44 | 40 | 36 | 31 | 27 |
| | 2007 RM | 58 | 50 | 45 | 40 | 36 | 32 | 30 |
| DRAM Product [Gb] | proposal | 1 | 2 | 4 | 8 | 16 | 32 | 64 |
| | 2007 RM | 2G | 2G | 4G | 4G | 4G | 8G | 8G |
| Cell size factor a (B) | proposal | 6 | 6 | 6 | 4 | 4 | 4 | 4 |
| | 2007 RM | 6 | 6 | 6 | 6 | 6 | 6 | 6 |
| Array FET structure (**) | proposal | RCAT | RCAT | FinFET | FinFET | FinFET | FinFET | FinFET |
| | 2007 RM | RCAT | RCAT | FinFET | FinFET | FinFET | FinFET | FinFET |
| Cs [fF] | proposal | 25 | 25 | 25 | 25 | 25 | 25 | 25 |
| | 2007 RM | 25 | 25 | 25 | 25 | 25 | 25 | 25 |
| capacitor structure | proposal | cylinder /pedestal MIM | cylinder /pedestal MIM | cylinder /pedestal MIM | cylinder /pedestal MIM | cylinder /pedestal MIM | pedestal MIM | pedestal MIM |
| | 2007 RM | /pedestal MIM | /pedestal MIM | /pedestal MIM | /pedestal MIM | /pedestal MIM | pedestal MIM | pedestal MIM |
| capacitor material | proposal | ZrO ₂ , HfO ₂ | ZrO ₂ , HfO ₂ | ZrO ₂ , HfO ₂ | Ultra High k; new material, strontium-based, perovskites |
| | 2007 RM | ZrO ₂ , HfO ₂ | ZrO ₂ , HfO ₂ | ZrO ₂ , HfO ₂ | Ultra High k; new material, strontium-based, perovskites |
| epsilon | proposal | 42.00 | 42.00 | 42.00 | 55.00 | 55.00 | 60.00 | 100.00 |
| | 2007 RM | 42.00 | 42.00 | 42.00 | 55.00 | 55.00 | 55.00 | 55.00 |

アレイトランジスタがFinFET化する予測があるが、2010年版で見直しの可能性高い。

2010年度 Memory Device部門の活動

■ Surveyベースとofficial informationベースでの策定を継続。

■ 各メモリのポイント

■ NAND

■ 微細化の加速

■ セル構造の変化時期

■ プロセス要求 (BEOL配線でもLeading edge) の確認

■ DRAM

■ アレイランジスタ構造

■ 4F²時期

■ その他NVM

■ 微細化の状況

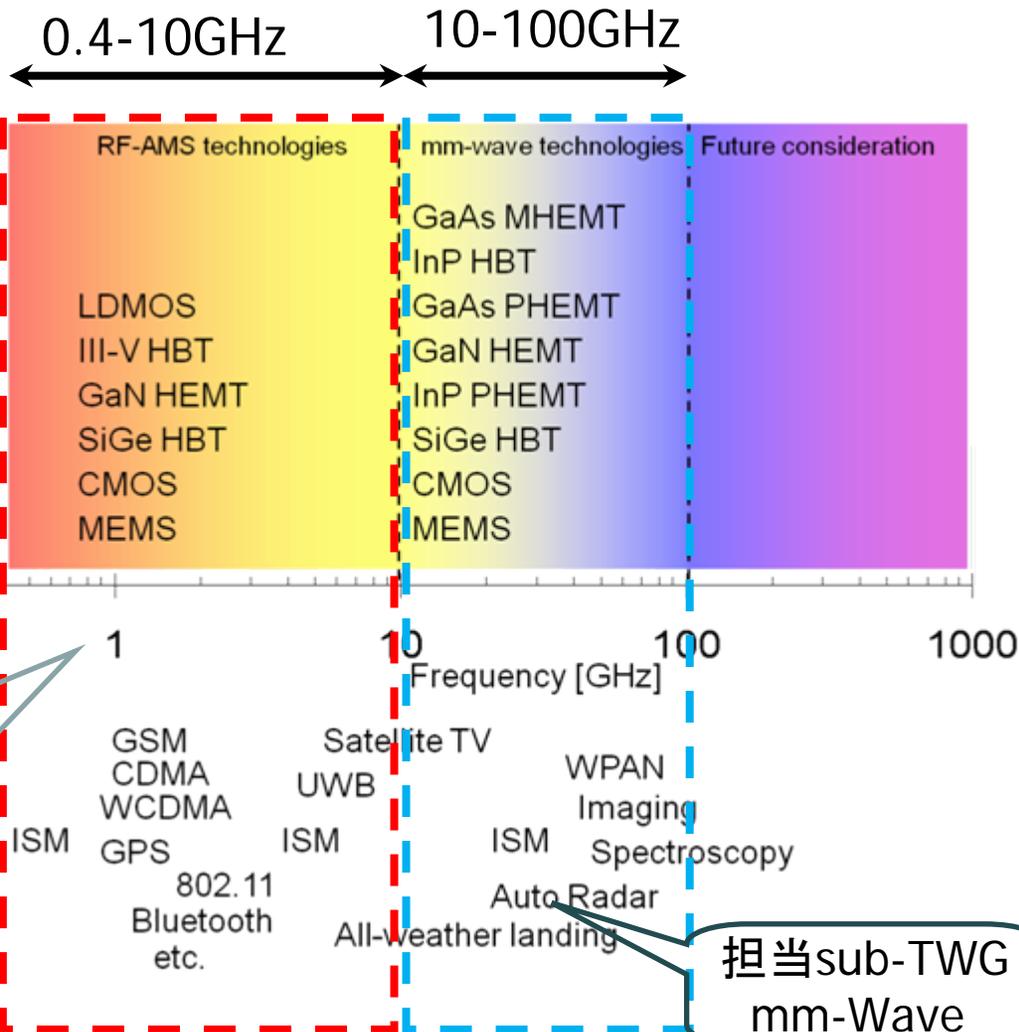
Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications

2009年版の構成

■ Deviceで分類(ITRS2007)



周波数帯でApplicationにより2つに大別



担当sub-TWG
 RF and AMS CMOS
 RF and AMS Bipolar
 Passive
 Power Amplifiers
 MEMS ← 新規追加

担当sub-TWG
 mm-Wave

■ More than MooreとしてMEMSに代えHeterogeneous Integrationを記載

Work in Progress - Do not publish

Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications

2009年版RF and AMS CMOSのポイント

- 基本はPIDS LSTP 1年遅れ踏襲
- Parallel Pathは採用しない
⇒Toxなどで独自table

| | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | |
|--|---------------------------------|---------|--------|--------|------|------|------|------|--|
| HK/MG導入 UTB/DG導入 | | | | | | | | | |
| <i>Performance RF/Analog</i> | | | | | | | | | |
| Supply Voltage (V) | 1.1 | 1.05 | 1.05 | 1.05 | 1.0 | 0.95 | 0.95 | 0.95 | |
| Tox (nm) | 1.2 | 1.2 | 1.2 | 1.2 | 1.1 | 1.1 | 1.1 | 1.1 | |
| Gate Length (nm) | 38 | 38 | 32 | 29 | 27 | 22 | 18 | 17 | |
| gm/gds at 5Lmin-digital | | | | | | 30 | 30 | 30 | |
| 1/f-noise ($\mu\text{V}^2\mu\text{m}^2/\text{Hz}$) | | | | | | 60 | 50 | 50 | |
| <i>Precision Analog/RF Driver</i> | | | | | | | | | |
| Supply Voltage (V) | 2.5 | 1.8 | 1.8 | 1.8 | 1.8 | 1.8 | 1.8 | 1.8 | |
| Tox (nm) | 5 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | |
| Gate Length (nm) | 180 | 160 | 160 | 160 | 160 | 160 | 160 | 160 | |
| Gate Length (nm) | 360 | 360 | 360 | 360 | 360 | 360 | 360 | 360 | |
| <i>Availability of optional analog High-voltage FFTs</i> | | | | | | | | | |
| | limited | limited | common | common | wide | wide | wide | wide | |
| Work | CMOS NFET [1 HP CMOS lag 2 yrs] | | | | | | | | |

- HK/MG導入で全項目yellow
- UTB/DG導入で全項目Red

- HP CMOSをmm-Waveに集約 削除
←アプリによる構成整理のため

- Option DeviceのIntegration項を新設
←IO等の不整合解消のため

