

2009年度STRJ Workshop

STRJ-WG4(配線)活動報告
～さらなる配線微細化の実現に向けて～

2010年3月5日

WG4副主査・廣井 政幸
(NECエレクトロニクス)

1. はじめに

1.0 主な略語について

1.1 STRJ-WG4 構成メンバー

1.2 2009年度 活動方針

2. 2009年度活動内容

2.1 ITRS2009改訂

2.1.1 章構成の変更

2.1.2 改訂内容のトピックス

2.2 STRJ-WG4独自活動

2.2.1 EMRブースタープロセス(EM耐性を向上する技術)の検討

2.2.2 コンタクト部におけるWプラグの適用限界の見極め

2.2.3 高密度TSVのアプリケーションマップ検討

3. 2009年度の活動まとめと今後の活動予定

1.0 主な略語について



AR	Aspect Ratio	アスペクト比:(幅 または 径)/(深さ または 高さ)
BM	Barrier Metal	拡散防止金属膜
CNT	Carbon Nano-Tube	カーボンナノチューブ
DB	Dielectric Barrier	拡散防止絶縁膜
EM	Electro-migration	エレクトロマイグレーション
EMR	EM Resistance	エレクトロマイグレーション耐性
J	Current Density	電流密度
J_{\max}	Maximum Current Density	最大電流密度
k	Dielectric Constant	比誘電率
low-k	low Dielectric Constant	低誘電率
MEMS	Micro Electro Mechanical Systems	微小電気機械素子
PMD	Pre-Metal Dielectric	第1配線層下(コンタクト部の)層間絶縁膜
TSV	Through-Silicon Via	シリコン貫通ビア
HDTSV	High-density TSV	高密度シリコン貫通ビア
W	Tungsten	タングステン

1.1 STRJ-WG4構成メンバー



リーダー	柴田 英毅	[東芝]
サブリーダー	廣井 政幸	[NECエレクトロニクス]
国際対応	山崎 治	[シャープ]
	天川 修平	[東工大]
幹事	今井 正芳	[大日本スクリーン]
委員	中村 友二	[富士通マイクロエレクトロニクス]
	青井 信雄	[パナソニック]
	伴 功二	[ルネサステクノロジ]
	中尾 雄一	[ローム]
特別委員	上野 和良	[芝浦工大]
	嘉田 守宏	[ASET]
	辻村 学	[荏原製作所]
	徳重 克彦	[SEAJ: 荏原製作所] 前川委員と8月に交代
	前川 敏郎	[SEAJ: 荏原製作所]
	西村 栄一	[東京エレクトロン]
	大内 明	[SEAJ: 東京エレクトロン]

ITRS2009改訂(配線関連)に関する日本担当としての活動に加えて、2009年度は下記を重点として活動

- 「EM (Electro-migration) Crisis」
(最大電流密度だけでは表わせない配線信頼性の危機)
を受けたEMRブースタープロセス[EM耐性を向上させる技術]の検討
- **ロジックデバイス向けコンタクト抵抗の設計WGからのスペック提示を受けての、Wプラグの適用限界と代替技術のPotential Solutionの洗出し**
- **HDTSV (High-density Through Silicon Via) の想定されるアプリケーションの抽出と要求仕様の明確化、Difficult ChallengesやPotential Solutionsの観点から必要技術の洗出し**
- **More Moore (ex. Air-Gap, CNT [Carbon-NanoTube])及びMore than Moore (ex. MEMS on CMOS)の最新動向調査の継続**

1. はじめに

1.1 STRJ-WG4 構成メンバー

1.2 2009年度 活動方針

2. 2009年度活動内容

2.1 ITRS2009改訂

2.1.1 章構成の変更

2.1.2 改訂内容のトピックス

2.2 STRJ-WG4独自活動

2.2.1 EMRブースタープロセス(EM耐性を向上する技術)の検討

2.2.2 コンタクト部におけるWプラグの適用限界の見極め

2.2.3 高密度TSVのアプリケーションマップ検討

3. 2009年度の活動まとめと今後の活動予定

2.1.1 章構成の変更

～ITRS2007：重複・不整合が多い，必要な記載の所在がわかりにくい
⇒ ITRS2009：抜本的に構成を変更

- 日本側の貢献
 - 2項目(Dielectric, Planarization)の英文原稿作成を担当
 - 上記以外の各分野の確認・修正・提案は、従来同様に分担して実施
 - 上記以外の項目の記載内容の原案作成・取りまとめ(Metallizationなど)
 - Interconnect Chapter全体の取りまとめ

2.1.2 内容の変更に関するトピックス

上記の各分野の検討のほか、下記などを日本が主体として改訂内容を検討

- J_{\max} のクライテリア変更
- low-k化の進行の後ろ倒し
- Global配線の非微細化等の提案
など

2.1.1 章構成の変更 2007 ITRS Interconnect Contents

- Scope
 - Difficult Challenges
 - Technology Requirements
 - Potential Solutions
 - Dielectric Potential Solutions
 - Barrier Potential Solutions
 - Conductor Potential Solutions
 - Nucleation Potential Solutions
 - Planarization Potential Solutions
 - Etch Potential Solutions
 - Interconnect Surface Preparation
 - Passive Devices
 - Introduction
 - MIM Capacitors
 - Inductors
 - Resistors
 - Reliability
 - Introduction
 - Cu Metallization
 - Ultra Low- κ Materials
 - Ultra low- κ (Porous low- κ)
 - Cu/low- κ Materials and Processes
 - Modeling and Simulation
 - Future Reliability Directions
 - Systems and Performance Issues
 - Interconnect Performance
 - System Level Integration Needs
 - New Interconnect Concepts and Radical Solutions
 - Introduction
 - Interconnects Beyond the Metal/Dielectric System
 - Different Signaling Methods
 - Innovative Design and Package Options
 - 3D ICs
 - Different Physics for Signal Propagation
 - CMOS-compatible Optical Interconnects
 - RF/Microwave Interconnects
 - Guided Terahertz Waves and Plasmons
 - Carbon Nanotubes
 - Radical Solutions
 - Cross-cut Challenges
 - Interconnect and Design and Modeling and Simulation
 - 2007 ITRS Interconnect Appendix
 - References
- 重複・不整合が多い
 - 所在がわかりにくい

<ol style="list-style-type: none"> 1. INTRODUCTION AND SCOPE 2. INTERCONNECT ARCHITECTURES DISCUSSION <ol style="list-style-type: none"> A. Product Drivers and Interconnect Roadmap Progression <ol style="list-style-type: none"> i. Logic ii. Memory iii. More Moore vs. More than Moore iv. Interconnect approaches B. Interconnect Architectures <ol style="list-style-type: none"> i. 3D Interconnect Architectures ii. Passive Devices 3. INTERCONNECT CHALLENGES AND REQUIREMENTS <ol style="list-style-type: none"> A. Difficult Challenges B. Technology Requirements 4. PROCESS MODULES POTENTIAL SOLUTIONS <ol style="list-style-type: none"> A. Introduction B. Dielectric Potential Solutions <ol style="list-style-type: none"> i. Pre-metal dielectric (PMD) ii. Conventional low-κ ILD iii. Diffusion barrier iv. Capping barrier dielectric v. Air-gaps C. Barrier Potential Solutions D. Conductor Potential Solutions E. Nucleation Potential Solutions F. Etch/ Strip/Clean Potential Solutions <ol style="list-style-type: none"> i. Plasma process control ii. Plasma hardware controls iii. Integration strategy iv. Cleaning process G. Planarization Potential Solution <ol style="list-style-type: none"> i. Dielectric CMP ii. Conductor CMP iii. Equipment iv. Consumables H. Through-Si-Via (TSV), 3D Stacking Technology 	<ol style="list-style-type: none"> 5. RELIABILITY AND PERFORMANCE <ol style="list-style-type: none"> A. Reliability <ol style="list-style-type: none"> i. Introduction ii. Metallization reliability iii. Electromigration iv. Stress migration v. Dielectric reliability vi. Time dependent dielectric breakdown vii. Impact of LER and via misalignment on dielectric reliability viii. Reliability assessment, modeling and simulation ix. Future challenges and directions B. Interconnect Performance <ol style="list-style-type: none"> i. Introduction ii. Signal propagation iii. Power consumption iv. System level performance 6. EMERGING INTERCONNECT SOLUTIONS <ol style="list-style-type: none"> A. Overview B. Cu Extensions C. Cu Replacements <ol style="list-style-type: none"> i. Metal silicides ii. Silver iii. Metallic phonon engineering iv. Metallic geometric resonance v. Carbon nanotubes vi. Graphene nanoribbons vii. Optical Interconnects viii. Superconductors D. Native Device Interconnects <ol style="list-style-type: none"> i. Nanowires ii. Silver iii. Carbon nanotubes iv. Graphene nanoribbons v. Spin based interconnects 7. CROSSCUT CHALLENGES 	<ol style="list-style-type: none"> 8. APPENDICES <ol style="list-style-type: none"> A. Passive Devices <ol style="list-style-type: none"> i. Capacitors ii. Inductors iii. Resistors B. Dielectrics C. Glossary of 3D and TSV Definitions 9. REFERENCES
---	---	---

**Japan-TWG
(STRJ-WG4)**

**全体的な取りまとめについても
STRJ国際委員が多大な貢献**

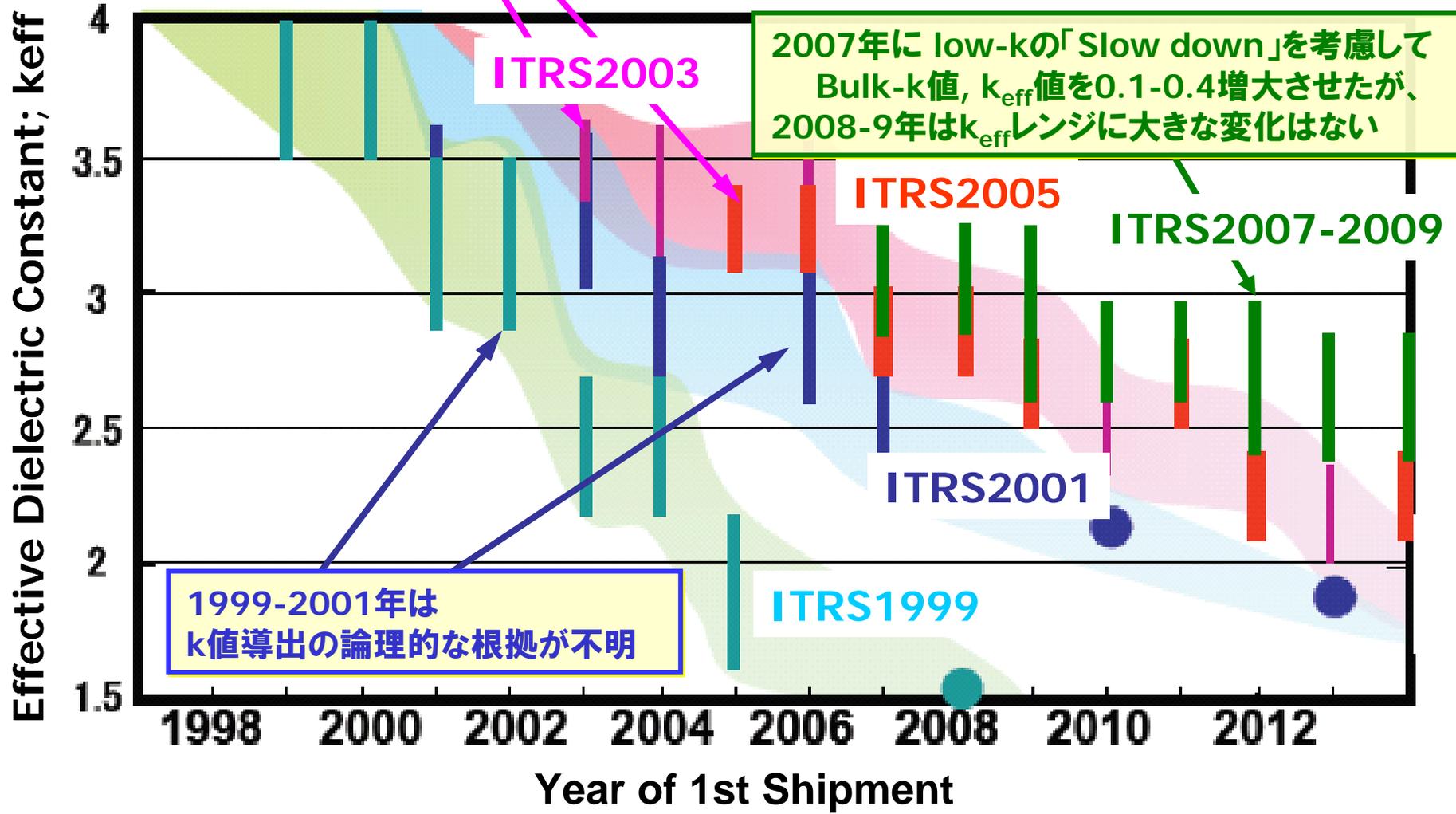
- 3D and air gaps moved out of emerging sections
 - 3Dとair-gapは実用化に比較的近いと判断
- Dielectric : k_{eff} 1year-shift
 - テクノロジーノードと合致させる形で2007年度から1年シフト
 - New range for bulk κ
 - Air gaps expected to be solution for $k_{\text{bulk}} < 2.0$
- Barriers and nucleation layers are a critical challenge
 - 微細化による抵抗増大に十分な解決策見えず
- J_{max} current limits are width dependent - a new concern
 - 微細化による電流制限を考慮する形に変更
- New Interconnect 3D TSV roadmap tables
- Introduction of a new Emerging Interconnect Properties
- First principle consideration of interconnects properties
 - CNT, graphene, nanowires etc.

ITRS2009: ITRS low-kロードマップの変遷

2003年に論理的根拠に基づいた合理的で現実的な要求値へ改訂し、2005年でRealistic/Aggressive Caseを考慮したレンジ表記に変更

2007年に low-kの「Slow down」を考慮して Bulk-k値, k_{eff} 値を0.1-0.4増大させたが、2008-9年は k_{eff} レンジに大きな変化はない

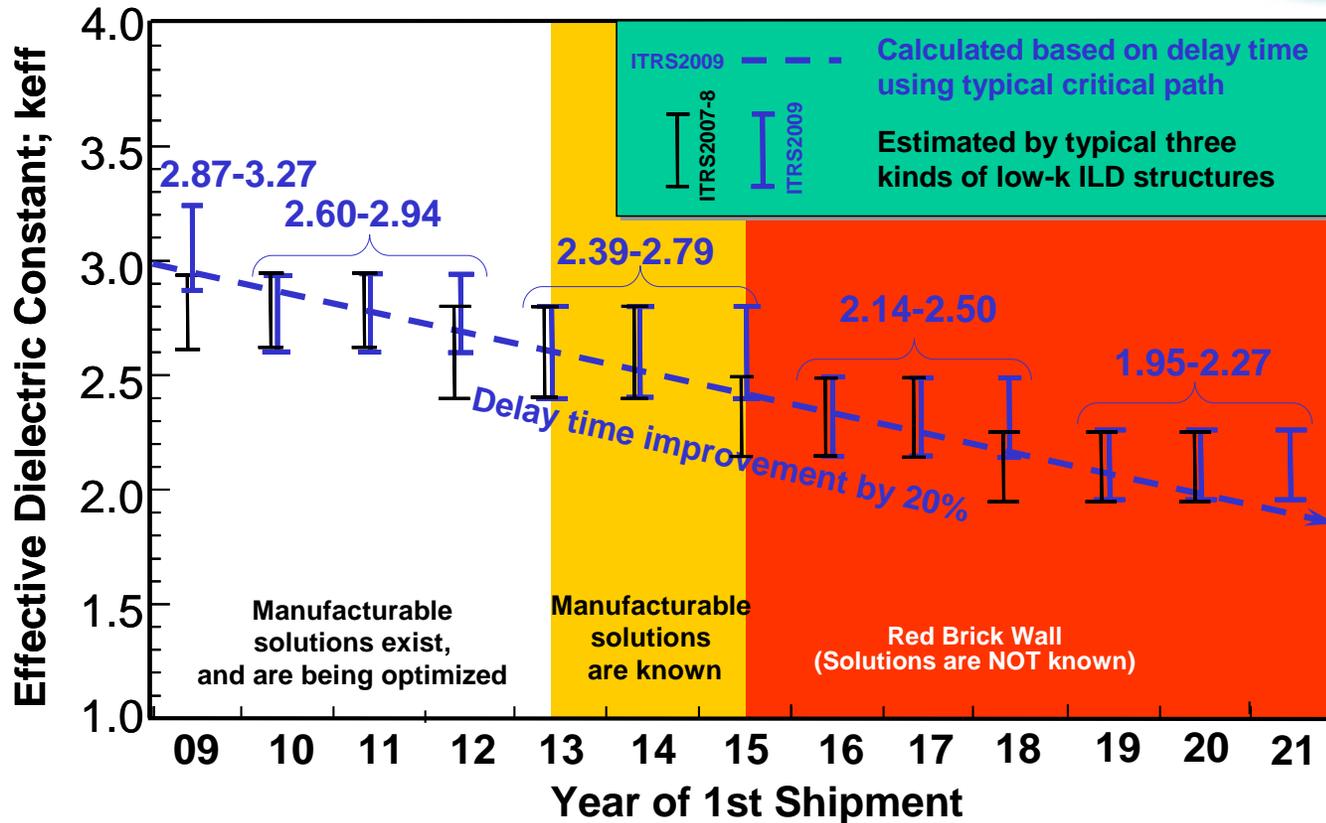
1999-2001年は k値導出の論理的な根拠が不明



ITRS2009 Low-k Roadmap Update (Final Version)



日本が提案

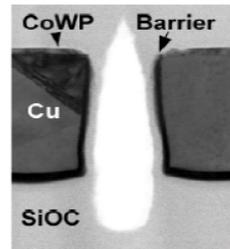
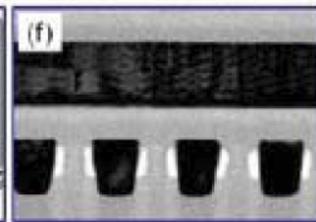
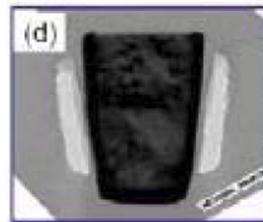
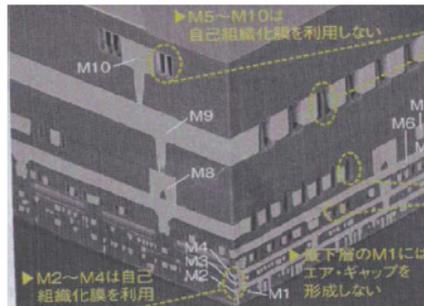
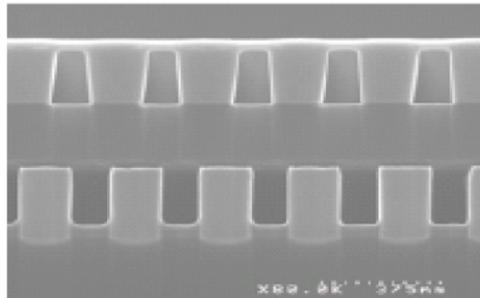


Revised to change tech.node timing and decrease maximum bulk k reflecting narrowed bulk k range revealed by actual introduction in manufacturing of low-k materials, but almost the same k_{eff} range as ITRS2007-8

テクノロジーノードの進展に合わせて1年シフト (ペースは2007年度版と同じ)

Approaches

- Creation of air gaps with non-conformal deposition - ①
- Removal of sacrificial materials after multi-level interconnects - ②



配線間の犠牲膜を除去する
タイミングで2タイプに分かれる

- ①上層形成前にair-gap形成
 - ・mis-alignmentに弱い
(上ビア底部がgapに重なる)
- ②上層形成後にair-gap形成
 - ・機械的強度が弱い
(大面積スペースが抜ける)

Pictures (top left, clockwise): NXP, IBM, Panasonic, tsmc

Air gap architectures will be required for $k_{bulk} < 2.0$

No viable materials expected to be available

Mechanical requirements easier to achieve with air-gaps

End of the material solution and
the beginning of an architecture solution

$k_{bulk} < 2.0$ で既に
インテグは困難として
air-gap導入を設定

2007年度版では
 $k_{bulk} < 1.3$ から導入
と設定されていた

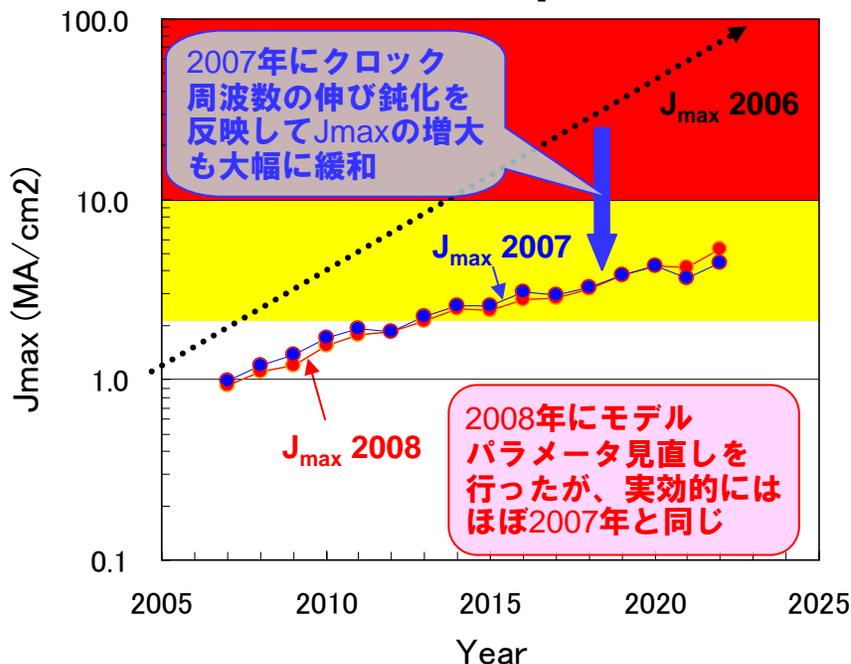


改訂の経緯

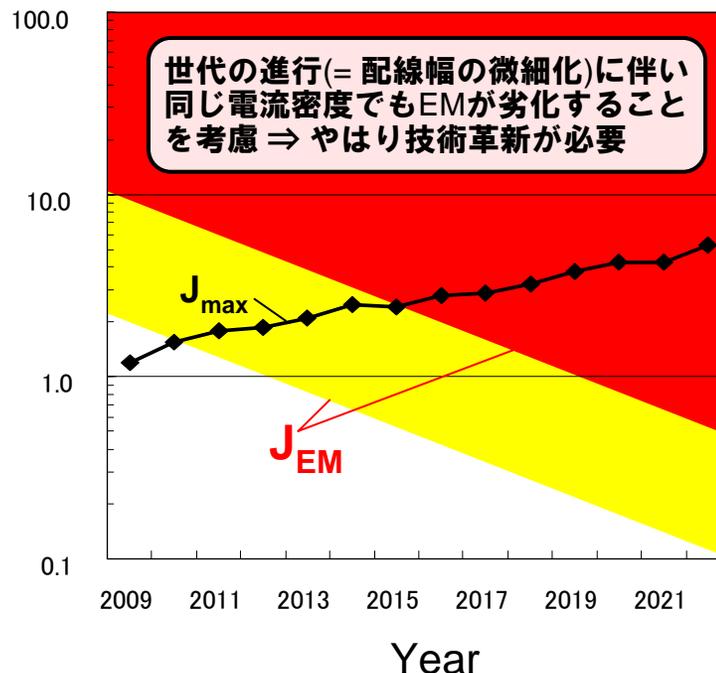
- 2007年度 クロック周波数増加の鈍化による危機回避
- 2008年度 モデルパラメータ見直し (結果は2007年度とほぼ同じ)
- 2009年度 配線幅依存性の考慮により危機を再予測

- Yokogawa & Tsuchiya, 7th International Workshop on Stress-Induced Phenomena in Metallization, pp.124-134, 2004.
 - Hu et al., Microelectronics Reliability, vol.46, pp.213-231, 2006.

2008 Update



2009 Revision



1. はじめに

1.1 STRJ-WG4 **構成メンバー**

1.2 2009年度 **活動方針**

2. 2009年度活動内容

2.1 ITRS2009**改訂**

2.1.1 **章構成の変更**

2.1.2 **改訂内容のトピックス**

2.2 STRJ-WG4**独自活動**

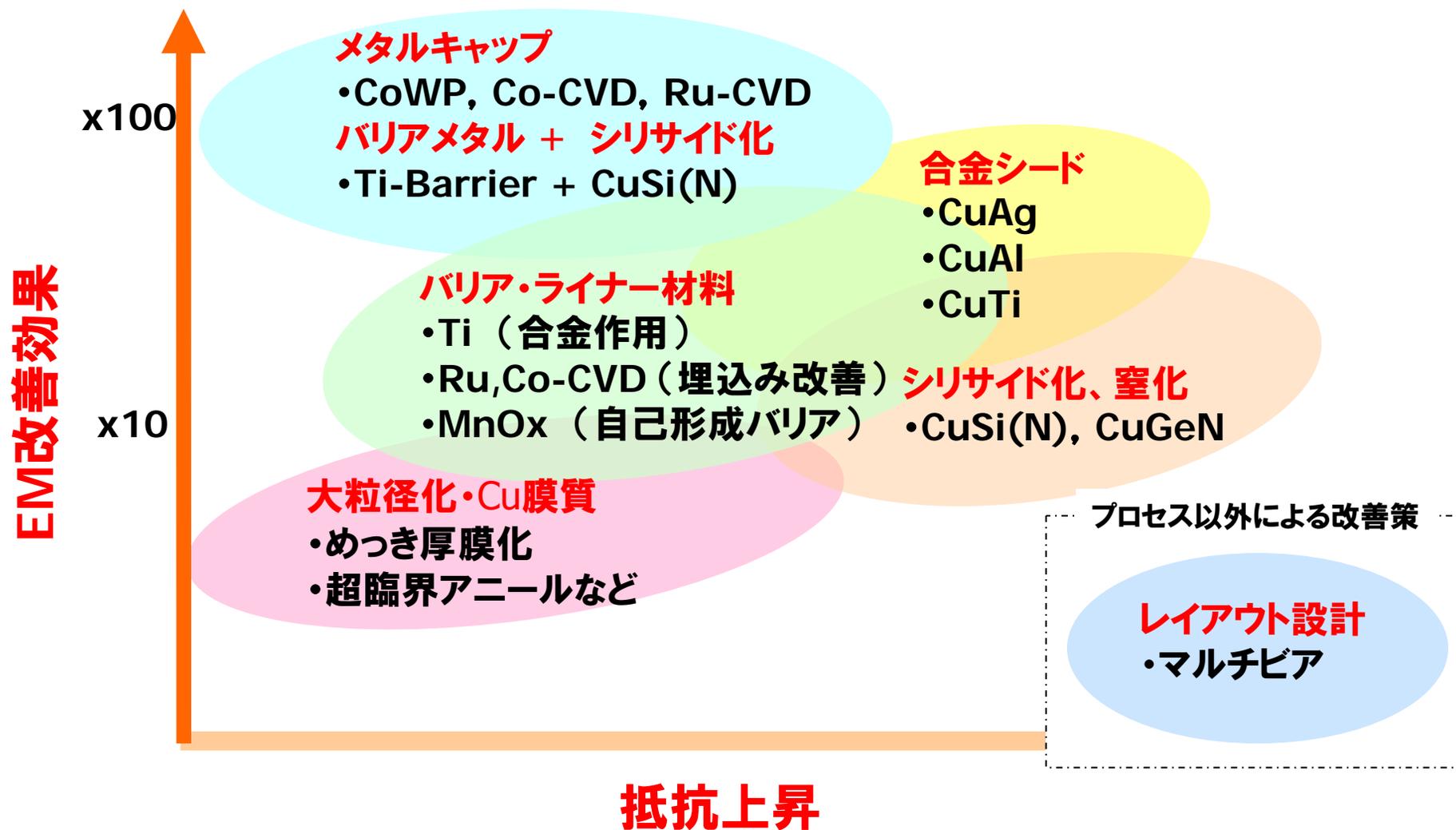
2.2.1 **EMRブースタープロセス(EM耐性を向上する技術)の検討**

2.2.2 **コンタクト部におけるWプラグの適用限界の見極め**

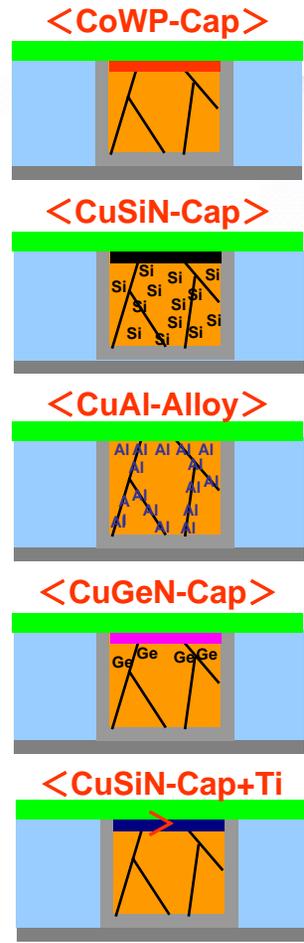
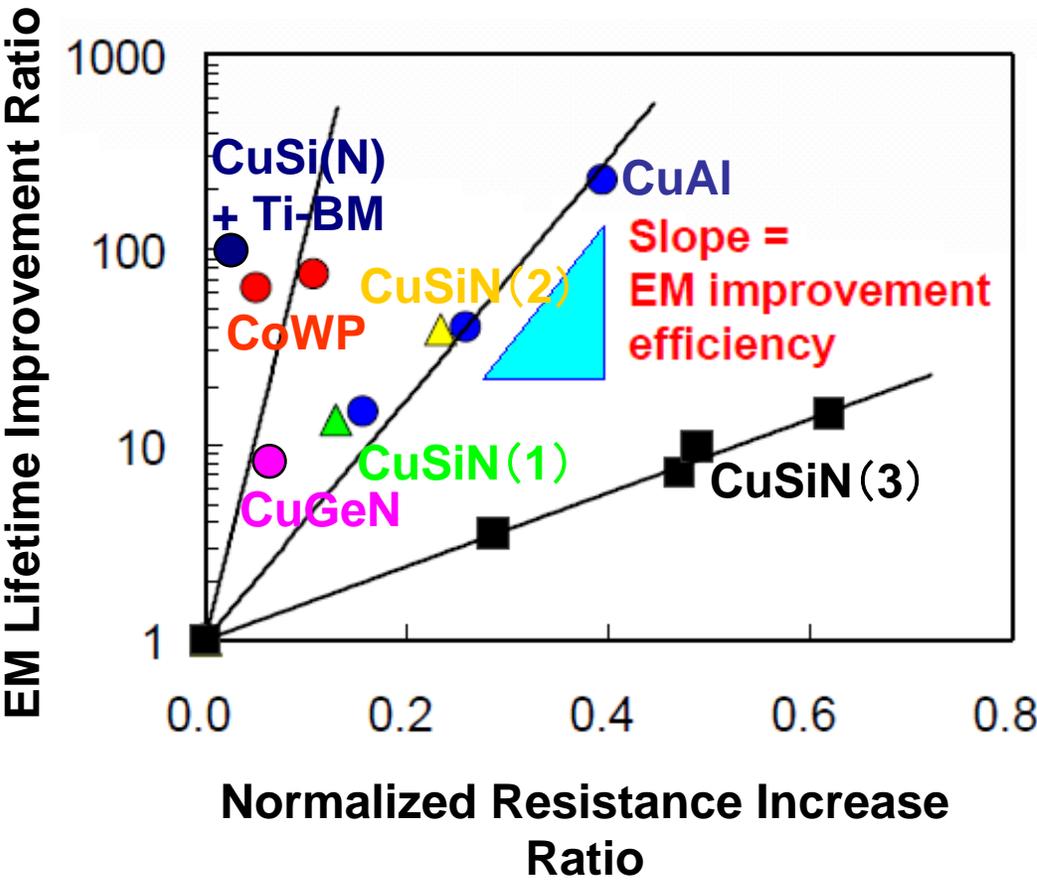
2.2.3 **高密度TSVのアプリケーションマップ検討**

3. 2009年度の活動まとめと今後の活動予定

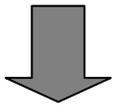
EMRブースター技術(EM耐性を向上する技術)マップ



EM耐性向上のために不純物を添加 ⇒ 配線抵抗が増大
 (コストに加えて) 配線抵抗の上昇を抑制することが重要



Cuダマシン配線では
 ・底面・側面はバリアメタルとCuが直接・連続で成膜される
 ・上面は、研磨後のCu上にバリア絶縁膜が成膜される



Cu配線の上面での密着性を強化する手法が効果的

- ・配線上面を選択的にメタルで被覆
- ・絶縁膜形成前処理でSi等を加えて強化
- ・Cuシードに混ぜた不純物の拡散を利用など

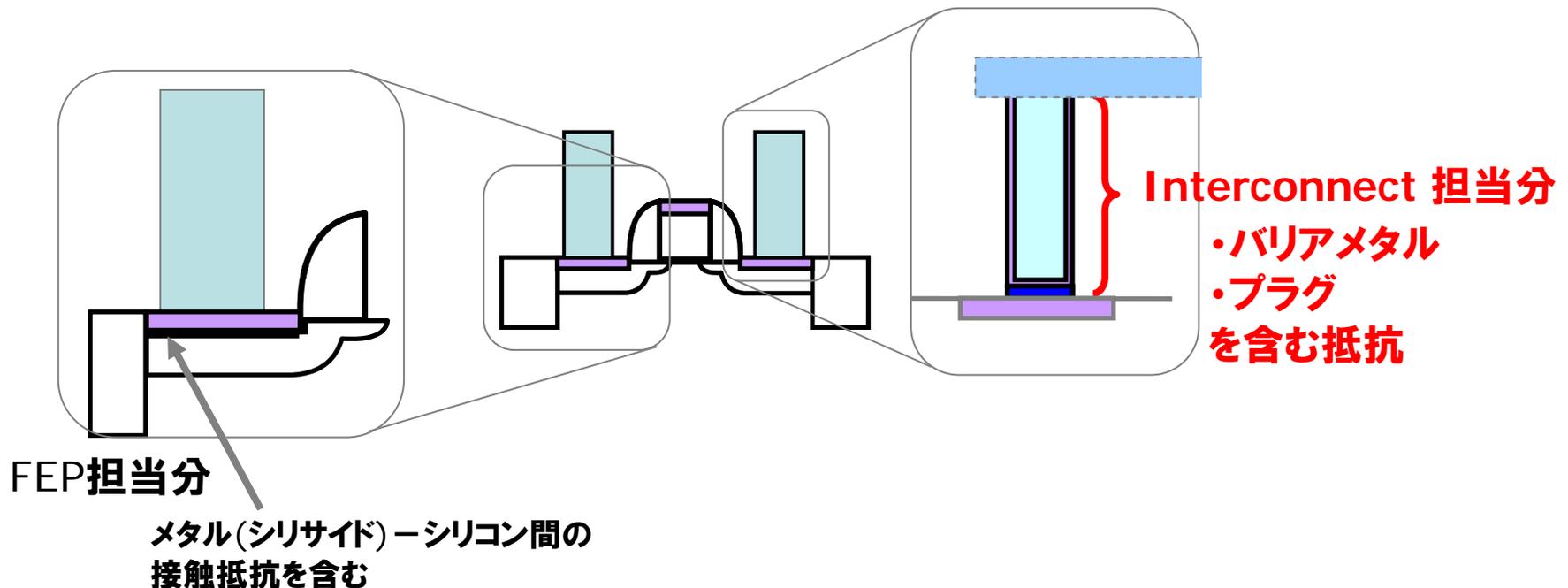
■ FEPとの切り分け

FEPとの討議の結果、下記の分担で合意

2008年度に合意済

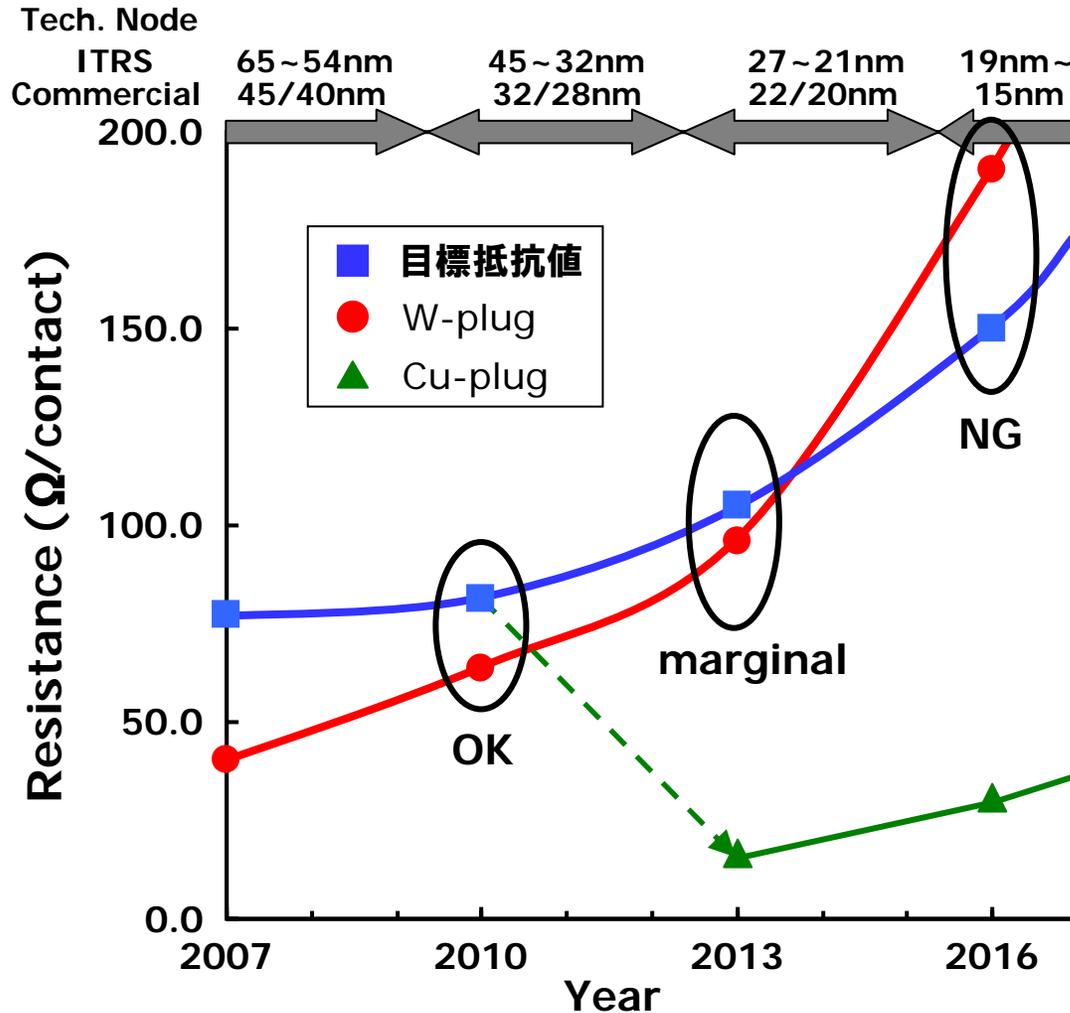
- FEP:メタル(シリサイド)-シリコン界面を含む下地側
- 配線:メタル(シリサイド)-シリコン界面より上

[Pre Metal Dielectric工程より後は配線側の担当とする]



コンタクト抵抗について: W-plugの限界見極め

- PIDS(およびFEP)から、全寄生抵抗(R_{total})の5%を配線側コンタクト抵抗として許容との提示を受け、W-plugの適用限界の見積りを実施



W-plugは

- 2013年(22/20nmノード)で、ほぼ限界
- 2016年(15/14nmノード)で、適用不可

Cu-plugを適用すれば

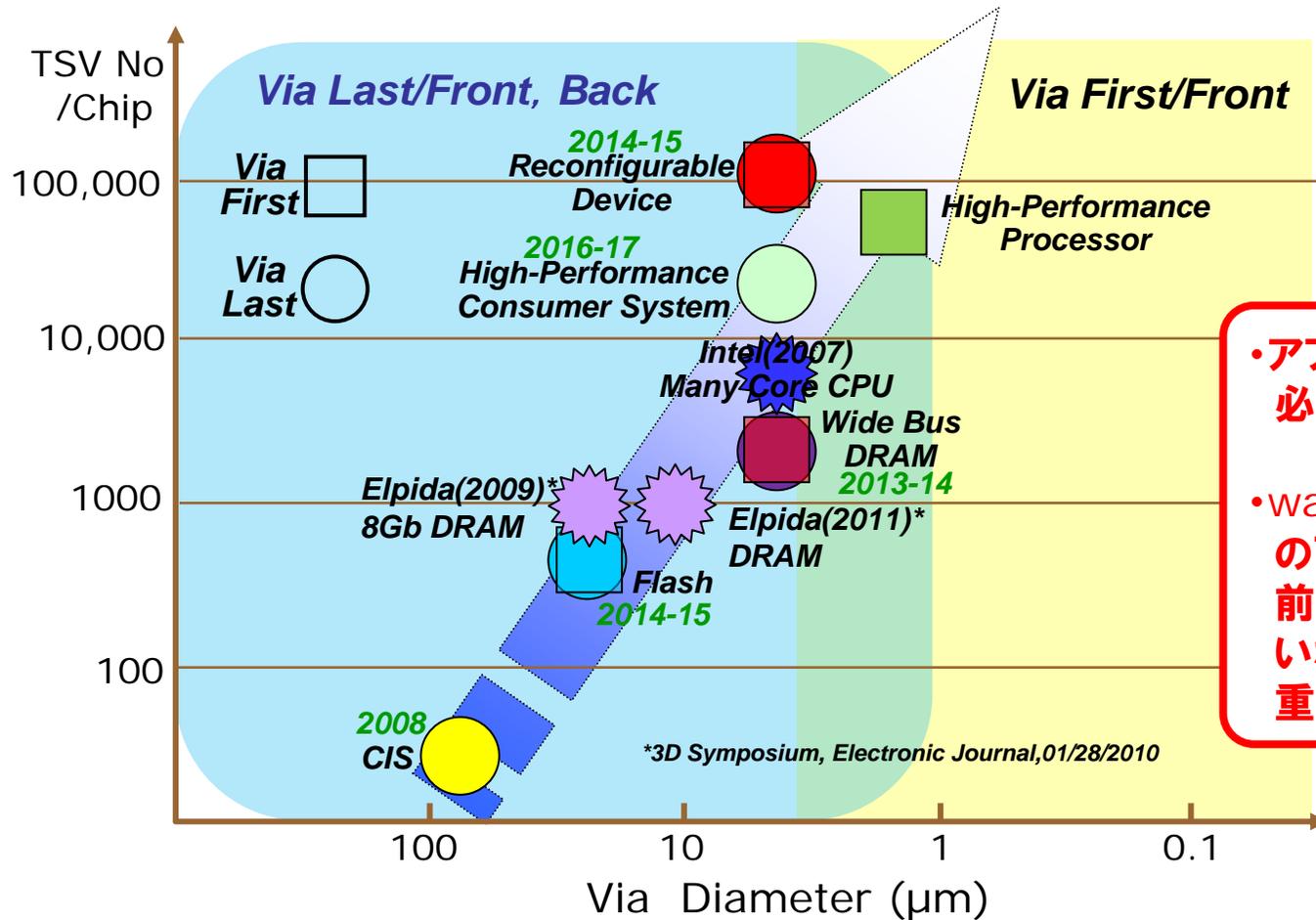
2016年(15/14nmノード)以降も当面コンタクト抵抗自体は回路動作上大きな障害とならない

左図は、アンケート結果から下記を前提にモデル計算した結果

- アスペクト比=5.5
- W-plugのバリアメタル
 - PVD-Ti 底10nm, 側壁2nm
 - CVD-TiN 底・側壁とも5nm
- Cu-plugのバリアメタル
 - Ta系PVD 底5nm, 側壁1nm
 - Ru系CVD 底・側壁とも2nm

TSVのアプリケーションマップ

(ビア径 vs. ビア密度)

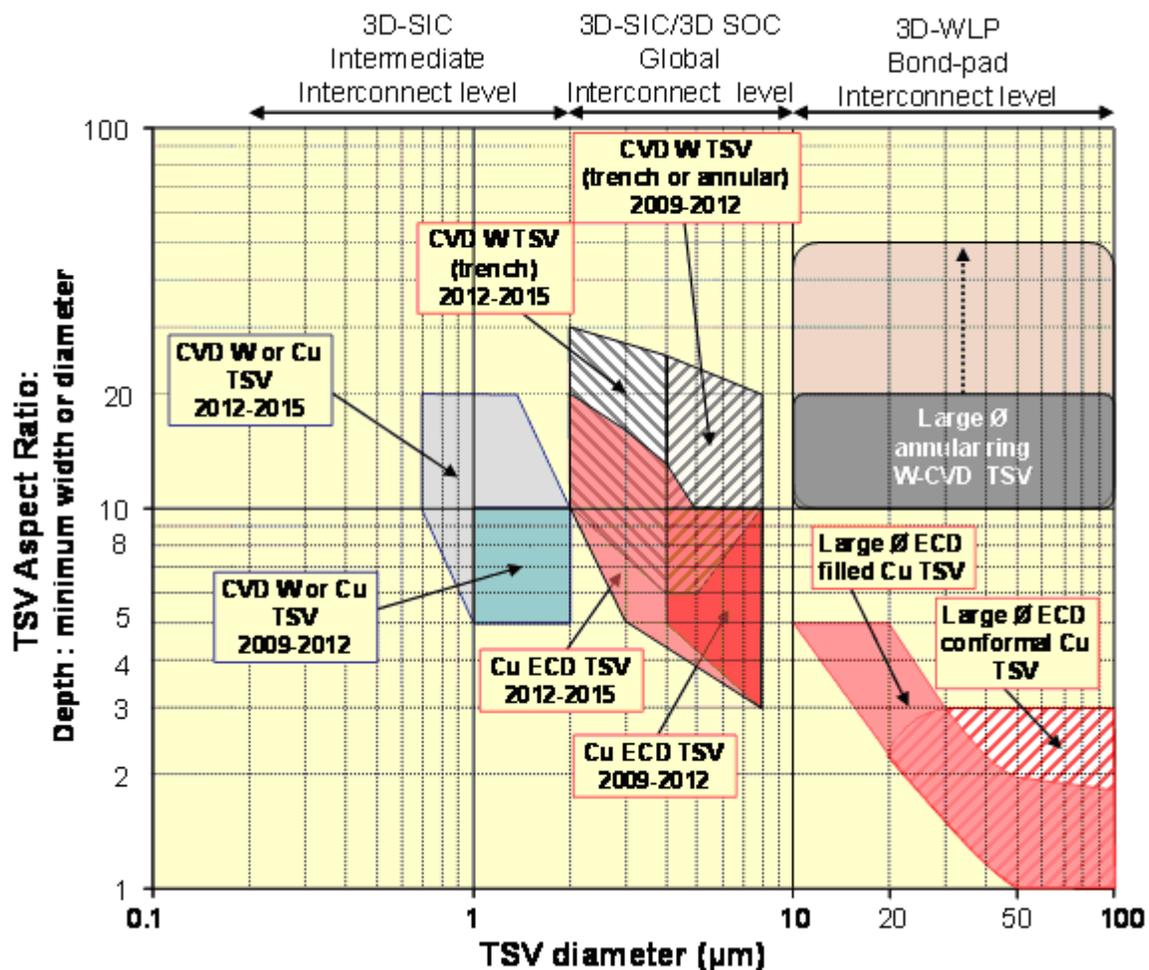


- アプリケーションをベースに必要技術を検討
- wafer薄層化や位置精度の高い貼合せ技術など前工程としては使用されていなかった工程の扱いも重要となる

Wafer厚さ50umのAR	0.5	5	10	25		
Wafer厚さ25umのAR	0.25	2.5	5	10	25	
Wafer厚さ10umのAR	0.10	1	2.5	5	10	25

*3D Symposium, Electronic Journal, 01/28/2010

TSV ロードマップ (ITRS2009より) ビア径 vs. アスペクト比 での map



STRJでの検討を継続

- ビア密度 と
 - ビア径
 - ウエハ厚
 - アスペクト比
- のうちの 2つ

という、3軸をベースとした立体的な領域設定におけるアプリケーション・必要技術



ITRSへのフィードバック
行っていく

■ 2009年度の主な活動

◆ ITRS2009改訂に関して

- 各項目におけるITRS主担当との協議・検討
- 「Dielectric」, 「Planarization」原稿の作成
- J_{max} 改訂内容の検討と提案
- Low-k進行のslow-down、およびair-gap導入早期化の検討と提案
- ITRS2009 Interconnect章の全体的なとりまとめ・「Metallization」等の追加分担

◆ STRJ独自の活動

- EM crisis に対するEMRブースター技術の調査
- PIDS, FEPとの協議に基づくコンタクト抵抗の定義・切り分け明確化とWプラグの適用限界の見極め
- HDTSVに関するアプリケーションマップ検討

■ 来年度の活動予定

- ◆ 3次元積層化・TSVの要素技術マップ作成
- ◆ ロジック向けコンタクト抵抗/材料技術のITRSへの反映
- ◆ ITRS2011のMore than Mooreに向けた新規デバイスカテゴリーへの対応準備