

日本の実装技術 世界の実装技術

2011年3月4日

(社)電子情報技術産業協会
半導体技術ロードマップ委員会
STRJ WG7

中島宏文(ルネサスエレクトロニクス)

1. 概要

2010年度 STRJ WG7 メンバー

- リーダー : 中島宏文(ルネサスエレ)
- サブリーダー : 今村和之(富士通セミコンダクタ)
- 国際対応 : 宇都宮久修(ICT)、中島 兼務
- 委員 : 吉田浩芳 (パナソニック)、
杉崎吉昭(東芝)、遠藤光芳(東芝)、
佐々木直人(ソニー)、奥村弘守(ローム)
木村通孝(ルネサスエレ)
- 特別委員 : 藤木達広(ナミックス)

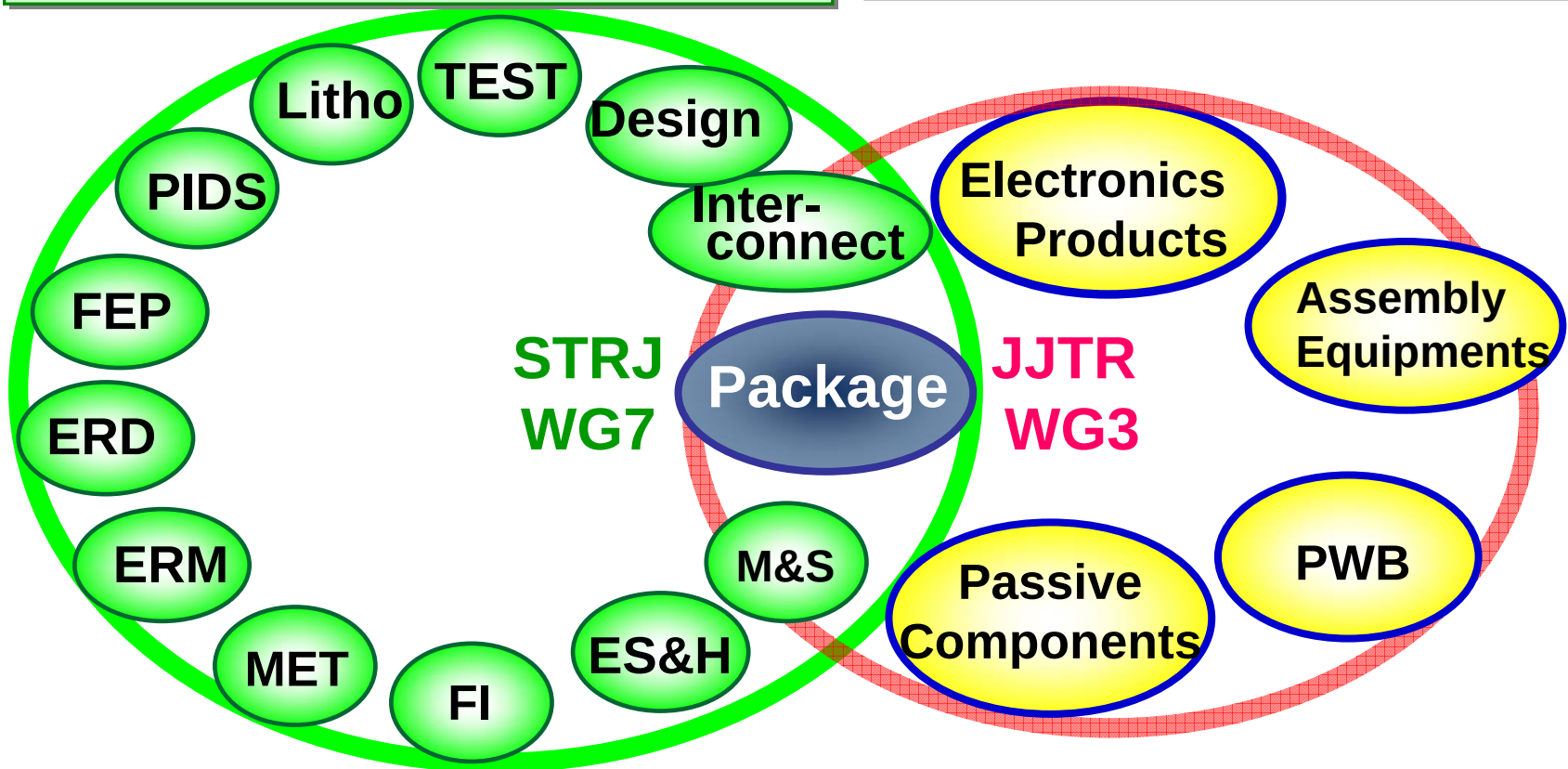
JEITAロードマップ活動

半導体技術ロードマップ

Semiconductor Technology
Roadmap committee (STRJ)

実装技術ロードマップ

Japan Jisso Technology
Roadmap committee (JJTR)



2010年度実装WG活動成果

- 1) **JJTR 2011 ロードマップ作成 (2011年2月末出稿完)**
 - ・ 2009年度版の内容のアップデート
 - ・ フリップチップBGAのロードマップの充実
 - ・ SiPロードマップの見直し
 - ・ MEMS roadmapの充実
 - ・ TSVの量産化シナリオ
- 2) 東京大学で開催したIEEE CPMT Symposium Japanの前日セミナーとして、**2010年8月23日にITRS Workshopを実施**。全26名が参加。
- 3) **JJTRの電子機器セットWG及び基板WGとのクロスカット討議を実施**。
また、STRJ WG3が主催した大場教授のTSV講演に参加。
- 4) **ITRS 2011 ロードマップを作成開始 (2011年8月1日完了予定)**。
 - ・ SiPロードマップ改版
 - ・ 車載半導体パッケージロードマップ Project leader

2010年度実装WG活動実績



Year	日本実装技術ロードマップ (JJTR)	半導体技術ロードマップ (STRJ)
WG会議	Publication of Jisso Roadmap: June, 2011. (Every other year)	Publishing ITRS 2010 as a minor revision in Jan.,2011.
Jan. 2010	Assigning each responsibility	Ready to publish ITRS 2009
Feb. 2010	Planning activities in the next year	Planning activities in the next year
Mar. 2010	Discussion on topics	STRJ Workshop, STRJ annual report
Apr. 2010	Reviewing roadmap tables	ITRS spring meeting
May, 2010	Reviewing roadmap tables	ITRS A&P TWG ECTC meeting
June, 2010	Reviewing WG1 survey	Reviewing contents
July, 2010	Reviewing roadmap tables	ITRS San Francisco meeting
Aug. 2010	—	ITRS A&P TWG Tokyo meeting
Sep. 2010	Cross cut among WGs	-
Oct. – Dec.	Drafting and discussion	-
Dec. 2010	Drafting and discussion	ITRS Japan meeting at Semicon
Jan. 2011	Reviewing all	Publishing ITRS 2010
Feb. 2011	Planning activities in the next year	Planning activities in the next year
Mar. 2011	Final Editing, JJTR 2011	ITRS preparation for car electronics

2. 日本の実装技術

ー日本実装技術ロードマップの要点ー

日本実装技術ロードマップは5月に発行いたしますので、詳細はそちらをお読みください。

1. シリコン・ファウンダリやサブコンへの生産委託が加速している。
2. 日本半導体産業は生産サイドから購入サイド(ファブライト、ファブレス)への転換期にある。
3. 個々の企業から個別に台湾、韓国OEMに品質要求していたのでは、発注数量が少なく要求力が弱い。
4. 日本の標準規格をもって、日本全体の購買力を背景に、台湾、韓国OEMへの要求力を強化したい。
5. 日本の標準規格とはIEC、JIS、JEITA、JPCAか？
IECは半導体分野では不十分。JISには半導体の規格登録なし。
6. 消去法でいくと、日本半導体の標準はJEITA規格しかない。
これを日本全体の要求として位置づけることによって、国内企業が有利になるような戦略をとりたい。

サプライチェーンの変化を先んじた戦略とは？

Semiconductor materials
& Assembly

IC Tray



Chip tray



半導体製品

Molding Compound



IC Socket



JEDECに相当する要求力が得られる購買力を得つつある。

●いかに商売に有用な日本標準を作成するか？

●いかに日本標準を海外サブコンへのネゴツールにするか？

PACKAGE OUTLINE

Package & Assembly

技術的総括：技術課題への挑戦 (1)

大項目	小項目	課題	2014年	2020年
① 放熱 特性	材料開発	パワーデバイスの鉛フリーダイアタッチ材	60 W/mK	100W/mK
		封入樹脂	4 W/mK	5-6 W/mK
		アンダーフィル材（現行 0.4W/mK）の高熱伝導率化	2 W/mK	4 W/mK
		低コスト高放熱基板材料	○	○
		熱伝導グリースの高熱伝導率化	8-10 W/mK	>12 W/mK
	構造	積層チップ間絶縁層の熱伝導率向上	○	○
④ 電気 特性	高速電気 信号	協調設計インフラとツール	○	○
		RC遅延対策インターポザ（ $\epsilon=2.5-3$ 、低表面粗さ配線）	○	○
		チップからの直接配線技術	—	○
		オプトエレクトロニクス対応技術	バックプレーン	基板内
	電源供給	多層積層チップへの安定電位電源供給	○	○
	EMI	パッケージのシールド構造	○	○
② 小型化	WL-CSP	チップ寸法の制約（コスト、実装信頼性）の緩和	7 mm sq	10 mm sq
		Fan-out WL-CSPの大版基板対応設備とコスト低減	—	○

 現在の技術・開発の延長線上で解決策が見出せると想定できるもの

 現在の技術・開発の延長線上では解決策が見つからないもの

○：小量産レベル以上
—：該当せず

技術的総括：技術課題への挑戦 (2)

大項目	小項目	課題	2014年	2020年
③ 接続	チップ間接続	CoC/Direct接続の狭ピッチ化	40 um	10 um
		ワイヤレス接続 (L or C coupling)	—	○
	パワーデバイス の接続方法	高温耐熱接続 (SiC対応)	200°C	250°C
	チップ/インターポーザ 間接続	ワイヤボンディングの狭ピッチ化 (単列パッドピッチ)	30 um	25 um
		ワイヤボンドの基板側リードピッチ縮小	60 um	50 um
		エリアレイ型フリップチップのピッチ縮小	120 um	90 um
	インターポーザ/基板 間実装	WL-CSPの狭ピッチ実装	200 um	150 um
		外形の大きなFBGAの熱時平坦性 (70um)	70 um	50 um
		インターポーザの低熱膨張化 (CTE=8-10 ppm/deg) と 弾性率向上	28 GPa	34 GPa
		狭ピッチFC用インターポーザのランド部コプラシティ	20 um	10 um
	プリントエレクトロニクス	コンタクト抵抗、信頼性、CMOSの印刷形成	○	○

 現在の技術・開発の延長線上で解決策が見出せると想定できるもの

 現在の技術・開発の延長線上では解決策が見つからないもの

○：小量産レベル以上
—：該当せず

技術的総括：技術課題への挑戦 (3)

大項目	小項目	課題	2014年	2020年
SiP	薄ウェーハ ハンドリング	18um厚ウェーハのハンドリング	○	○
	薄チップ 積層	多層化と不良率累積の回避	19層	33層
	MEMSと半導 体の融合	低コストで小型・薄型の中空封止技術	○	○
	光配線の 搭載	温度、アライメント、長期信頼性、コスト	—	○
耐厳 環境	高温耐性	低コスト耐熱性インターポーザ（最高周囲温度）	175℃	200℃
		銅パッド＋銅ワイヤ接合	—	○
	耐湿性	大型パッケージの耐湿性改善（ドライパックフリー）	○	○
	応力耐性	チップ／パッケージ間応力設計	○	○
		Low k層剥離対策	○	○

 現在の技術・開発の延長線上で解決策が見出せると想定できるもの

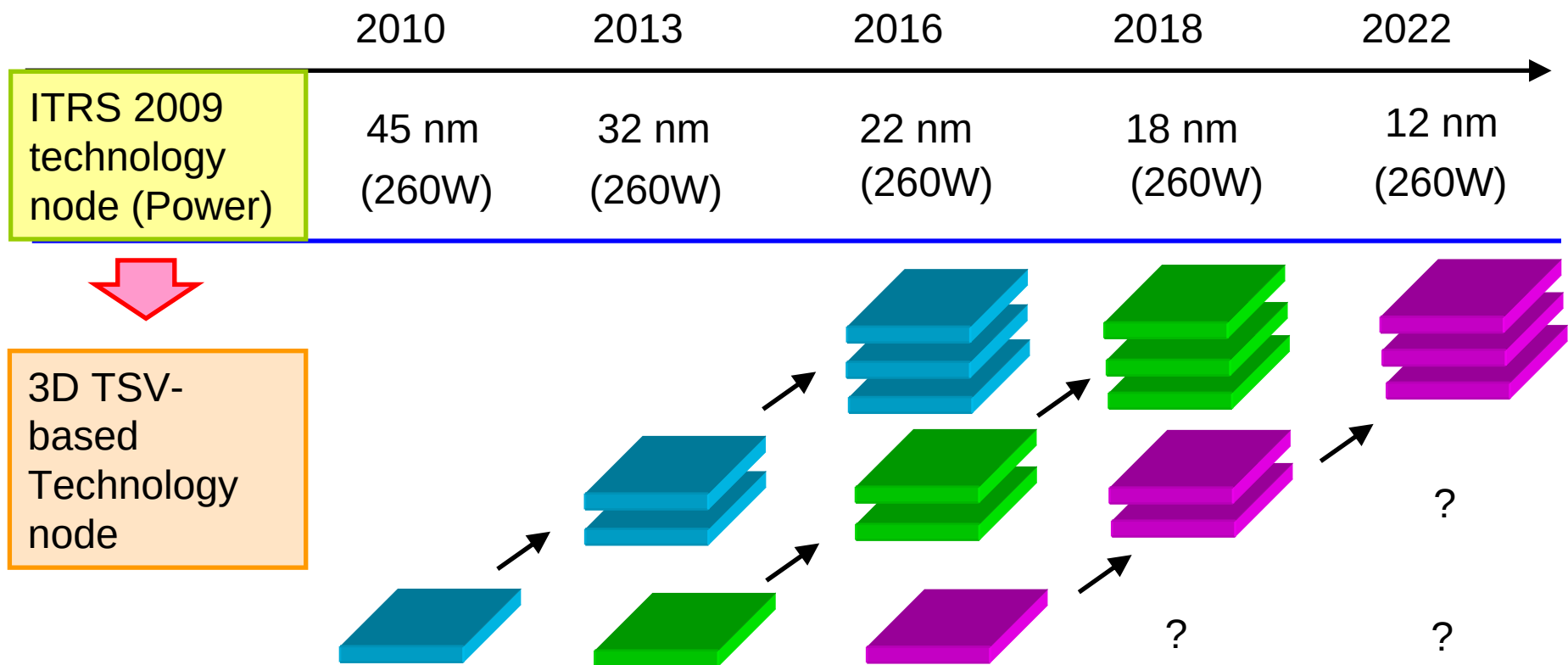
 現在の技術・開発の延長線上では解決策が見つからないもの

○：小量産レベル以上
—：該当せず

① 放熱の課題

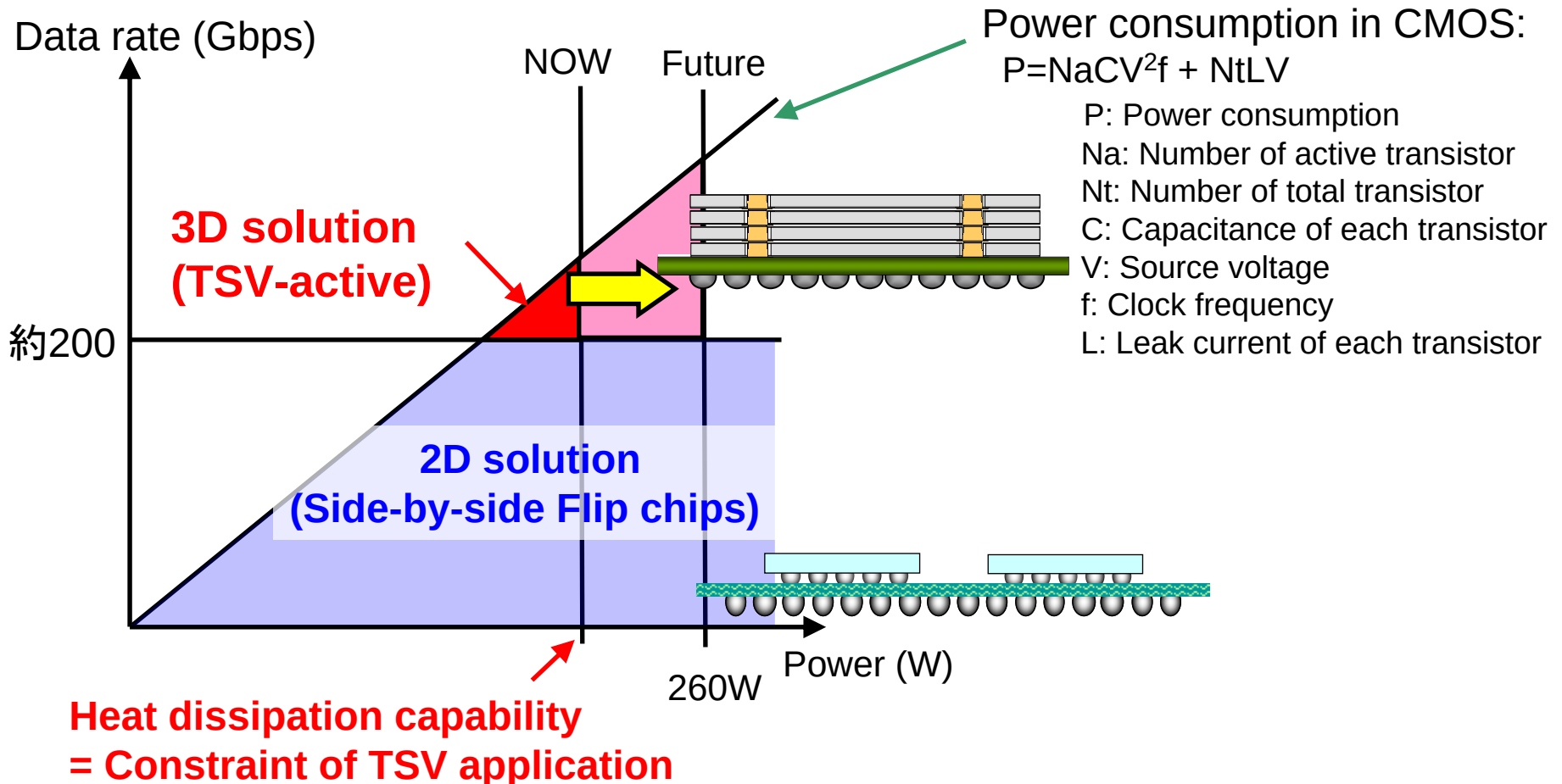
チップの熱密度増加

単一チップ当たりの消費電力は260W で最大消費電力が一定でも、三次元集積化によって熱密度は上昇する。



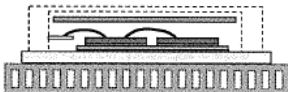
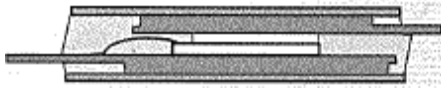
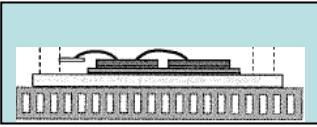
3次元実装の課題

- 現時点の高性能用途の大部分のニーズは2次元実装によって解決されている。
- 3次元実装は更にその上の性能を満たす解決手段を提供する。
- そのために熱密度の倍々増に対する放熱構造の開発が最大課題である。



放熱：車載パワーデバイスのロードマップ

プラグインハイブリッド、電気自動車用にハイパワー素子を使用され、パッケージの放熱性が求められる。ダイアタッチ材の熱伝導率の向上とともに、パワーサイクル信頼性が重要。

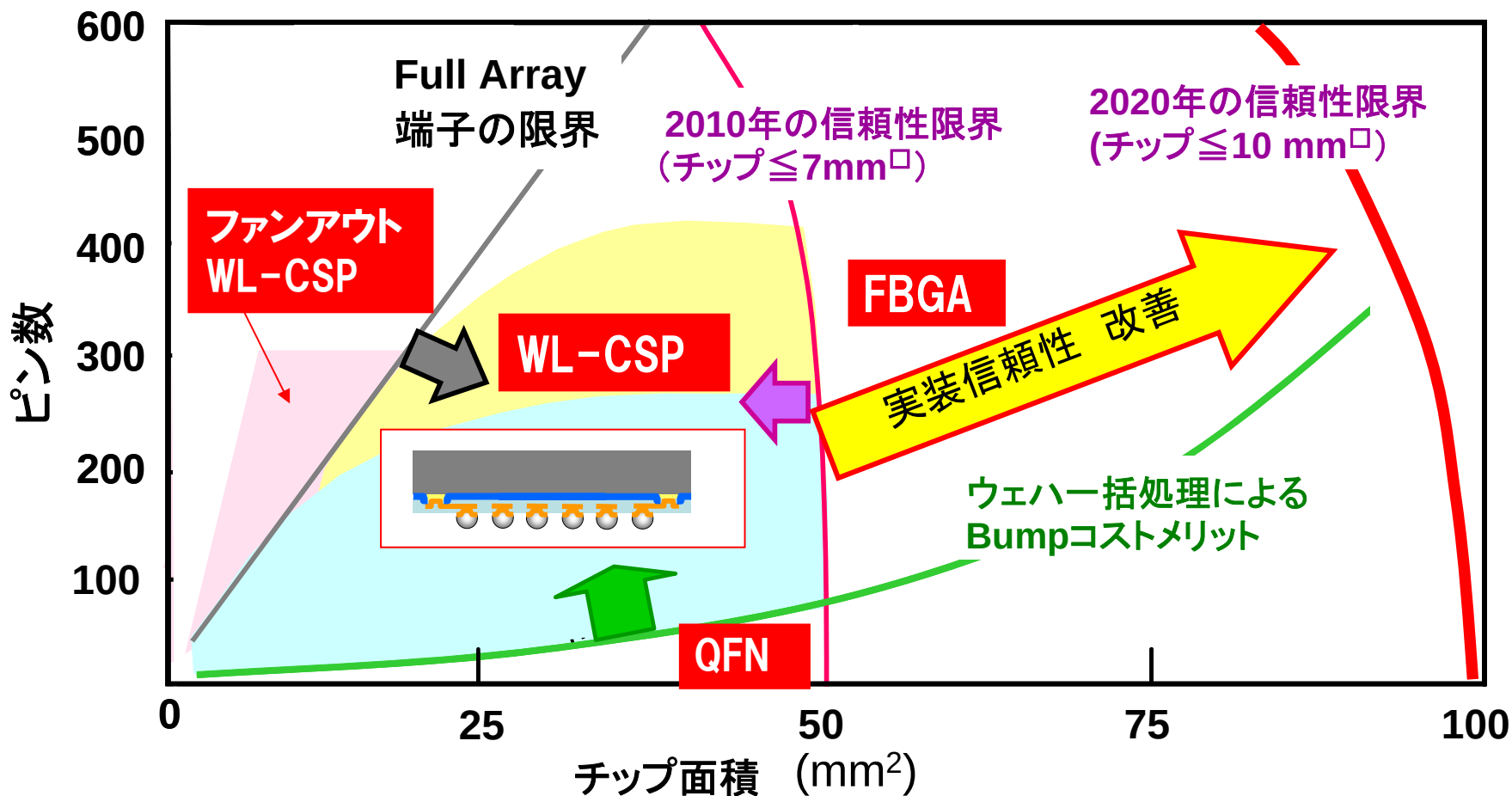
項目	単位	2004	2006	2008	2010	2012	2014	2020
EV, HV inverter パワー密度	W/cm ³	8	30 IGBT	40	45	50	60 SiC	100
ジャンクション温度	°C		125	150	175	185	200	250
鉛フリーダイアタッチ材 熱伝導率 (W/mK)				50	50	55	60	100
Power module Die size	Volt Ampere mm sq.	600V 10A 2 ² mm ²	600V 100A 8 ² mm ²		1.2kV 200A 12 ² mm ² .		1.2kV 500A 10 ² mm ² [SiC]	1.2kV 500A
放熱構造		One side cooling 		Both sides cooling 			Water immersed cooling 	

EV: Electric vehicle, HV: Hybrid vehicle

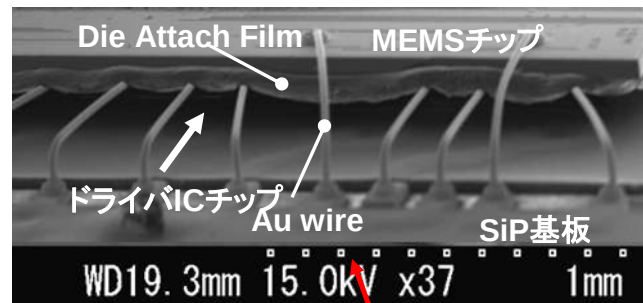
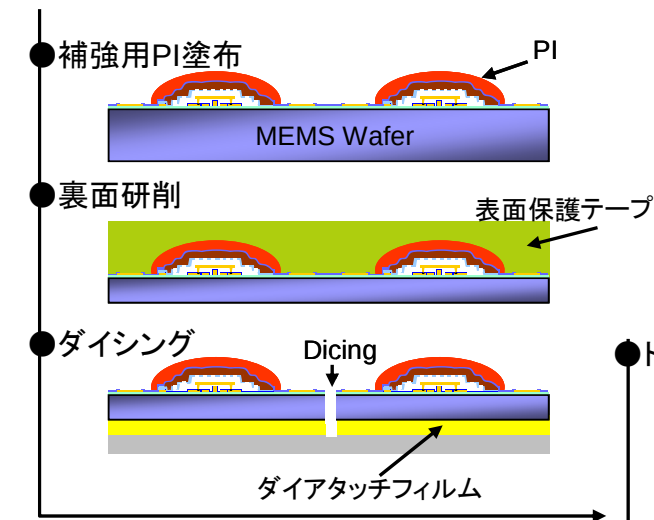
STRJ-WG7 (A&P) Mar 4, 2011

②小型化 WL-CSP

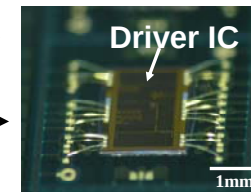
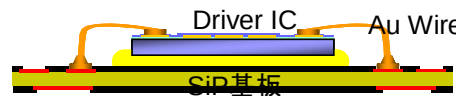
- WL-CSP (Wafer-level Chip Size Package) は究極の小型化パッケージ。
- シリコンと実装基板との熱膨張差のために実装信頼性の制約があり、現状のチップ寸法は7mm²程度。
- 将来はチップ寸法を10mm²まで広げられる技術施策を見出す。



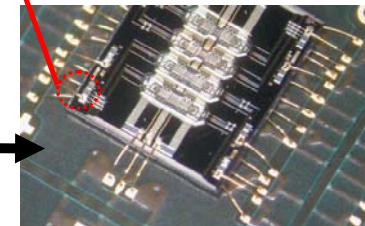
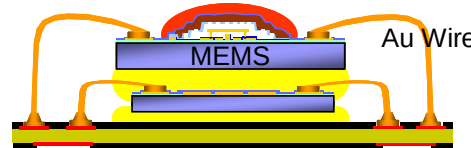
MEMS (WLP)とCMOSの融合



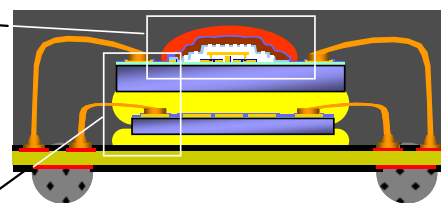
●ドライバーICチップ搭載 / ワイヤーボンディング



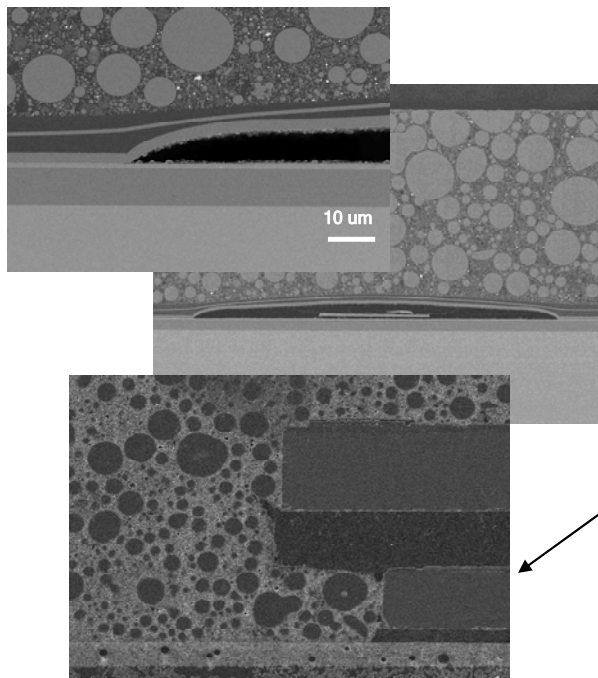
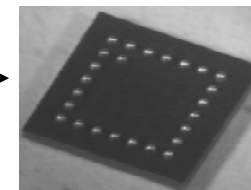
●MEMSチップ搭載 / ワイヤーボンディング



●樹脂封止 / ボール搭載 / 個片化



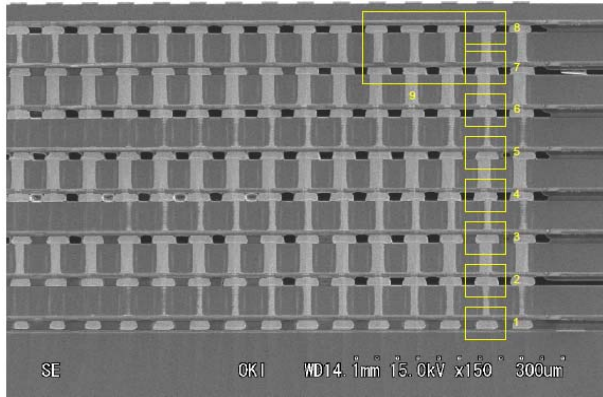
4.5x4.5x0.8mm



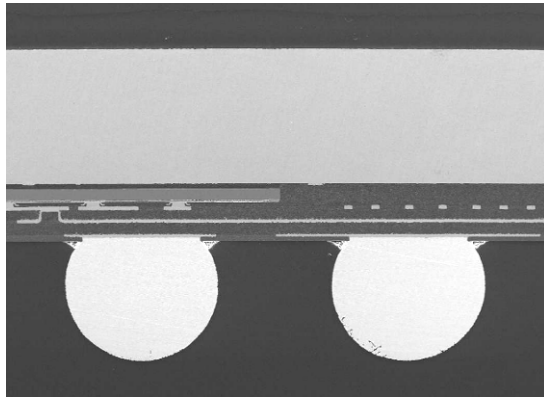
(出典: 東芝)

③ 接続 SiP

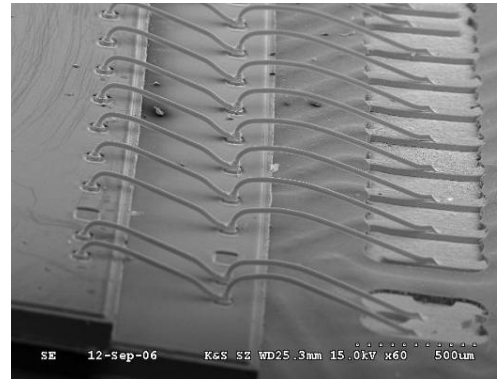
- SiPの特徴はパッケージ内のチップ間接続
- 接続方法はワイヤボンディング、CoC接続、パッケージ間接続(PoP)、チップとのダイレクト配線、インダクタ／キャパシタカップリング、TSVなど多様。



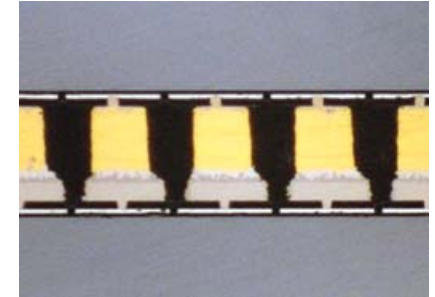
TSV (出典:ルネサス)



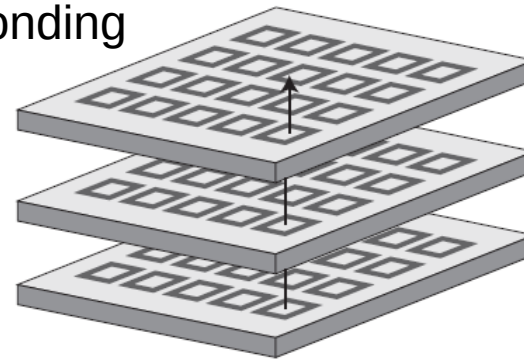
ダイレクト配線
(出典:NEC)



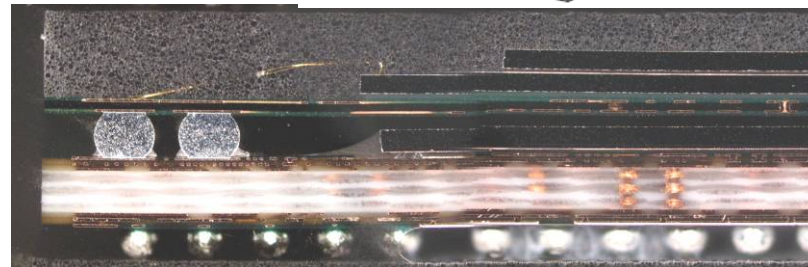
Cascade bonding
(出典:K&S)



CoC (Face to face)
(出典:富士通マイクロ)



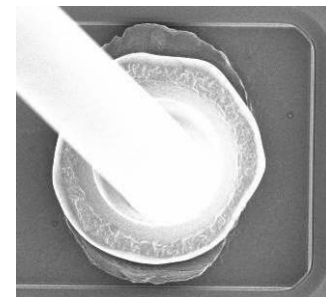
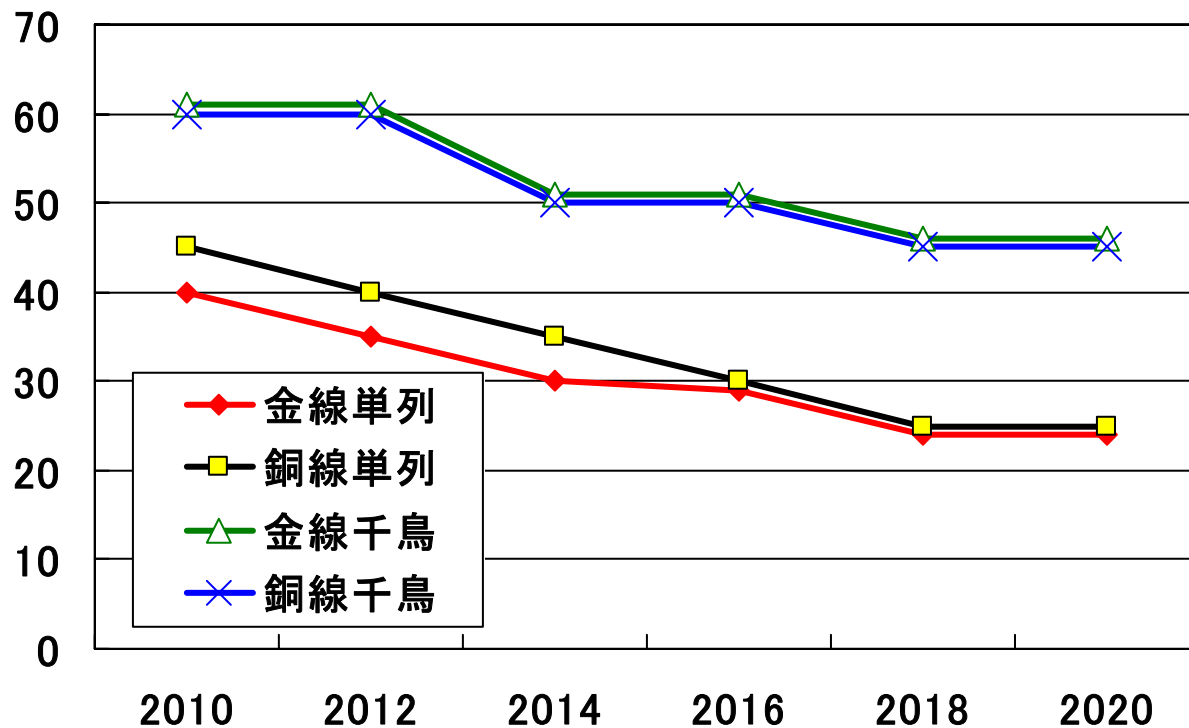
Inductance
Coupling
(出典:慶応大
黒田教授)



PoP
(出典:ルネサス)

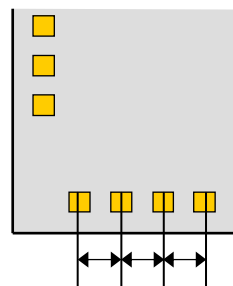
ワイヤボンディングの狭ピッチ化

銅線単列ボンディングは金線に比較して遅れているが、いずれキャッチアップする。銅ワイヤとアルミパッドの金属層間化合物形成が遅いこともメリット。

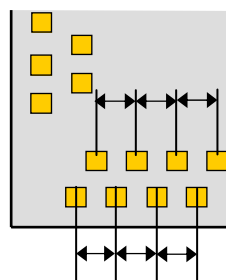


銅ワイヤボンディング時のアルミスフラッシュ
(出典:ルネサス)

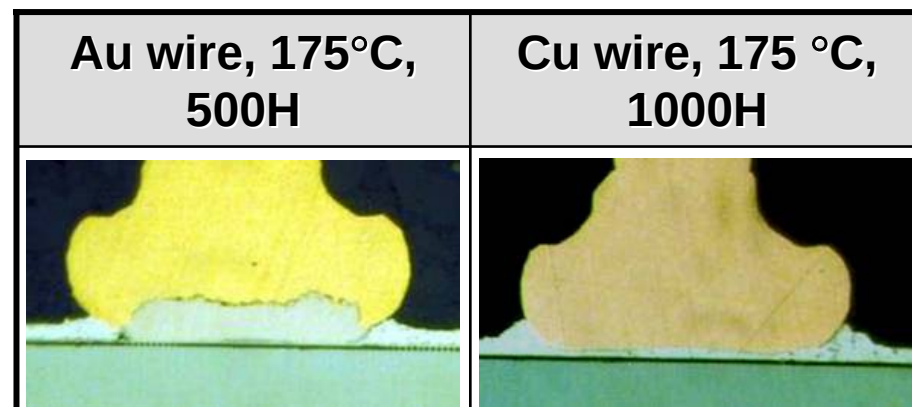
銅とアルミの金属層間化合物成長 (出典:ルネサス)



単列配置 (In-line)



2列千鳥 (Staggered)



STRJ-WG7 (A&P) Mar 4, 2011

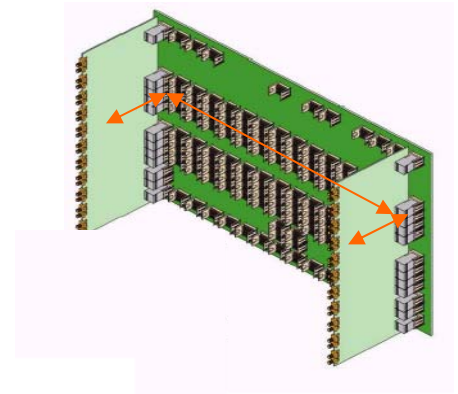
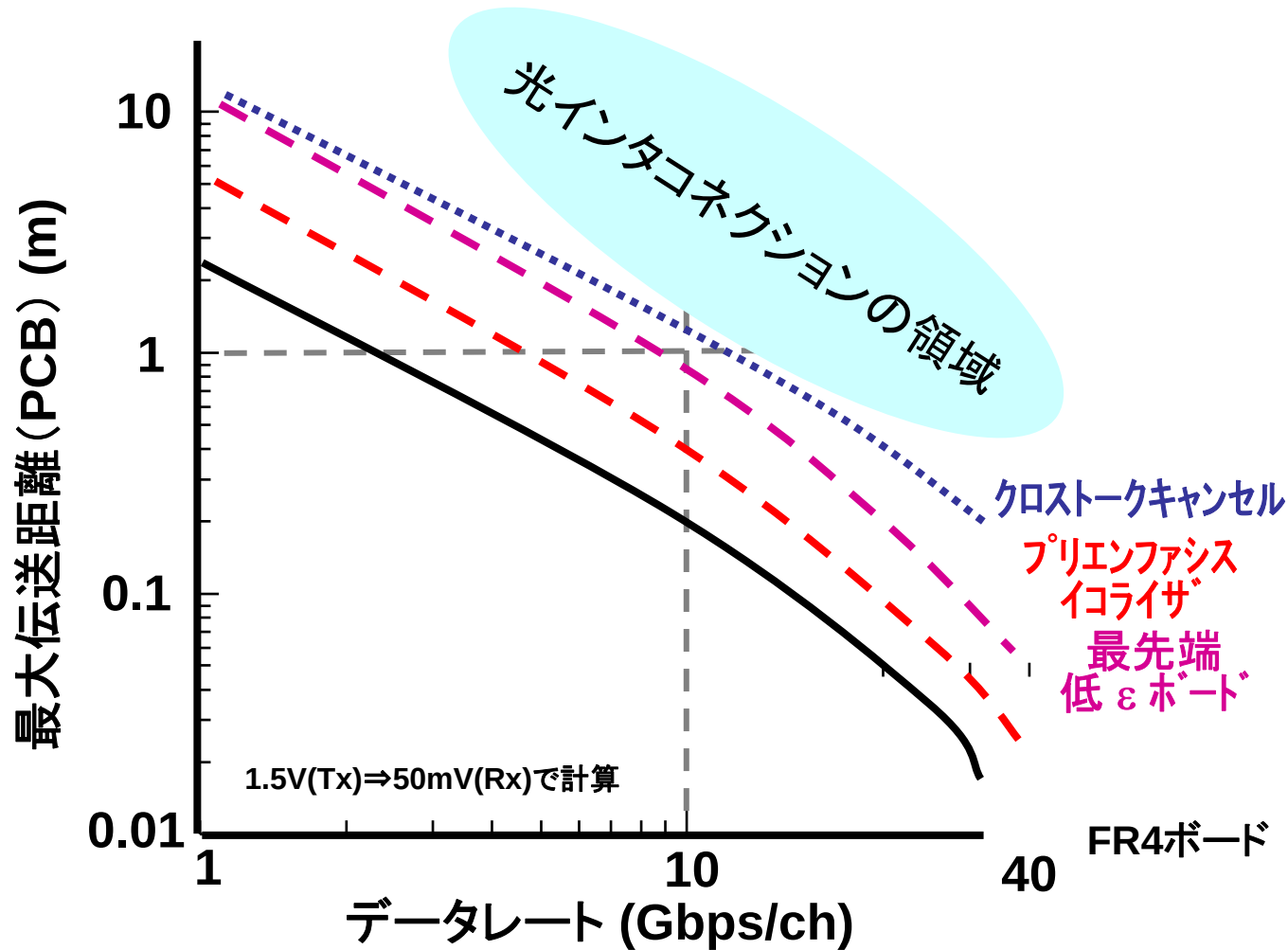
④ 高速データ転送

- 携帯電子機器のロジック・メモリ間のワイドバス接続は現在CoC構造が主流。
- 2014年からTSVによって更なる高容量の高速データ転送が始まるか？

大項目	接続方法	2010 年	2012 年	2014 年	2016 年	2018 年	2020 年
パッケージ高さ (5チップ積層時)	全	1.4	1.3	1.2	1.1	1.1	1
PoP2 段高さ		1.5	1.4	1.4	1.3	1.3	1.2
最大ピン数(ロジック)	全	900	1000	1000	1200	1400	1600
最小 DAF 厚(um)	ワイヤ	15	10	10	8	8	8
最小基板厚(um)	全	160	140	130	120	110	100
チップ上の樹脂厚(um)	ワイヤ	100	80	70	60	50	50
チップ間接続数	TSV	—	—	1200	1200	1200	2400
	CoC	2000	2500	3000	3000	3500	3500
	ワイヤ	90	150	210	270	330	400
	PoP	240	240	240	240	248	248
チップ間データ転送レート (Gbps)	TSV	—	—	200	300	500	700
	CoC	210	240	270	270	300	310
	ワイヤ	26	26	42	42	52	52
	PoP	26	26	42	42	52	52
最小チップ厚(um)	CoC	70	50	50	35	35	20
	ワイヤ	40	30	20	20	20	15
	PoP (wire)	40	30	20	20	20	15
	PoP (FC)	70	50	50	50	50	35
最大積層数	CoC	2	2	2	2	2	2
	ワイヤ	5	5	5	5	5	5
	PoP	2	2	2	2	2	2

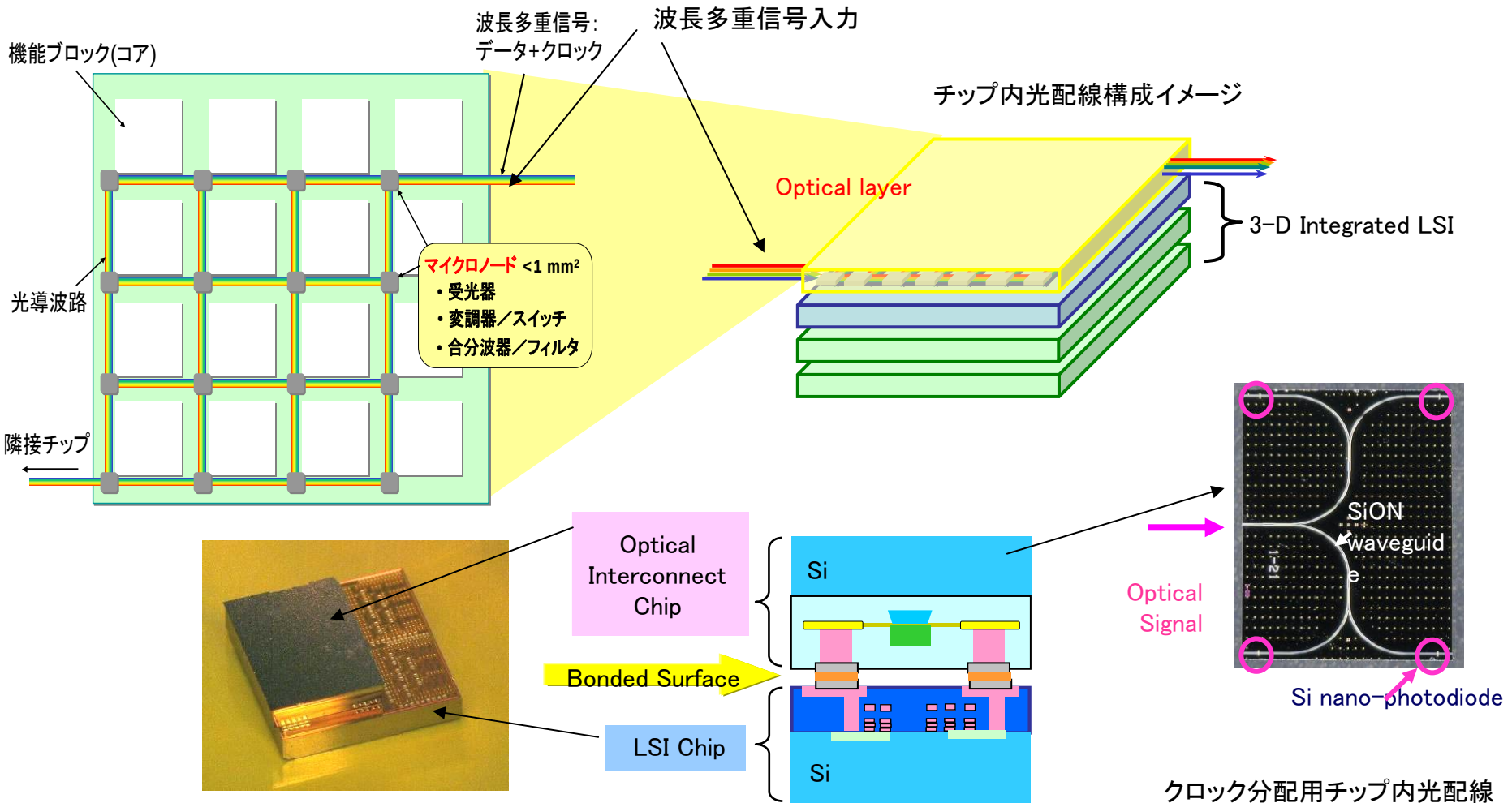
光インタコネクションの領域

距離、速度VS消費電力、コストupのジレンマ



出典: 蔵田、NEC

チップ内オプティカル伝送



大橋、最上 MIRAIにおけるLSI光配線研究、学振「結晶加工と評価技術」第145委員会
「シリコンCMOSフォトリソ」成果発表会 2010、7月23日 資料を編集

3. 世界の実装技術

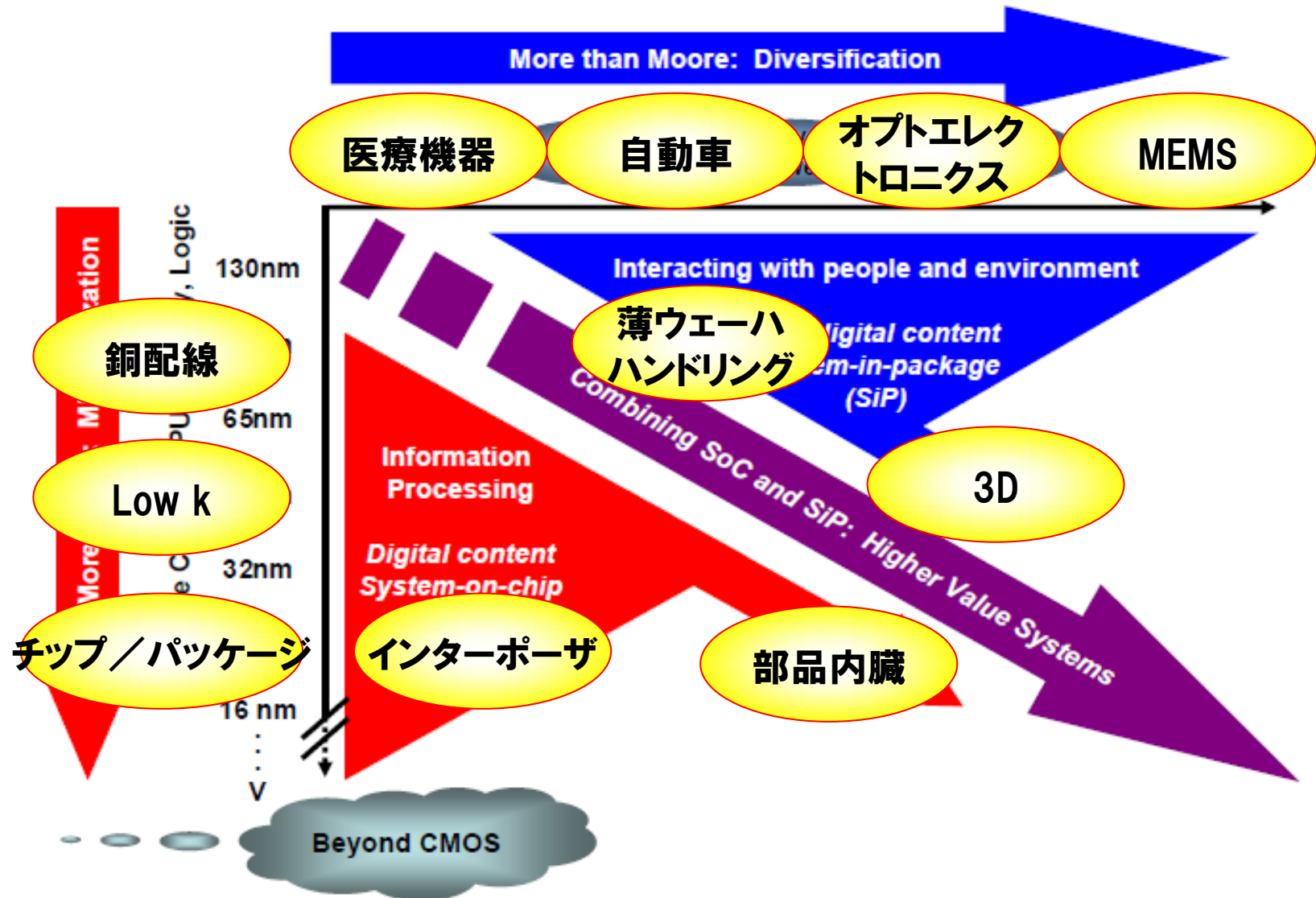
ITRS Assembly and Packaging TWG

- ITRS 2010では「将来の困難な課題」を改版
3Dインテグレーション、新材料、微細化に伴う組立技術
- ITRS 2011 A&Pでは下記用途のパッケージ技術を網羅的に検討。日本は車載電子機器ロードマップ担当。
 - 医療電子機器
 - 3D インテグレーション
 - インターポーザ
 - 車載電子機器
 - オプトエレクトロニクス
 - 印刷電子技術
 - 薄ウェーハのハンドリング方法
 - 部品内蔵基板
 - MEMSインテグレーション
 - SiP白書の改版

2011年8月1日納期

ITRS 2011 A&Pの活動

WG7の今年の活動に期待してください！！



用語集

- 3D: Three dimensional packaging
- A&P: Assembly and Package
- PBGA : Plastic Ball Grid Array Package
- CoC : Chip on Chip
- CSP : Chip Size Package/Chip Scale Package
- DAF: Die attach film
- EV: Electric vehicle
- FBGA: Fine-pitch ball grid array
- FC : Flip Chip
- IEC: International Electrotechnical Commission
- ITRS : International Technology Roadmap for Semiconductors
- HV: Hybrid vehicle
- JJTR: Japan Jisso Technology Roadmap
- KGD : Known Good Die
- PI: Polyimide
- PoP: Package on a package
- QFN: Quad flat non-leaded
- MEMS: Micro Electro Mechanical Systems
- STRJ : Semiconductor Technology Roadmap Japan
- SiP : System in a Package
- SSD : Solid State Drive
- TSV : Through Silicon Via
- WB : Wire Bonding
- WG: Working group
- WL-CSP: Wafer level chip size package
- WLP: Wafer level packaging