

# ロジックおよびメモリデバイスの スケーリングトレンド

～トレンドが変化するローパワーロジック、  
加速するメモリ～

March 4, 2011

WG6

PIDS (Process Integration, Devices, and Structures)

パナソニック(株)  
松尾一郎

# 略語集

- PIDS: **P**rocess **I**ntegration, **D**evelopments & **S**tructures
- HP: **H**igh **P**erformance
- LOP: **L**ow **O**perating **P**ower
- LSTP: **L**ow **S**tandby **P**ower
- UTB FD: **U**ltrathin-**B**ody **F**ull-**D**epletion
- MG: **M**ulti-**G**ate (従来のDG: Double Gate)
- EOT: **E**quivalent **O**xide **T**hickness
- MASTAR: **M**odel for **A**ssessment of CMOS **T**echnologies and **R**oadmaps
- FeRAM: **F**erroelectric **R**AM
- MRAM: **M**agnetic **R**AM
- STT-RAM: **S**pin **T**ransfer **T**orque **R**AM
- PCM: **P**hase **C**hange **M**emory
- iNEMI: **I**nternational **E**lectronics **M**anufacturing **I**nitiative

# アウトライン

- WG6体制/スコープ/活動内容
- 2010年版ロードマップ内容
  - Logic
  - Memory
  - RF & A/MS for Wireless
- 2011年度活動

# WG6メンバー

主査	松尾一郎	パナソニック		
副主査	井上裕文	東芝		
幹事	久本 大	日立		
委員				
Logic	*松尾一郎	パナソニック	倉田 創	富士通セミコン
	尾田秀一	ルネサス	若林 整	ソニー
Memory	*井上裕文	東芝	岩本邦彦	ローム
	堀 敦	パナソニック		
Wireless	*久本 大	日立	清田幸弘	ソニー
Reliability	最上 徹	Selete		
特別委員	平本俊郎	東京大学	高木信一	東京大学
	芝原健太郎	広島大学	田中 徹	東北大学
	井田次郎	金沢工業大学	吉見 信	Soitec Asia
	杉井寿博	LEAP	赤坂泰志	東京エレクトロン

計18名

# WG6スコープ

## ■ Logic

- 高性能タイプ: HP
- 低消費電力タイプ: LOP、LSTP

## ■ Memory

- DRAM
- 不揮発性メモリ: Flash, FeRAM, MRAM, ...

## ■ Reliability

## ■ RF & A/MS for Wireless

- CMOS, バイポーラ, 受動素子
- パワーアンプ, ミリ波
- MEMS

\* ITRSではPIDSとWirelessはそれぞれ別のWGとして活動。

# 2010年度活動内容

## ■ 全体

- 2010年版ロードマップ策定
- 信頼性SWGに専任者を確保し取組強化
- 技術動向調査：FEP/ERD/ERM相互参加

## ■ Logic

- 2010年版ロードマップ策定
  - EOTeleスケーリングの考え方を提案
- III-V/GeチャネルMOSFETに関する議論

## ■ Memory

- 2010年版ロードマップ策定
  - 日本がNAND/DRAMサーベイ実施、Table作成

## ■ RF & A/MS for Wireless

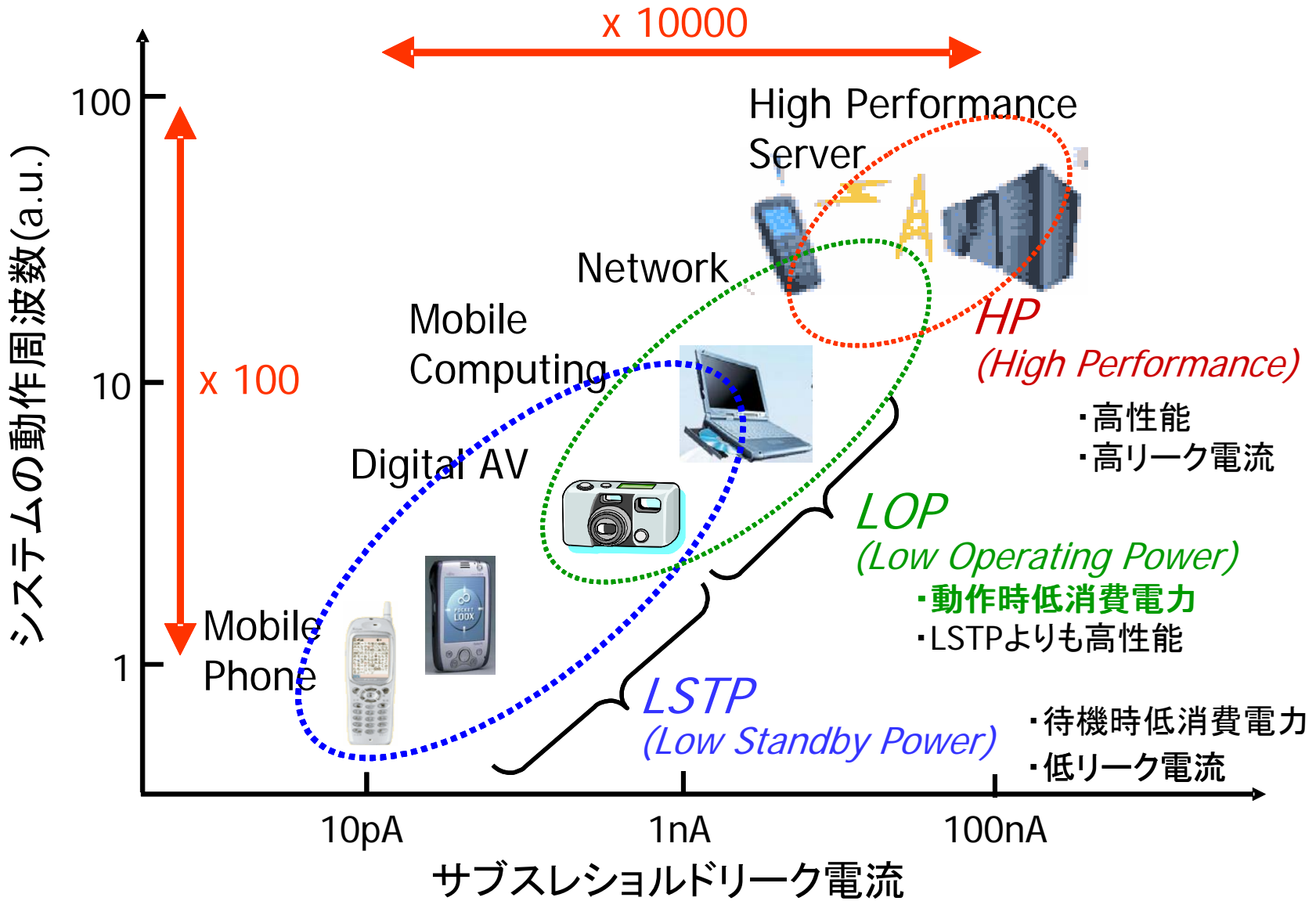
- 2010年版ロードマップ策定

# 技術動向調査

■ 次世代デバイス情報を各分野の専門家の方々からヒアリングし、RM作成に反映

開催	開催日	テーマ	講師
第115回	2010.06.30	VLSI Technologyシンポジウム報告	PIDSからの参加者
第116回	2010.08.25	スピントロニクスデバイス技術の進展	東北大 池田先生
第117回	2010.09.21	III-V/Ge Evaluation with MASTAR	STマイクロ Boeuf氏
第118回	2010.10.28	3D NANDの動向とBiCSの最新状況	東芝 勝又氏
第119回	2010.12.22	IEDM報告	PIDSからの参加者
第120回	2011.02.17	Steep SS技術動向	久本委員

# ロジック用トランジスタの分類





# ロジック2010年版概要

## ■ 全体：2010はテーブルのみ発行

- $L_g$ , EOTスケーリングトレンドは2009と同じ

## ■ HP

- 2009と同じ

## ■ LOP

- ダイナミックパワー指標 $CV^2$ がHPの $\sim 1/2$ となるよう $V_{DD}$ 調整

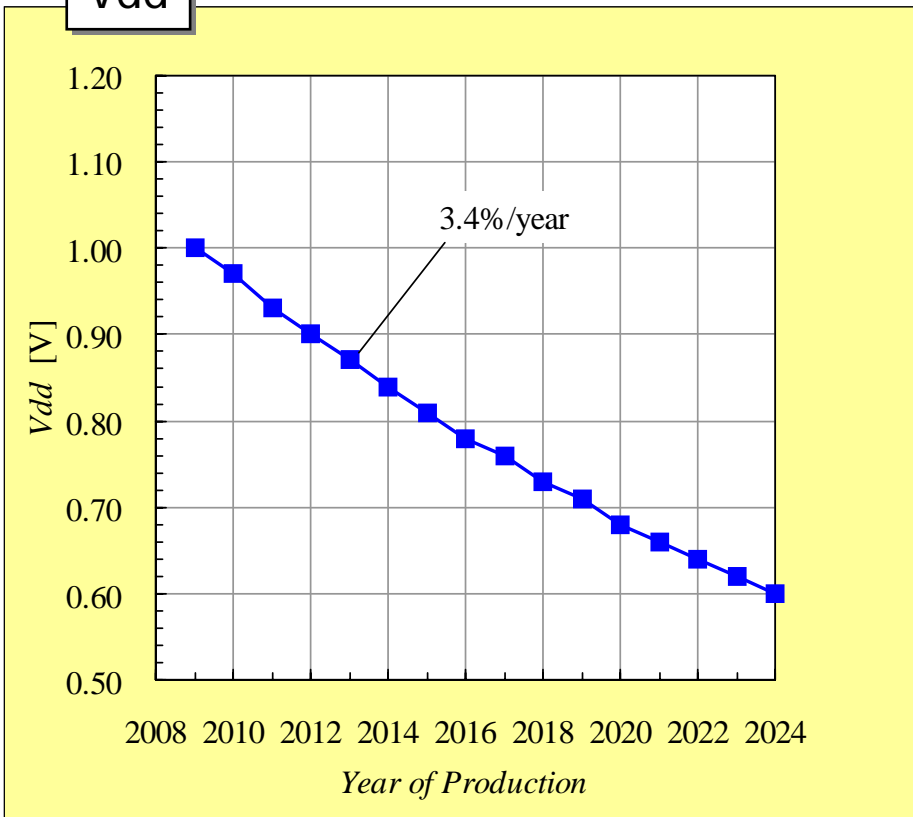
## ■ LSTP

- $I_{sd,leak}$ を $50\text{pA}/\mu\text{m} \Rightarrow 10\text{pA}/\mu\text{m}$ に変更
- $V_{DD}$ をHPとほぼ同じにした。

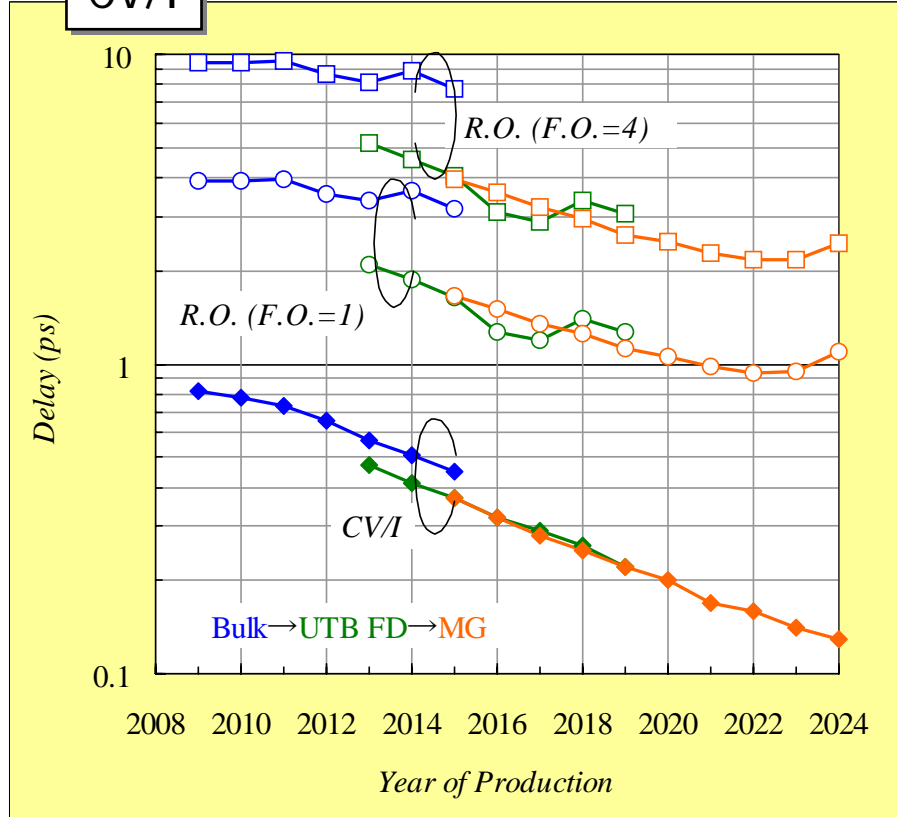
# 2010 HPロードマップ

- 2009⇒2010は変化なし
- CV/I 改善率は13%/年

Vdd

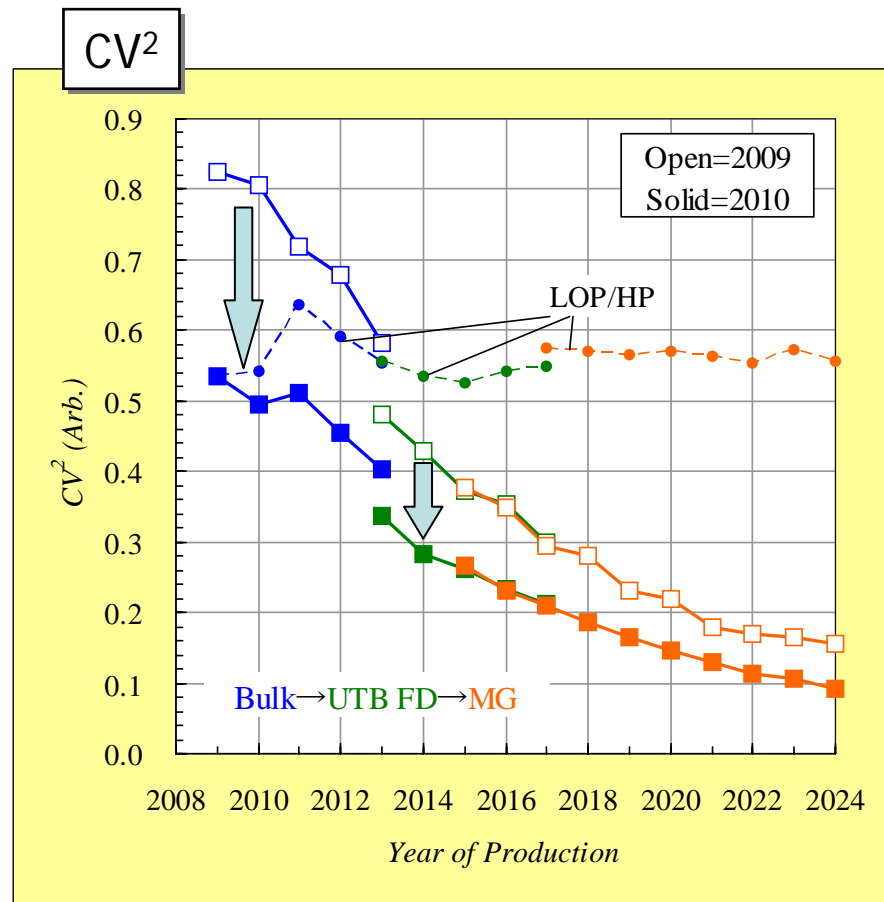
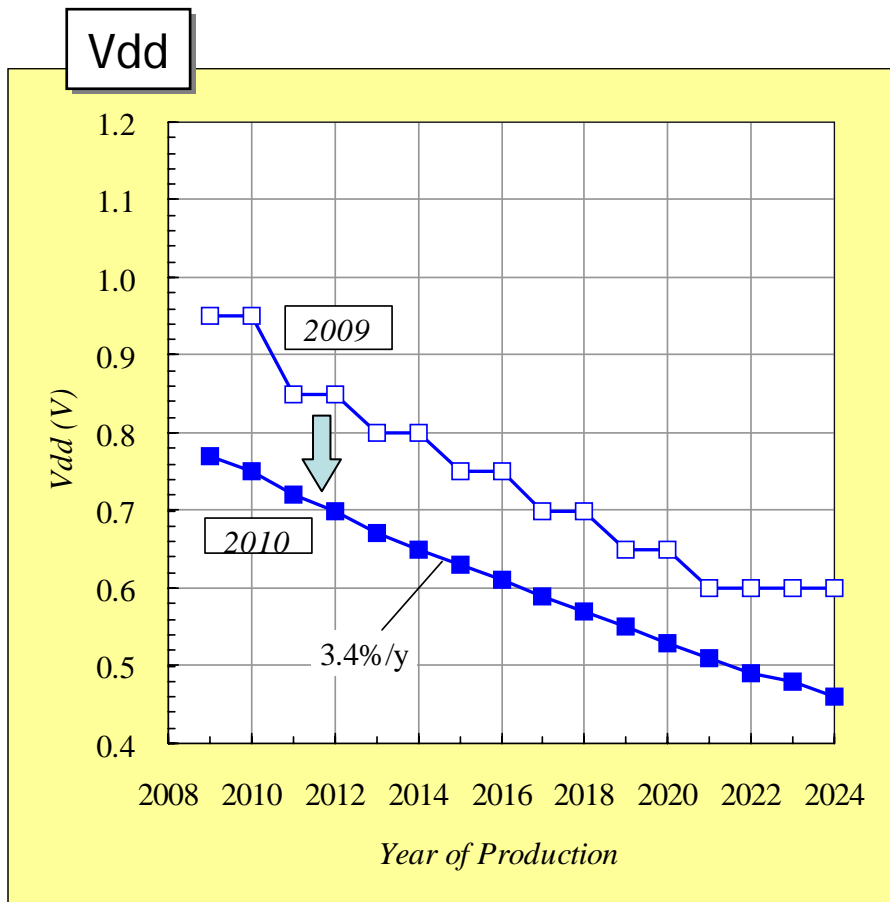


CV/I



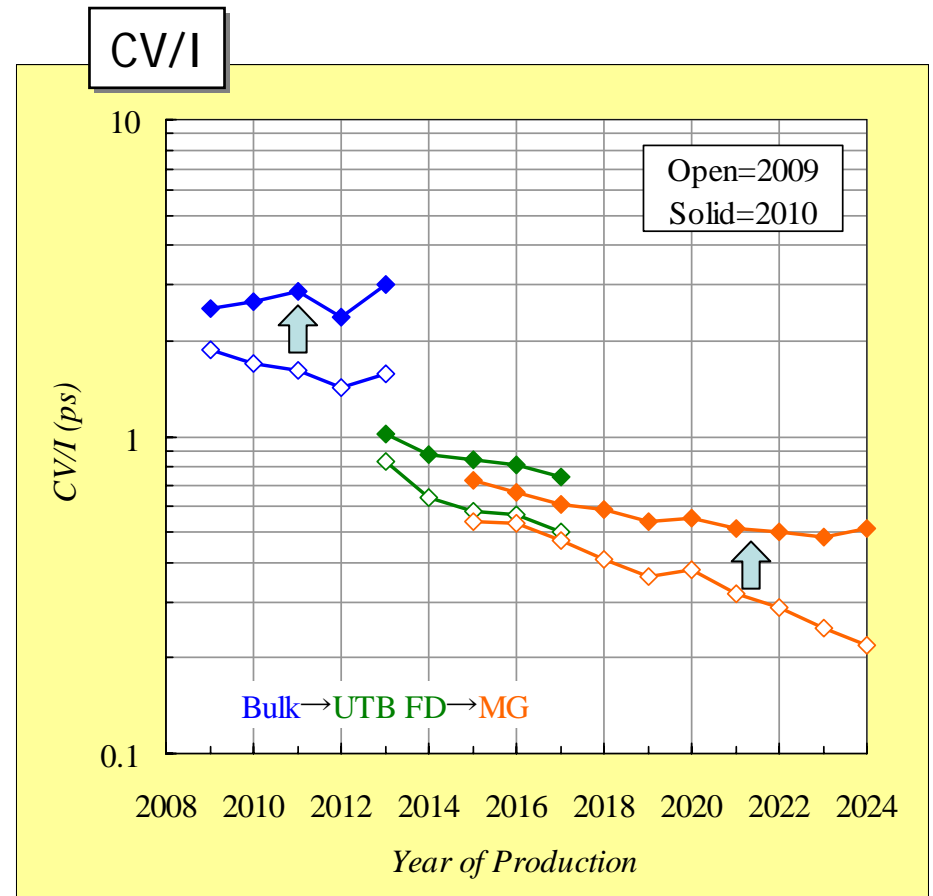
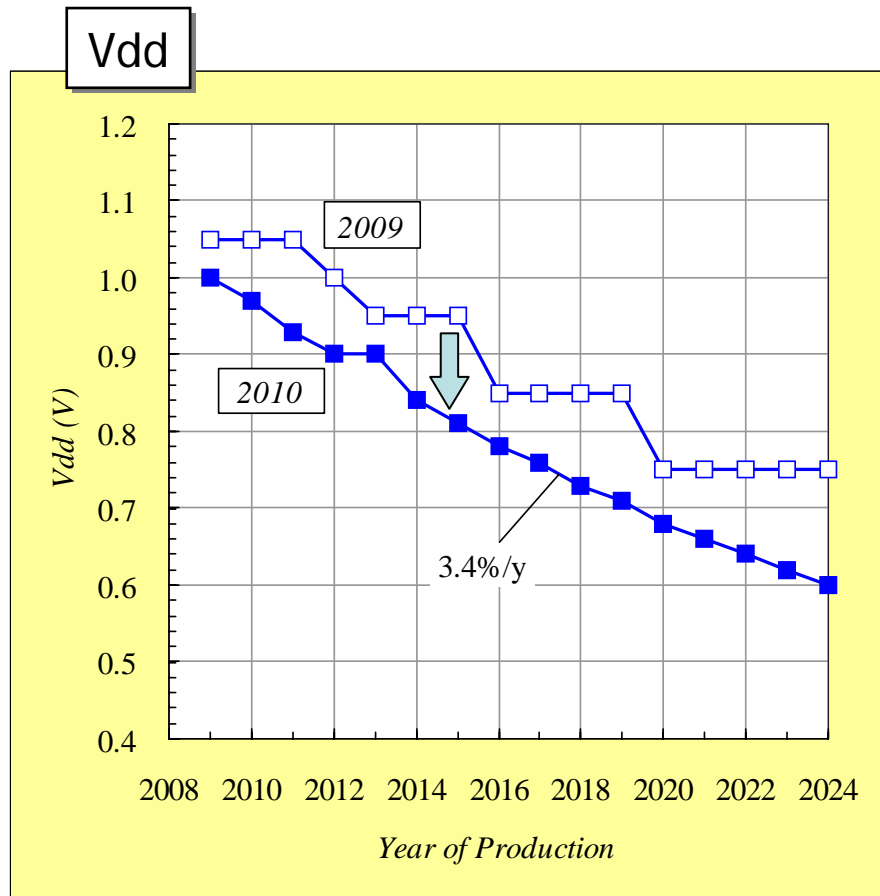
# 2010 LOPロードマップ

■CV<sup>2</sup>がHPの1/2程度になるようVdd を調整  
 →よりローパワーへ



# 2010 LSTPロードマップ

- 2009⇒2010で $I_{sd,leak}$ を $50\text{pA}/\mu\text{m}$ ⇒ $10\text{pA}/\mu\text{m}$ に変更
- $V_{dd}$ はHPとほぼ同じに変更 → よりローパワーへ



## III-V/Geチャネル

- ITRS2009年版に"Potential Solutions"として記載
- ワークショップ、サーベイ、電話会議で決定
  - ① NMOS=InGaAs、PMOS=GeをERD/ERM⇒PIDS移管
  - ② 他の材料はERD/ERMにとどめる
  - ③ 2018年量産でTechnology Requirementsに記載
  - ④ HP/LOP区分、構造(Bulk/OI/MG)は要検討
  - ⑤ LSTPに関しては未定

# NAND Flash ITRS2010での変更点

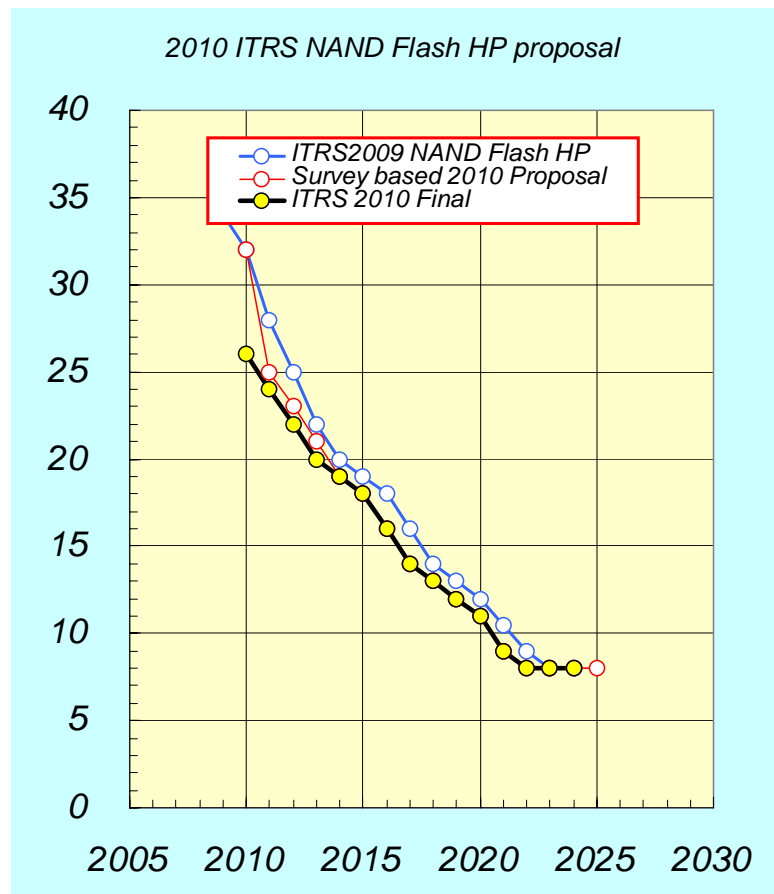
## ■NANDフラッシュ

■ダブルパターンニング等の導入でHPの推測が非常に困難になっており、また、プレスリリースとWebベースメディアとの情報も開きが大きく短期的なロードマップの策定さえ困難となっている。そのような状況の中で、サーベイ結果/プレスリリース/PIDSチーム (Taiwan/Japan) 議論結果等を鑑み

■HPはITRS2009に対し2年前倒しとした。

■多値化に関し、ITRS2010では4bit/cellを大きく後ろ倒し2012→2019年とした。

■構造に関しては3D構造化は1年後ろ倒しし、2015年にチャージトラップセル+3D構造とした。



ITRS2010 直近のRMを変更しFinal版とした。

# NANDフラッシュ変更点

<i>Year of Production</i>	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019
<i>Poly 1/2 pitch (nm)</i>	34	32	28	25	22	20	19	18	16	14	13
		26	24	22	20	19	18	16	14	13	12
<i>Highest density</i>	32G	32G	64G	64G	64G	128G	128G	256G	256G	512G	512G
		64G	64G	128G	128G	256G	256G	256G	512G	512G	1T
<i>Cell type (FG, CT, 3D, etc.)</i>	FG	FG	FG	FG/CT	FG/CT	CT-3D	CT-3D	CT-3D	CT-3D	CT-3D	CT-3D
		FG	FG	FG/CT	FG/CT	FG/CT	CT-3D	CT-3D	CT-3D	CT-3D	CT-3D
<i>3D NAND number of memory layers</i>	1	1	1	1	1	2	4	4	8	8	16
		1	1	1	1	1	4	4	8	8	16
<i>Maximum number of bits per cell (MLC)</i>	3	3	3	4	4	4	4	4	4	4	4
		3	3	3	3	3	3	3	3	3	4

各項目上段が2009、下段が2010

# DRAM ITRS2010での変更点

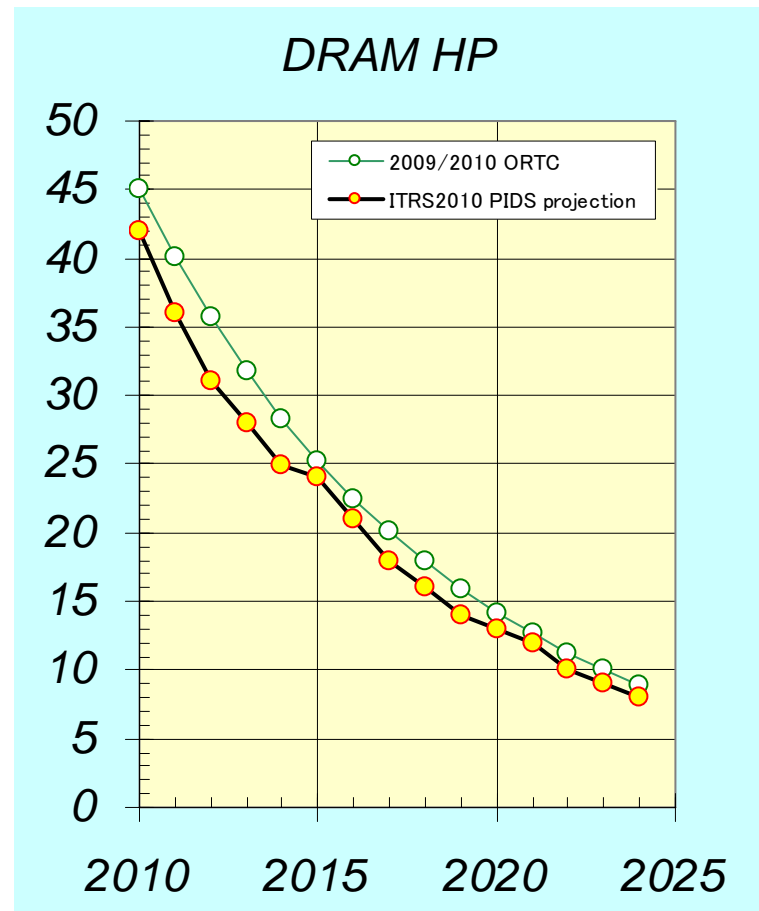
## ■DRAM

■寡占化が進み、NAND同様、ダブルパターンニング等の導入が始まり、技術も大きく加速しているが、同時に情報の囲い込みもあり、技術情報の推測が難しい。サーベイ結果/プレスリリース/PIDSチーム(Taiwan/Japan)議論結果等を鑑み

■HPはITRS2009に対し1年前倒しとした。

■アクセストランジスタのFinFETをSaddle-Fin RCATタイプとし、曖昧な表現を削除。

■4F<sup>2</sup>セルは2年後ろ倒しとした。



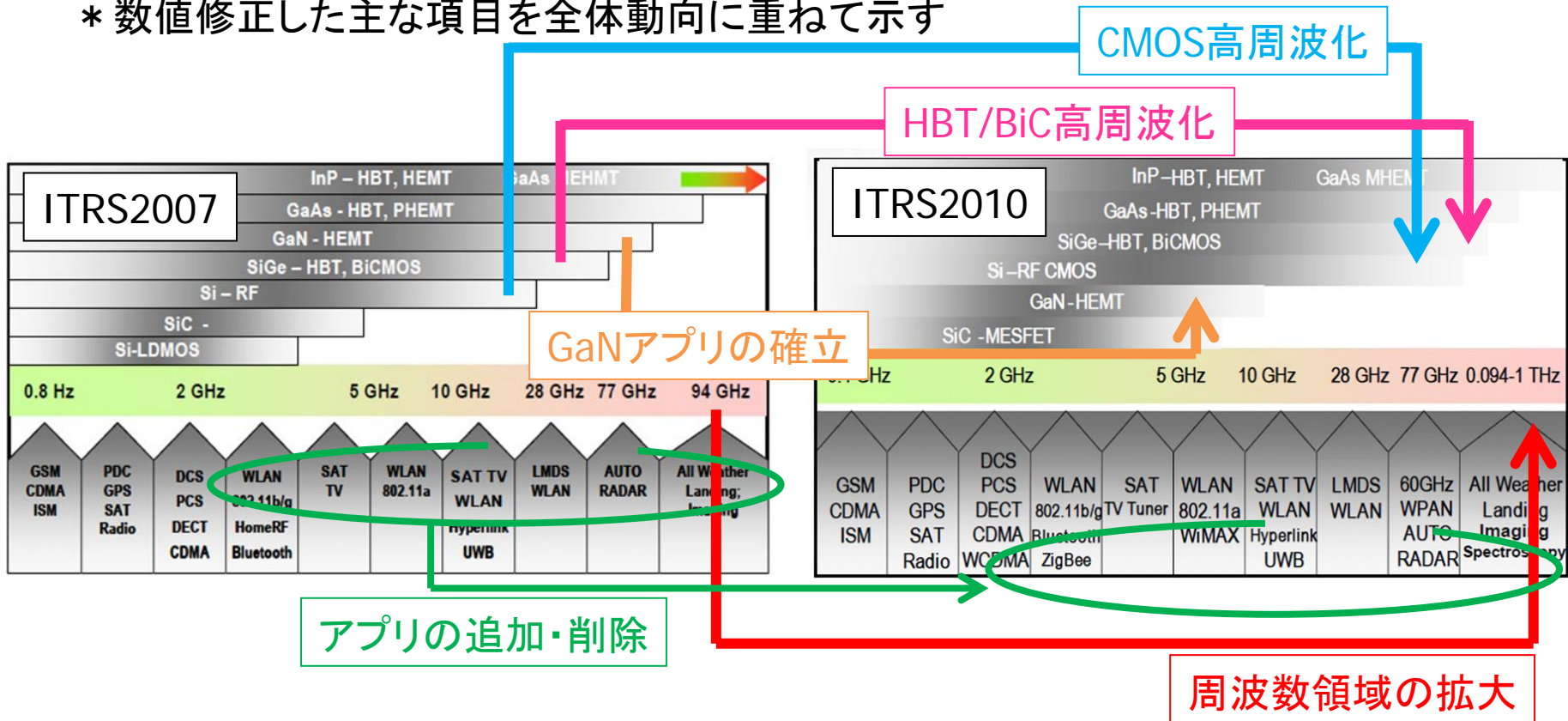


# 2010年版での見直し

Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications

## 2010年版はマイナー修正

\* 数値修正した主な項目を全体動向に重ねて示す



# 2011年度活動

## ■ Logic

- LOP位置付け見直し
- 速度指標妥当性、年率改善%検討
- III-V/Geチャンネルテーブル検討

## ■ Memory

- NAND: サーベイ実施、3D化対応ロードマップ策定
- DRAM: サーベイを実施しロードマップ更新

## ■ Reliability

- 微細化に対応した信頼性課題の議論
- “Challenges <22nm”項目の記載を検討

## ■ RF & A/MS for Wireless

- 5-SWGによる検討方式の見直し→全体でのミーティングを中心に
- MEMSの新Chapter化をITRS (RF, A&P, Design)とiNEMIで検討。