

2011年度STRJ Workshop

STRJ-WG4(配線)活動報告 ～微細化の深耕とTSV実用化への展望～

2012年3月2日

WG4主査・松本 明
ルネサスエレクトロニクス(株)

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2011年度活動内容概要

2. 2011年度活動内容

2. 1. ITRS2011改訂トピックス

- 章構成の見直し
- M1微細化ロードマップにFlashを追加
- Low-kロードマップの見直し
- 信頼性: J_{\max} の緩和
- Metallization P.S.のアップデート

2. 2. STRJ-WG4独自活動

- 配線抵抗率のサイズ効果(継続)
- TSVプロセス技術課題調査

3. 2011年度活動まとめと今後の活動予定

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2011年度活動内容概要

2. 2011年度活動内容

2. 1. ITRS2011改訂トピックス

- 章構成の見直し
- M1微細化ロードマップにFlashを追加
- Low-kロードマップの見直し
- 信頼性: J_{\max} の緩和
- Metallization P.S.のアップデート

2. 2. STRJ-WG4独自活動

- 配線抵抗率のサイズ効果(継続)
- TSVプロセス技術課題調査

3. 2011年度活動まとめと今後の活動予定

主な略語について

AR	Aspect Ratio	アスペクト比:(深さ または 高さ)/(幅 または 径)
BM	Barrier Metal	拡散防止金属膜
CNT	Carbon Nano-Tube	カーボンナノチューブ
DB	Dielectric Barrier	拡散防止絶縁膜
EM	Electro-migration	エレクトロマイグレーション
EMR	EM Resistance	エレクトロマイグレーション耐性
J	Current Density	電流密度
J_{\max}	Maximum Current	最大電流密度
J_{EM}	J Limited by EM Lifetime	EM寿命保証可能な最大電流密度
k	Dielectric Constant	比誘電率
Low-k	low Dielectric Constant	低誘電率
PMD	Pre-Metal Dielectric	第1配線層下(コンタクト部の)層間絶縁膜
LER	Line Edge Roughness	配線側壁形状の粗さ
TSV	Through-Silicon Via	シリコン貫通ビア
OSAT	Outsourced Semiconductor Assembly and Test	半導体組立検査受託会社

リーダー	松本 明	[ルネサスエレクトロニクス]
サブリーダー	中村 友二	[富士通セミコンダクター]
国際対応	山崎 治	[シャープ]
	小林 伸好	[日本ASM]
幹事・特別委員	筑根 敦弘	[大陽日酸]
委員	柴田 英毅	[東芝]
	磯林 厚伸	[東芝]
	高橋 新吾	[ソニー]
	中尾 雄一	[ローム]
	青井 信雄	[パナソニック]
	伴 功二	[ルネサスエレクトロニクス]
特別委員	上野 和良	[芝浦工大]
	早川 崇	[SEAJ:東京エレクトロン]
	嘉田 守宏	[ASET]
	今井 正芳	[SEAJ:荏原製作所]
	辻村 学	[荏原製作所]
	伊藤 浩之	[東京工業大学]

□ITRS2011改訂に関する日本担当としての活動、及び海外担当分のフォローアップを主導した。

□下記は日本側から提案し2011年版に反映した

- M1のロードマップに、微細化を牽引するFlashを追加
- Low-kロードマップ見直し
- 信頼性の章で J_{max} を緩和
- Metallization P.S.のアップデート

□日本独自活動として以下を行った

- 抵抗率の細線効果の影響と、代替技術の調査継続
- TSVの要素技術におけるDifficult Challengesの調査

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2011年度活動内容概要

2. 2011年度活動内容

2. 1. ITRS2011改訂トピックス

- 章構成の見直し
- M1微細化ロードマップにFlashを追加
- Low-kロードマップの見直し
- 信頼性: J_{\max} の緩和
- Metallization P.S.のアップデート

2. 2. STRJ-WG4独自活動

- 配線抵抗率のサイズ効果(継続)
- TSVプロセス技術課題調査

3. 2011年度活動まとめと今後の活動予定

章構成の見直し

海外担当分のフォローアップに当たり、章構成を整理し、
章/節の整合性を高めた

Interconnect Architectures	
	a. 3D Interconnect Architectures
	b. Passives

Interconnect Challenges and Requirements	
	a. Difficult Challenges
	b. Technology Requirements

別の章となっていた

- *Interconnect Architectures*
- *3D, Passives*
- *Interconnect Challenges and Requirements*
- *2DのD/C, T/R (Architectureの記載あり)*

を同一の章

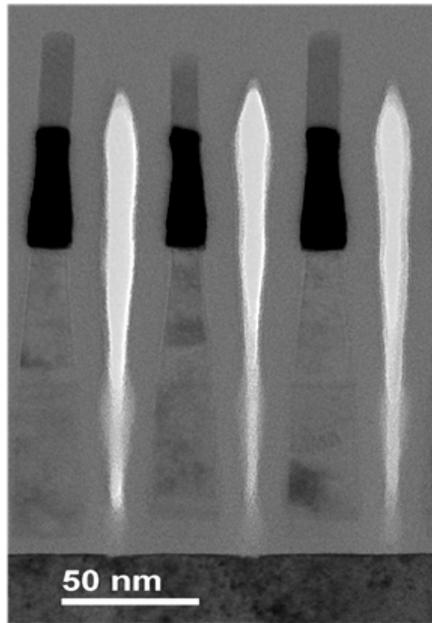
- *Introduction & Executive Summary*

の中で扱い、主題である2Dを前に配置

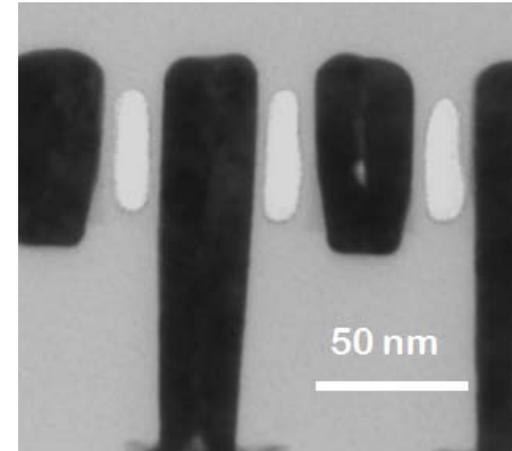
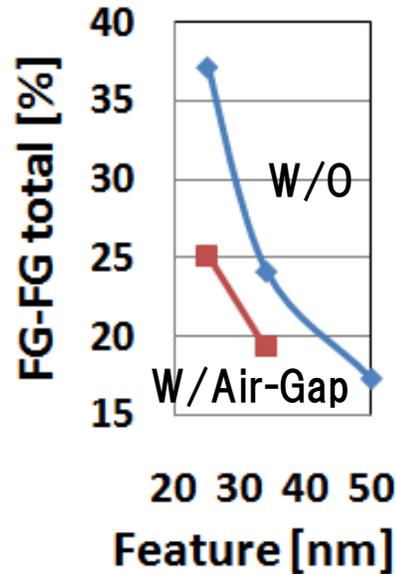
Scope	
Introduction & Executive summary	
	a. Difficult Challenges
	b. Interconnect architecture
	c. 3D
	d. Passives
	e. More Moore vs. More than Moore
Reliability and Performance	
	a. reliability
	b. Performance
Process modules	
	a. Introduction
	b. Dielectric
	c. Barrier
	d. Nucleation layers
	e. Conductor
	f. etch/strip/clean incl. surface prep
	g. planarization
	h. Bond pad / global contacts
	i. TSV
	j. Passives
Emerging interconnects	
	a. Optical
	b. CNT
	c. Graphene
	d. Spin
	e. RF
	f. ...
Cross-cut stuff	

FlashメモリにおけるAir-Gap技術動向(昨年度報告)

K.Prall et al.,(Micron & Intel), “25nm 64Gb MLC NAND Technology and Scaling Challenges”, Tech. Dig. of IEDM2010(Invited Paper), pp.102-105(2010).



WL間Air-Gapの断面と
Total FG-FG 間カップリングの減少効果



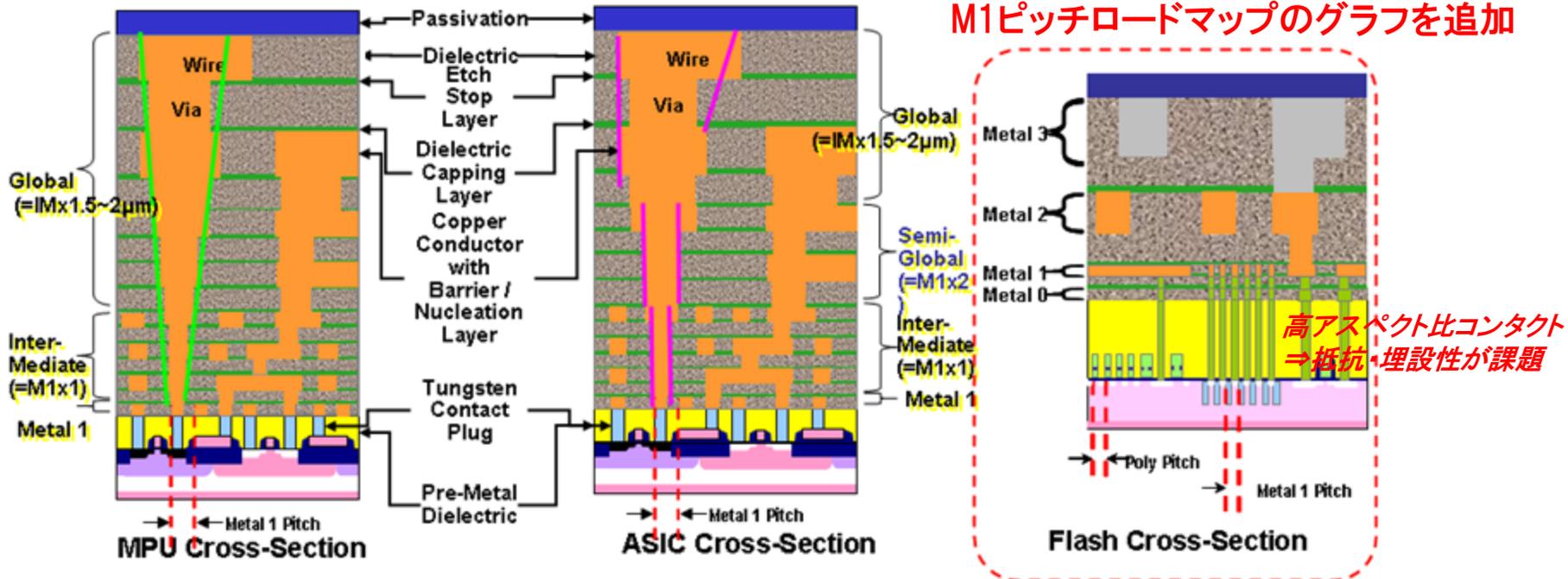
BL間Air-Gapの断面

2013年(Flash $\frac{1}{2}$ pitch Poly:2Xnm)以降、Flashメモリにおけるセル間干渉低減を狙ったWord Line間及びBit Line間へのAir-Gap導入が本格化する可能性。2011年は、Flashメモリ向け配線技術のロードマップ策定に取り組んだ。

M1微細化ロードマップにFlashを追加

LogicとFlashのM1ピッチの乖離が拡大

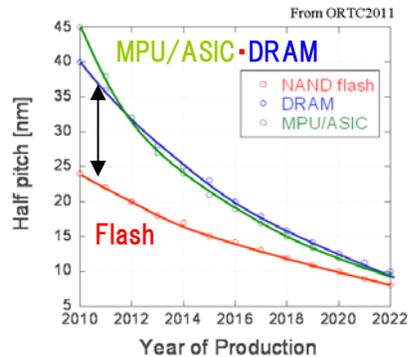
⇒デバイス毎の課題と対策を見直す契機とする



M1ピッチロードマップのグラフを追加

- Flashのスケールリング要求はよりアグレッシブ
⇒微細化プロセスのTechnology Driver
- Flash特有の絶縁膜への要求
 - メモリセル間干渉を抑制するため低容量であること
 - Flashメモリへ高電圧入力に耐えるため高耐圧であること
 ⇒ポーラスLow-k絶縁膜ではなく、Air-Gap化を先行

Comparison of scaling among devices



Flashデバイス配線の技術要求

Table 11C** Flash Interconnect Technology Requirements

Year of Production
Flash ½ Pitch (nm) (un-contacted Poly)
DRAM ½ Pitch (nm) (contacted)
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)
Number of metal layers
Metal 1 wiring 1/2 pitch (nm) *
Interlevel metal 1 insulator – max. effective dielectric constant (κ) **
Interlevel metal 1 insulator – min. effective dielectric constant (κ) ***
Metal 1 A/R (for Cu)
Conductor effective resistivity ($\mu\Omega\text{-cm}$) (for Cu)
Specific via resistance ($\Omega\text{-cm}^2$)
Contact A/R
Specific contact resistance ($\Omega\text{-cm}^2$)

Items in the table

- Flash half pitch (nm)
- DRAM half pitch (nm)
- MPU/ASIC half pitch (nm)
- Numbers of metal layers
- Metal 1 wiring ½ pitch (nm)
- Interlevel metal 1 insulators – max. effective dielectric constants
- Interlevel metal 1 insulators – min. effective dielectric constants
- Metal 1 A/R
- Conductor effective resistivity ($\mu\Omega\text{ cm}$) for Cu
- Specific via resistance ($\Omega\text{ cm}^2$)
- Contact A/R
- Specific contact resistance ($\Omega\text{ cm}^2$)

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

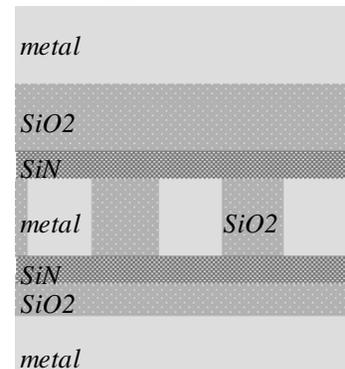
Interim solutions are known

Manufacturable solutions are NOT known

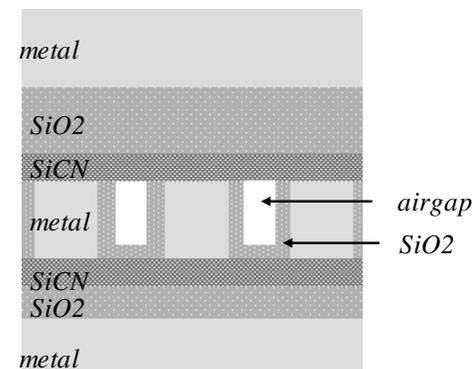


Flash配線のTechnology Requirement Tableを追加

Structure (a)



Structure (b)



Low-kロードマップの見直し

■絶縁膜構造は3つから2つに削減(無機/有機ハイブリッド構造を削除)

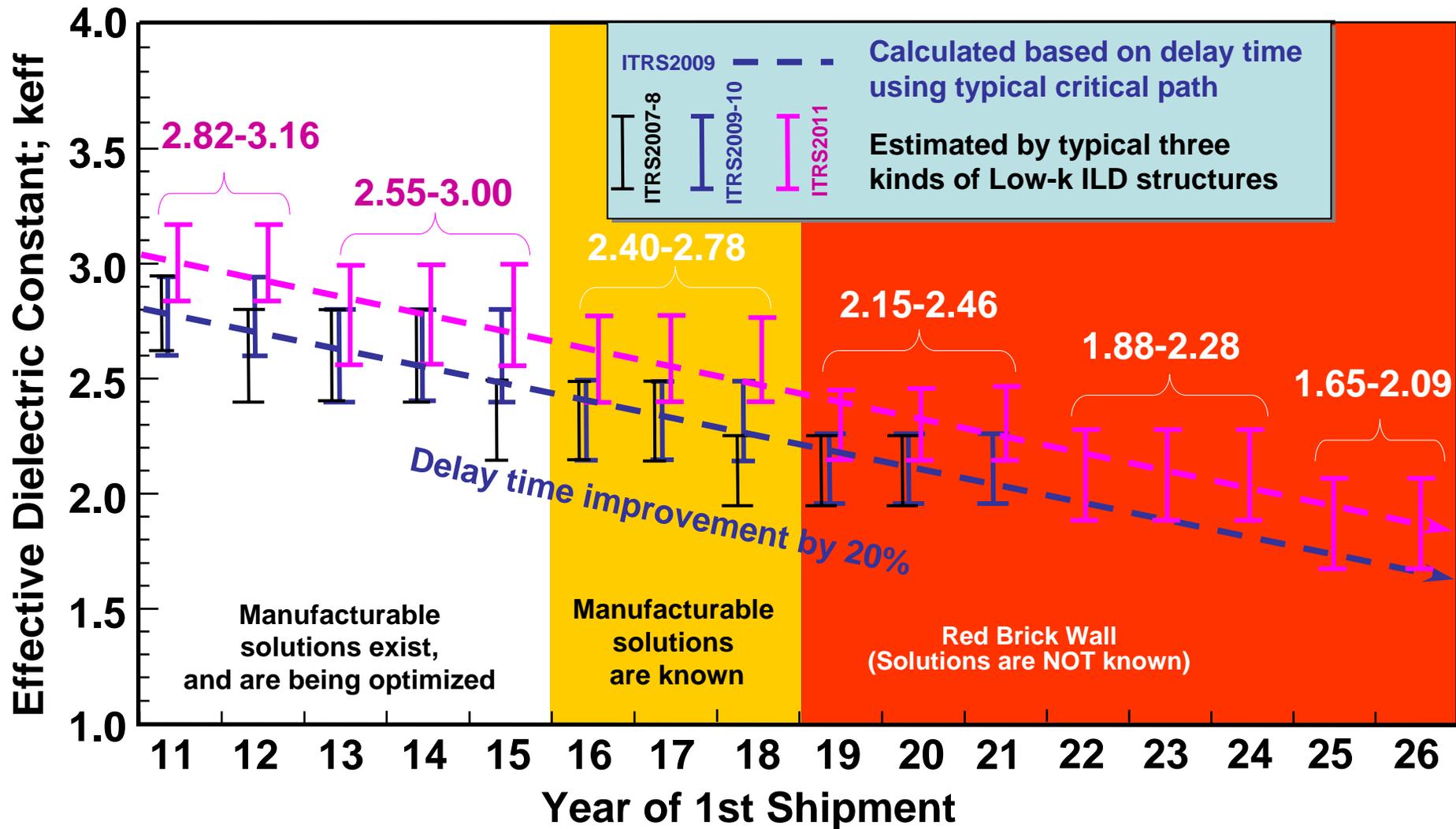
- 28nm以降上記構造の採用計画は見られない
- 材料メーカーからの材料供給の保証がない

■低誘電率化への積極性が減じる傾向を反映

- ULK材料へのプラズマ起因のダメージにより信頼性保証が困難

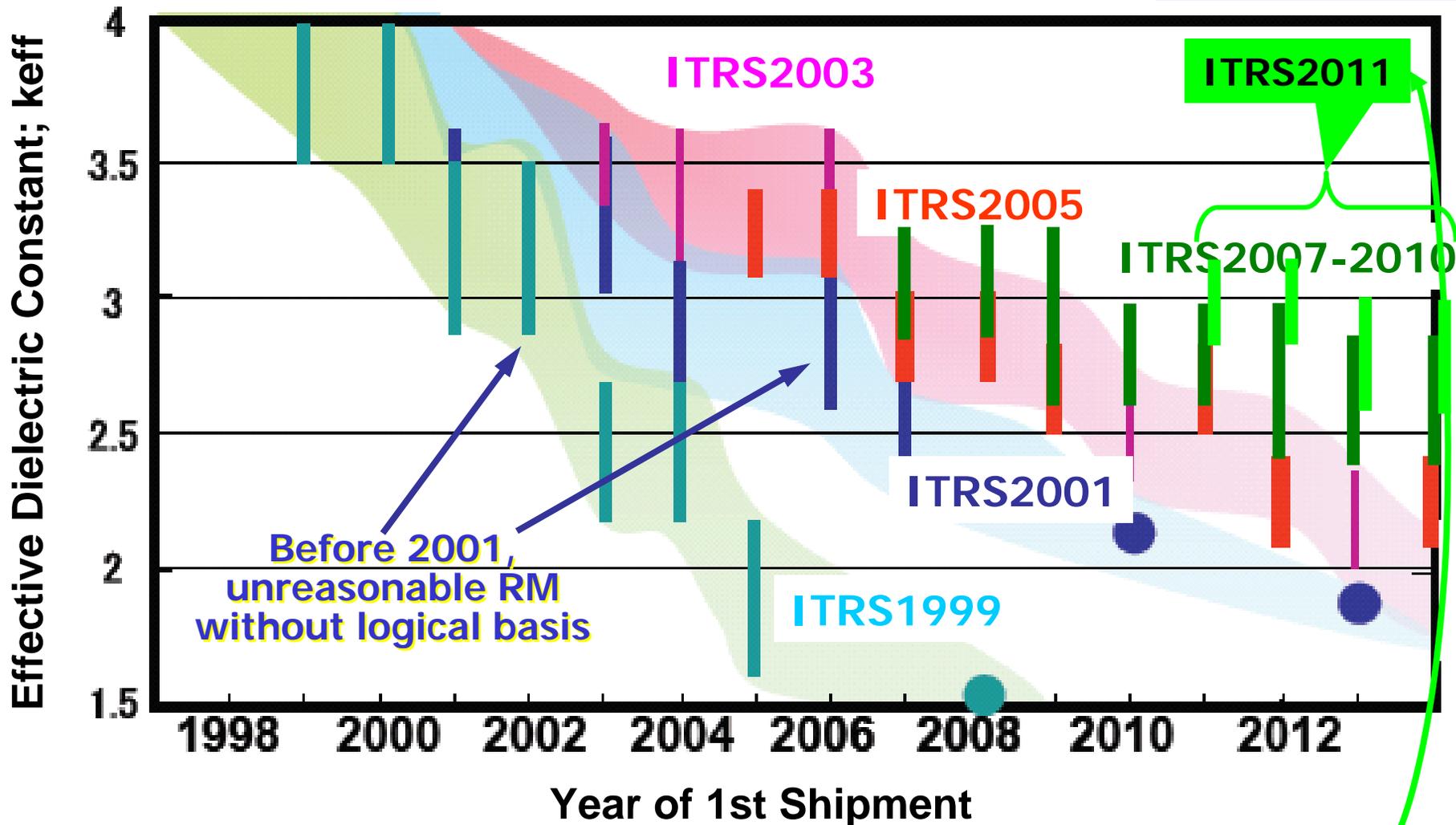
Year of Production		2011	2012	2013	2014	2015	2016	2017	2018
IS	DRAM 1/2 Pitch (nm) (contacted)	36	32	28	25	23	20.0	17.9	15.9
IS	MPU/ASIC Metal 1 1/2 Pitch (nm)(contacted)	38	32	27	24	21	18.9	16.9	15.0
WAS	Interlevel metal insulator – effective dielectric constant (κ)	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8	2.4-2.8	2.1-2.5	2.1-2.5	2.1-2.5
IS		2.8-3.2	2.8-3.2	2.5-3.0	2.5-3.0	2.5-3.0	2.1-2.8	2.1-2.8	2.1-2.8
WAS	Interlevel metal insulator – bulk dielectric constant (κ)	2.3-2.6	2.3-2.6	2.1-2.4	2.1-2.4	2.1-2.4	1.9-2.2	1.9-2.2	1.9-2.2
IS		2.5-2.7	2.5-2.7	2.3-2.6	2.3-2.6	2.3-2.6	2.2-2.5	2.2-2.5	2.2-2.5
WAS	Copper diffusion barrier and etch stop – bulk dielectric constant (κ)	3.5-4.0	3.5-4.0	3.0-3.5	3.0-3.5	3.0-3.5	2.6-3.0	2.6-3.0	2.6-3.0
IS		3.5-4.0	3.5-4.0	3.0-3.5	3.0-3.5	3.0-3.5	2.6-3.0	2.6-3.0	2.6-3.0

Year of Production		2019	2020	2021	2022	2023	2024	2025	2026
IS	DRAM 1/2 Pitch (nm) (contacted)	14.2	12.6	11.3	10.0	8.9	8.0	7.1	6.3
IS	MPU/ASIC Metal 1 1/2 Pitch (nm)(contacted)	13.4	11.9	10.6	9.5	8.4	7.5	6.7	6.0
WAS	Interlevel metal insulator – effective dielectric constant (κ)	2.0-2.3	2.0-2.3	2.0-2.3	1.7-2.0	1.7-2.0	1.7-2.0		
IS		2.1-2.4	2.1-2.4	2.1-2.4	1.8-2.2	1.8-2.2	1.8-2.2	1.6-2.2	1.6-2.2
WAS	Interlevel metal insulator – bulk dielectric constant (κ)	1.7-2.0	1.7-2.0	1.7-2.0	1.5-1.8	1.5-1.8	1.5-1.8		
IS		2.0-2.4	2.0-2.4	2.0-2.4	1.8-2.2	1.8-2.2	1.8-2.2	1.8-2.2	1.8-2.2
WAS	Copper diffusion barrier and etch stop – bulk dielectric constant (κ)	2.4-2.6	2.4-2.6	2.4-2.6	2.1-2.4	2.1-2.4	2.1-2.4		
IS		2.4-2.6	2.4-2.6	2.4-2.6	2.1-2.4	2.1-2.4	2.1-2.4	2.1-2.4	2.1-2.4

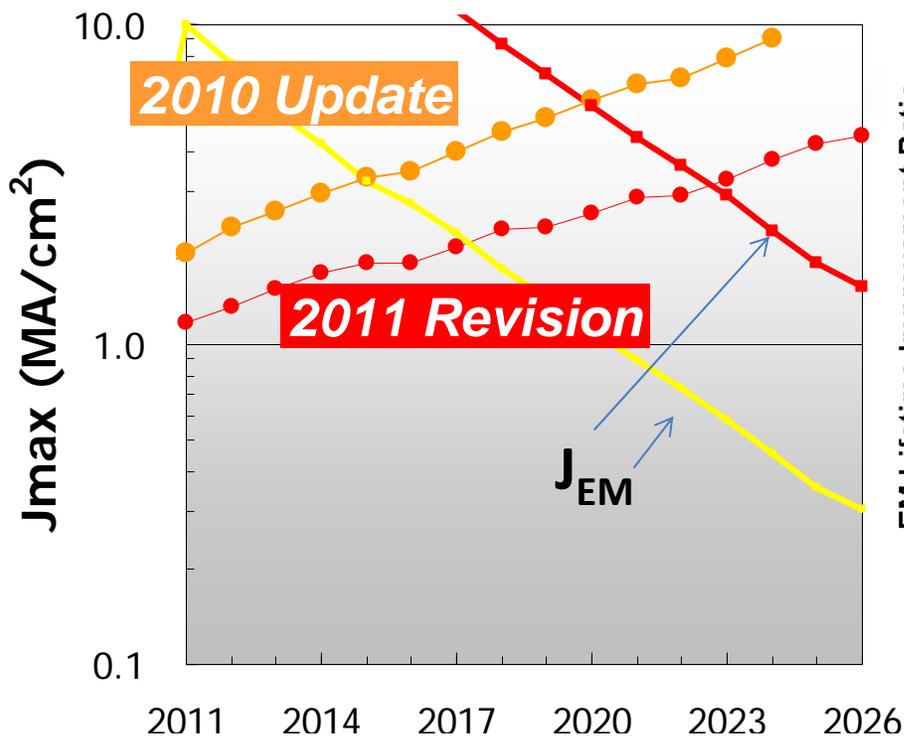


ITRS Low-kロードマップの変遷

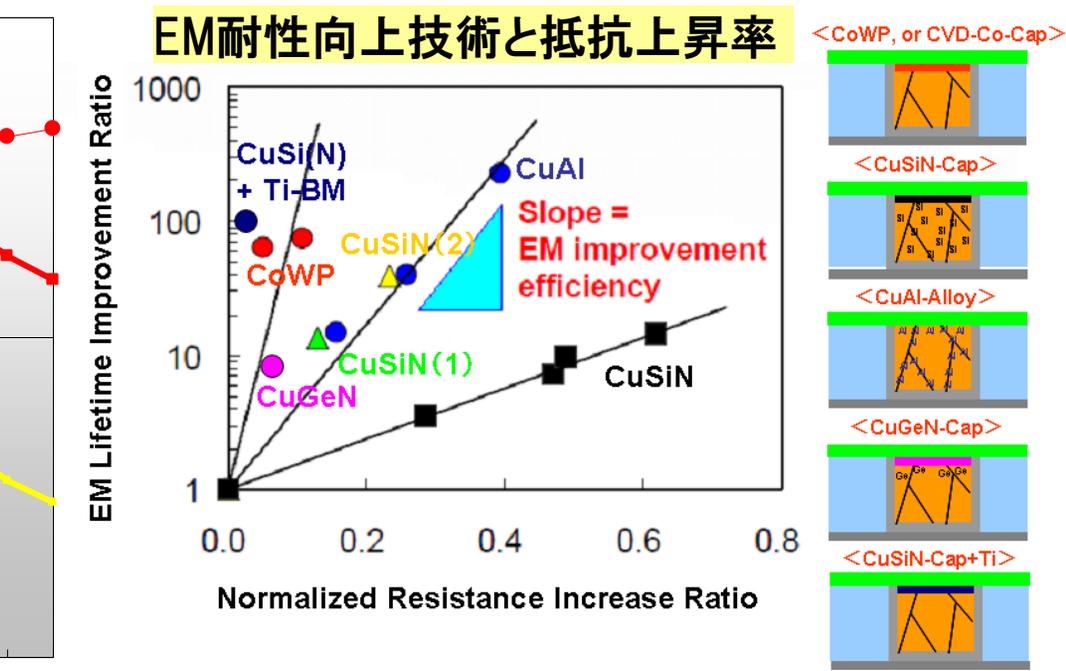
2007以来の見直し



信頼性: J_{max} の緩和



J_{max} 、 J_{EM} のアップデート



	Year	2009	2010	2011	2012	2013	2014	2015	2016
I S	J_{max}			1.16	1.32	1.50	1.68	1.79	1.81
WAS (2010)	J_{max}	1.40	1.60	1.93	2.33	2.61	2.98	3.34	3.46

	Year	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
I S	J_{max}	2.01	2.29	2.34	2.59	2.88	2.94	3.26	3.76	4.23	4.50
WAS (2010)	J_{max}	4.01	4.60	5.09	5.79	6.53	6.78	7.84	9.05		

- J_{max} はクロック周波数の低減により緩和
- J_{EM} (J limited by EM) はEM耐性向上技術(CuAl合金、CoWPキャップ等)により改善されたと考えられる

Metallization Potential Solutions (変更点)



赤字: 変更箇所

		First Year of IC Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
Barriers	Metal 0/Contact plug																	
	Ti/TiN, WN,... barriers for CVD W																	
	TaN/Ta, Ta, Ti, Stacked Ru... barriers for alternative conductors																	
	Metal 1, Intermediate wiring																	
	ionized PVD TaN/Ta, Ta																	
	TaN, TiN, Ti, WNC...(CVD, ALD)																	
	Self formed/restored barriers: MnSiO, MnTaO etc																	
	Capping																	
	E-less CoWP																	
	Selective CVD metal (Co, Ru, W...)																	
Semi-Global/Global																		
TaN, TiN, ... (ionized PVD)																		
Nucleation Seed Liner	Metal 0/Contact plug																	
	CVD W reduced by B2H6																	
	E-less or plated Cu seed																	
	ALD/CVD Ru, Co for Cu plug																	
	Metal 1, Intermediate wiring																	
	Enhanced PVD Cu																	
	E-less or plated Cu seed																	
CVD(ALD)-Co, Ru for Cu-wettability improvement or direct plating																		
CVD or ALD Cu seed																		
Conductor	Metal 0/Contact plug																	
	CVD W																	
	ECD Cu, Rh, ...																	
	Barrier less conductor																	
	Metal 1, Intermediate wiring																	
	ECD Cu																	
	Alloy additions to Cu for reliability improvements (CuAl, CuMn, CuTi)																	
	PVD Cu reflow																	
Alternative materials with weaker size effect (W, Mo, Ru ...)																		
Semi-Global/Global																		
ECD Cu																		
PVD(reflow) or CVD Al																		

CoWP メタルキャップを、量産段階に変更
選択CVDメタルを追加

Cu プラグのライナー、シードを追加

Cuシードの被覆性向上膜
Cuシードのめっき成膜を追加

めっきCuに替わる配線金属候補を追加

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2011年度活動内容概要

2. 2011年度活動内容

2. 1. ITRS2011改訂トピックス

- 章構成の見直し
- M1微細化ロードマップにFlashを追加
- Low-kロードマップの見直し
- 信頼性: J_{\max} の緩和
- Metallization P.S.のアップデート

2. 2. STRJ-WG4独自活動

- 配線抵抗率のサイズ効果(継続)
- TSVプロセス技術課題調査

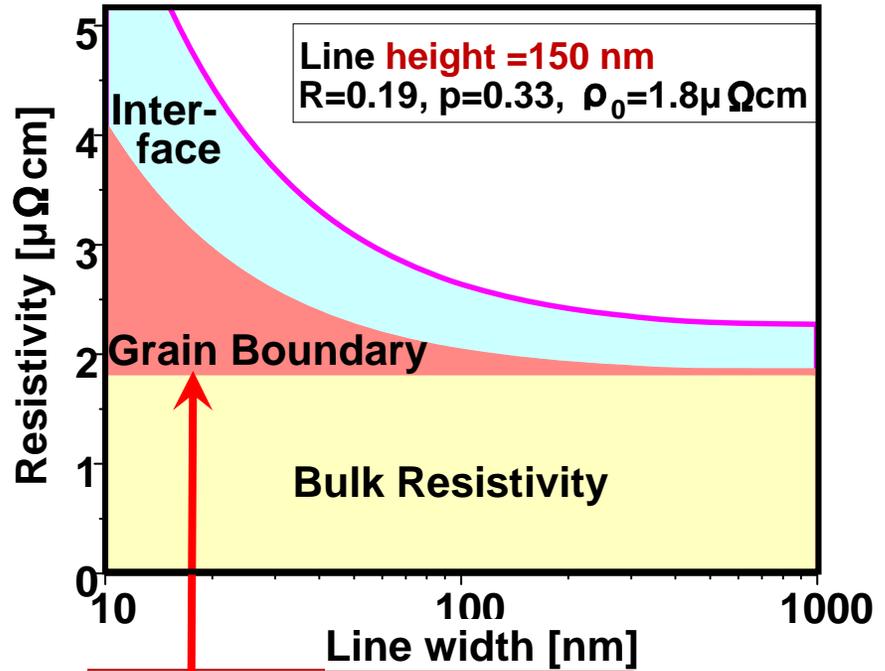
3. 2011年度活動まとめと今後の活動予定

Cu配線抵抗率のサイズ効果(昨年度報告)

$$\rho = \rho_0 \left\{ \frac{1/3}{1/3 - \alpha/2 + \alpha^2 - \alpha^3 \ln(1 + 1/\alpha)} \right\}^{W. Steinhogel et al, JAP, 97, 023706 (2005)}$$

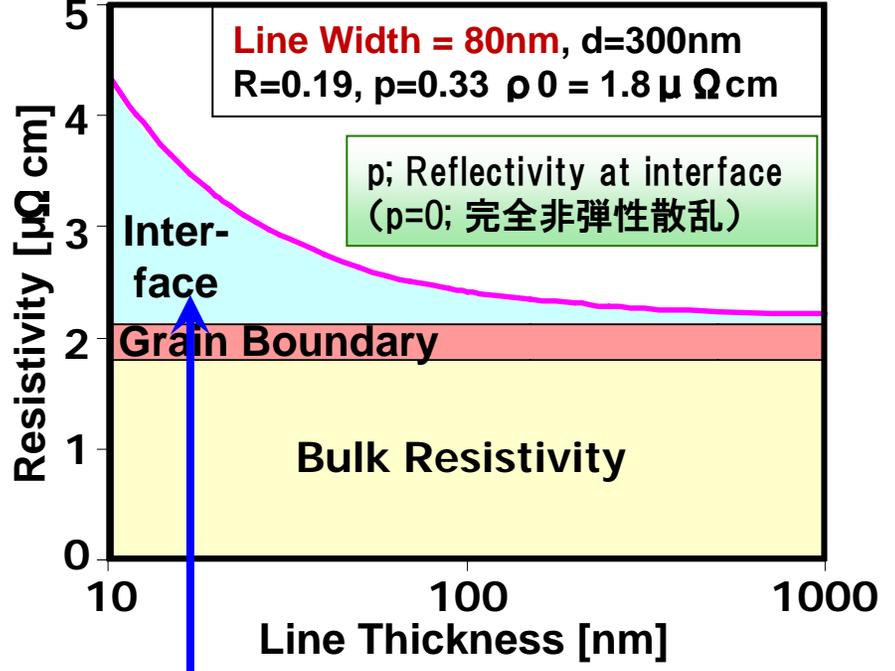
$$+ 3/8C(1-p)[(1+AR)/AR](\lambda/W) \text{ with } \alpha = (\lambda/d)(r/1-r), AR=T/W$$

<配線幅依存性>



d(結晶粒径)=W(配線幅)と仮定すると微細化に伴って粒界散乱の影響が顕著に

<配線膜厚依存性>



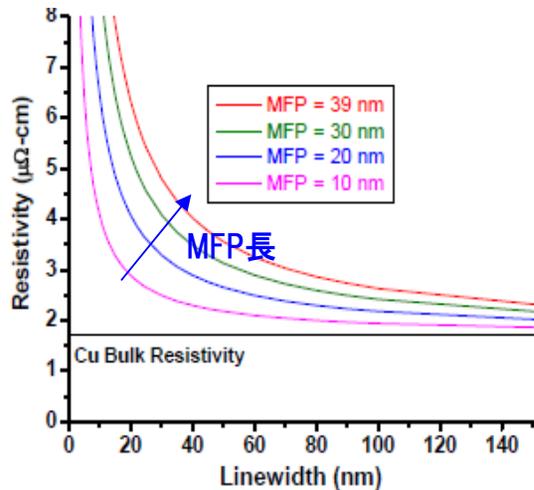
配線薄膜化により界面散乱の影響が顕著に

- ・Cu配線抵抗率のサイズ効果: 2005年以降、多くのモデルが提案された
- ・抵抗率上昇の正確な予測と、対策の検討が必要

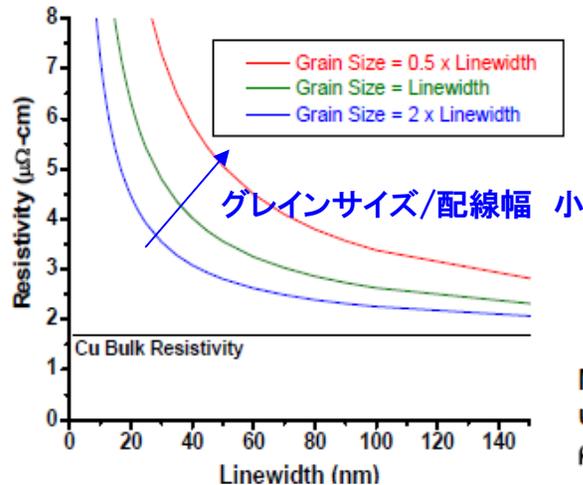
Resistivity Increase and Scaling

AMC 2010

平均自由行程 v.s. 配線幅



グレインサイズ v.s. 配線幅



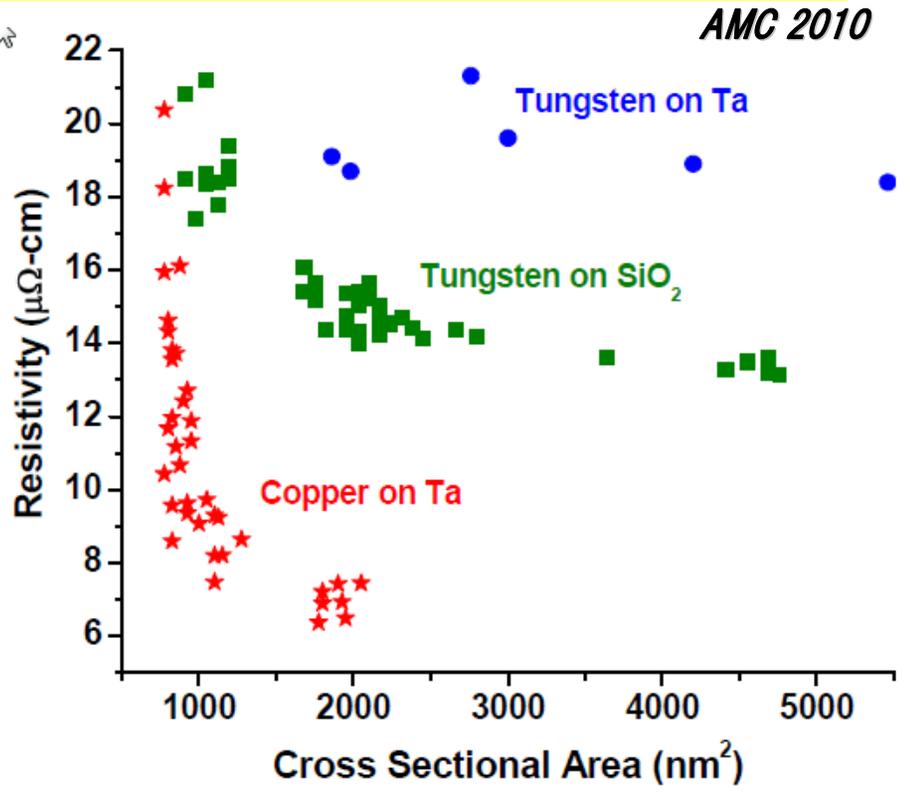
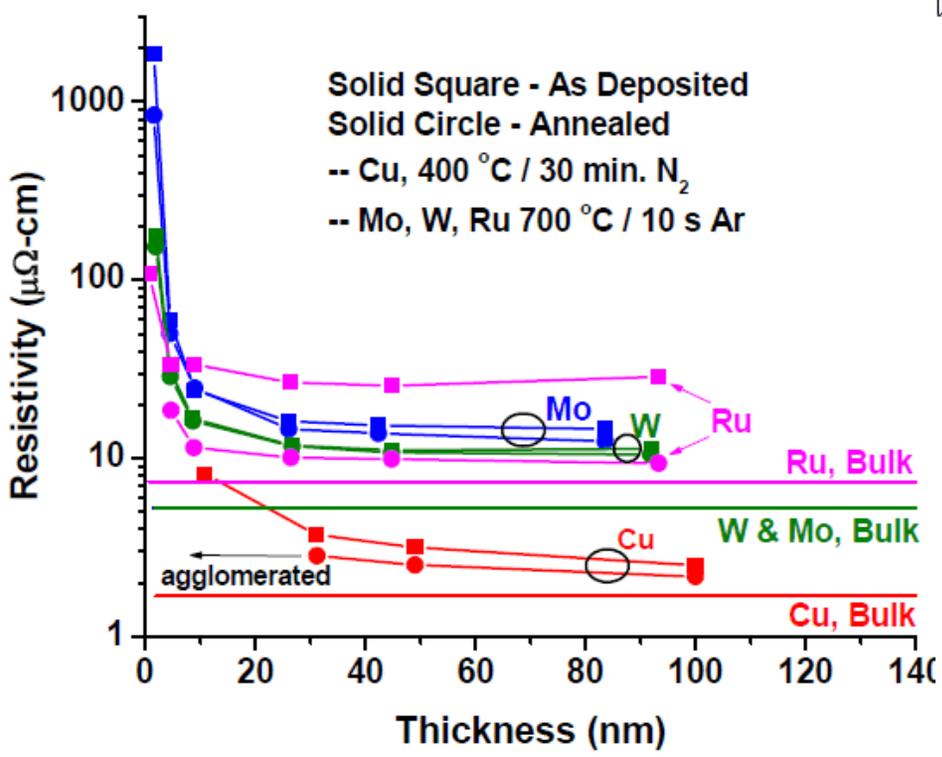
スケーリングに伴う抵抗率の増加

- ・配線寸法がCuの平均自由行程(39nm)を下回る
- ・バリア/シード層の占有比拡大
- ・LERの配線幅に占める割合の増加
- ・グレインサイズの縮小
- ・EM、SM耐性向上のためのアロイ(合金化)

Model: Mayadas/Shatzkes combined with Fuchs/Sondheimer using the Mattiassan rule (Physical Review B 81, 155454 (2010))
 $\rho_{\text{bulk}} = 1.7 \mu\Omega\text{-cm}$, Aspect Ratio = 2, $R = 0.43$ and $P = 0.52$

Cu代替金属配線の検討状況

サイズ効果による抵抗率上昇・・・電子の平均自由行程に依存
 $\lambda_{Cu}: 39nm > \lambda_{W, Mo, Ru} \sim 10nm$



平均自由行程が短い材料 ⇔ バルク材料が高抵抗率

- 1-2世代先でのCuダマシン配線の抵抗はデバイス動作が危ぶまれる値になることが示唆される
- 微細配線では配線形状の最適化など新たな施策が必要

微細配線においてCuより低抵抗になる可能性のある代替金属候補

<材料物性>

- (1) 平均自由行程の短い金属
- (2) グ레인粒径の大きい金属
- (3) ダマシン・埋め込みプロセスでは無く、ベタ膜・RIEプロセスにより形成できる金属
- (4) バルク抵抗の低い金属

<インテグレーション>

- (5) プロセス起因による抵抗上昇を抑制できる金属

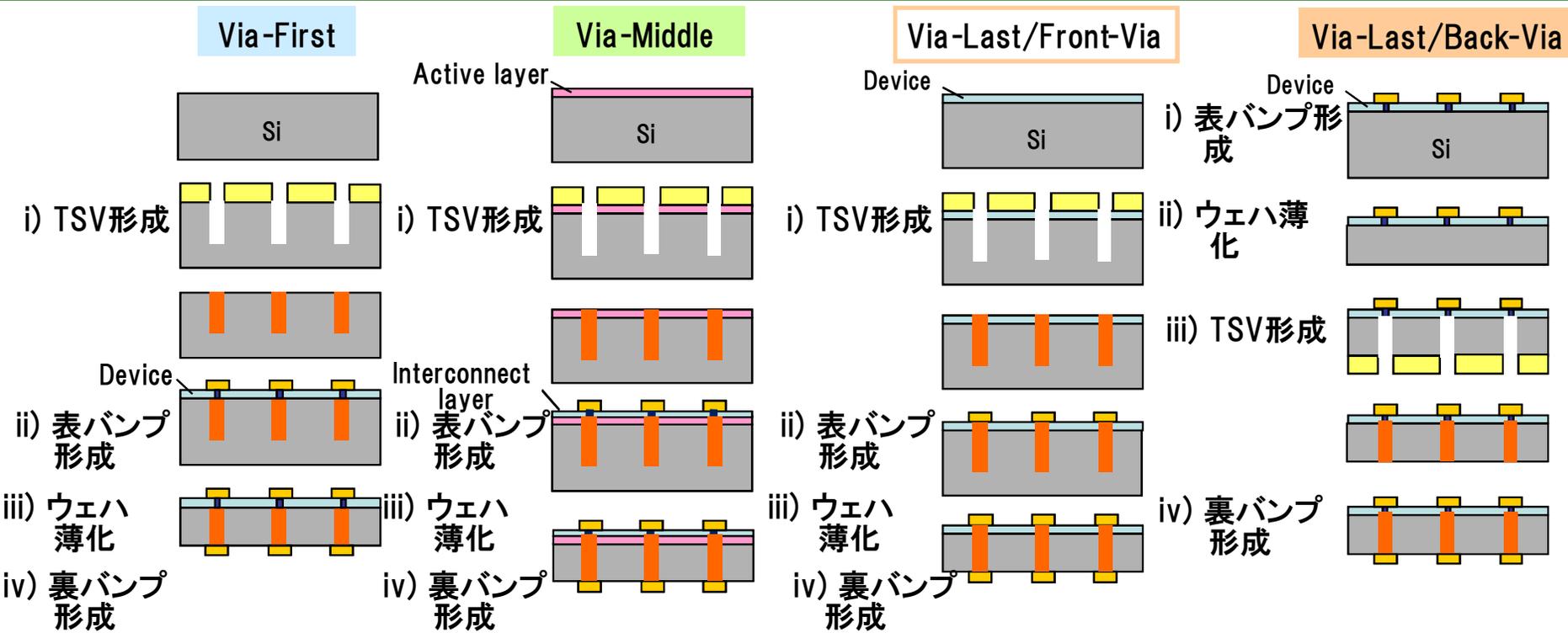
- 微細化の限界は抵抗スペックの観点で適用可能性を考慮すると、バリステック伝導を有するカーボン膜などの代替材料を検討すべき時代となっている

来年度の活動に向けて 新探求配線技術のまとめ



材料	潜在的利点	実用化に向けての懸念事項
Cu以外の金属(W, Ag, シリサイド)	微細構造での低抵抗の可能性	粒界拡散, インテグレーション, 信頼性。
ナノワイヤ (Native)	細線でのバリスティック伝導	量子接触抵抗, 配向性, 低密度, 基板との相互作用。
CNT (Native)	細線でのバリスティック伝導とEM耐性	量子接触抵抗, 配向性制御, 低密度, ばらつき。
グラフェンナノリボン (GNR)	極薄膜上でのバリスティック伝導と平面成長	エッジ制御, 成膜, 積層, 基板との相互作用。
光配線(チップ間)	2012年度以降の調査対象	
光配線 (チップ内)	配線長の長い領域, WDMの高帯域での遅延と電力低減	チップパッケージ間の接続, 配列, 光電変換。
トポロジカル絶縁体 (Native)	局所弾性散乱, 局在化スピン輸送。	配線長の長い場合の優位性, 小型化, インテグレーション, WDMが必要。
ワイヤレス	現状の技術への適用	非弾性の後方散乱制御, 単一層での使用。
超伝導体	ゼロ抵抗配線, 高Q値受動素子	非常に限られた帯域。ダイ内部通信, 広範囲かつ電力の負担
		極低音冷却, 周波数依存耐性, 欠陥, 低臨界電流密度

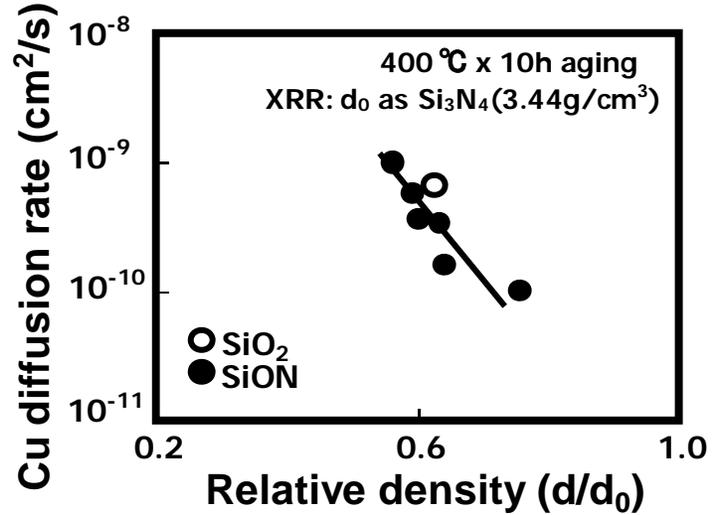
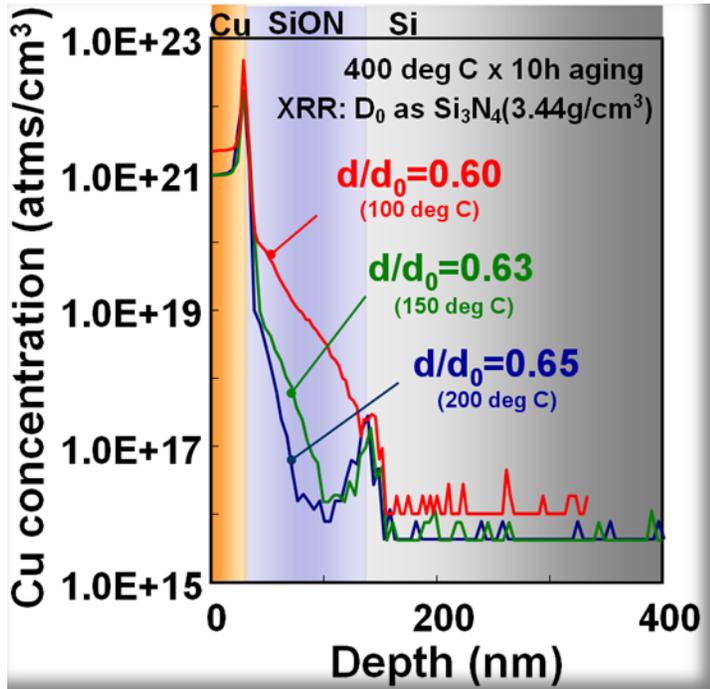
TSV形成プロセスと困難な課題(昨年度報告)



	Via-First	Via-Middle	Via-Last/Front-Via	Via-Last/Back-Via
Difficult Challenges	<ul style="list-style-type: none"> OSATでの実施が困難 金属系電極材の使用不可→TSV高抵抗 薄化後のTSV頭出しと接合形成 	<ul style="list-style-type: none"> OSATでの実施が困難 薄化後のTSV頭出しと接合形成 	<ul style="list-style-type: none"> TSV加工困難 (多層絶縁膜とSiの厚膜SiO₂) プロセス温度制限 (≦300°C) 薄化後のTSV頭出しと接合形成 	<ul style="list-style-type: none"> プロセス温度制限 (≦200°C) ビア径の微細化

プロセス温度制限: バリア絶縁膜の低温成膜に起因するプロセス課題検討

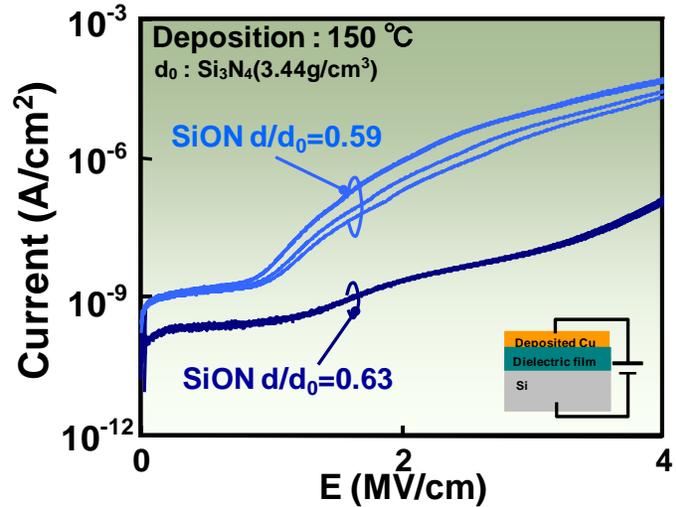
低温で成膜したバリア絶縁膜の膜質低下



低温成膜したバリア絶縁膜

- 膜密度が低下
- Cu拡散速度が増加
- MIS構造のリーク電流が増加

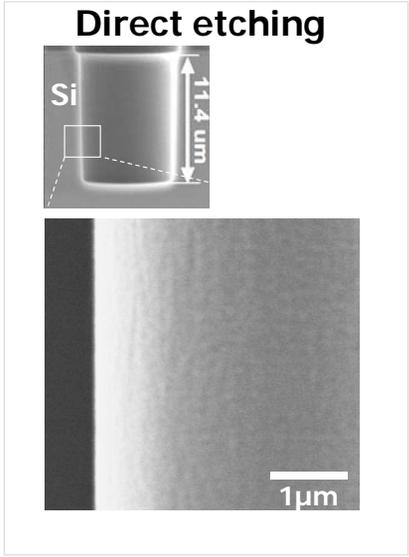
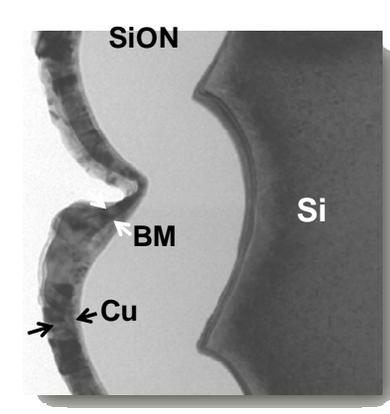
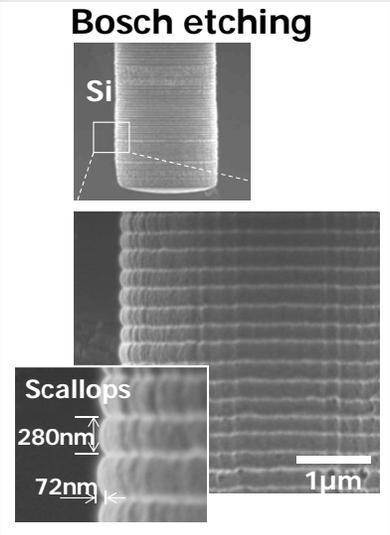
H. Kitada JJAP 2011



TSVリーク電流：側壁の平坦性依存

Bosch エッチング(※)

- TSVエッチング起因の側壁凹凸
- PVDバリア膜、Cuシード膜のカバレッジが低下

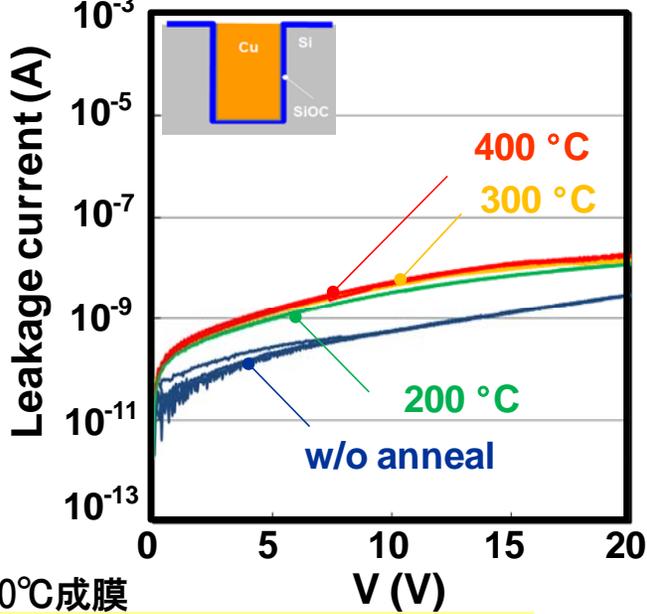
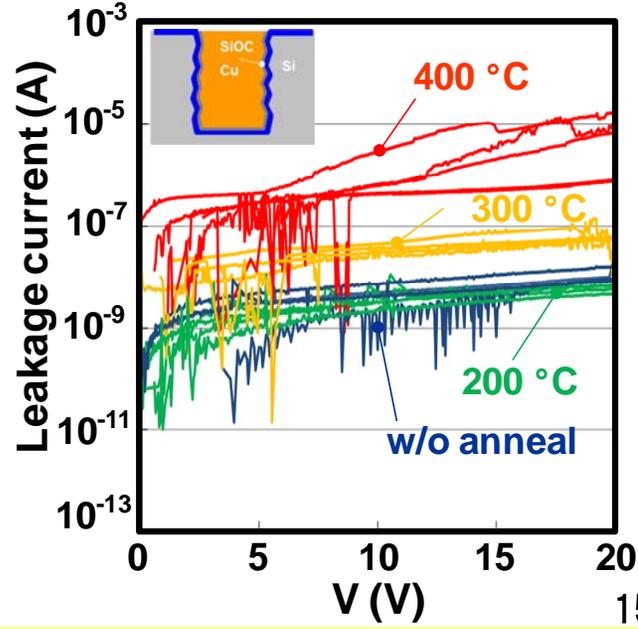


※Bosch社が特許を保有しているSiドライエッチングプロセス。等方性エッチング+デポの繰り返しにより垂直で深いホール形成が可能

エッチング側壁形状の異なるTSVの、アニール前後のTSV間リーク電流を比較

- 凹凸大のTSVは、300°C以上で、リークが急激に増加
- 側壁が平坦なTSVのリークは、アニール温度依存小

H. Kitada, AMC 2011
T. Nakamura, 3DIC 2011



今後の計画：要素技術の課題にフォーカスし技術マップを作成する

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2011年度活動内容概要

2. 2011年度活動内容

2. 1. ITRS2011改訂トピックス

- 章構成の見直し
- M1微細化ロードマップにFlashを追加
- Low-kロードマップの見直し
- 信頼性: J_{\max} の緩和
- Metallization P.S.のアップデート

2. 2. STRJ-WG4独自活動

- 配線抵抗率のサイズ効果(継続)
- TSVプロセス技術課題調査

3. 2011年度活動まとめと今後の活動予定

- ・ 2011年度の主な活動
 - ITRS2011改訂に関して以下を日本主導で行った
 - 章構成の見直し
 - M1微細化ロードマップにFlashを追加
 - Low-kロードマップの見直し
 - 信頼性: J_{max} の緩和
 - Metallization P.S.のアップデート
 - STRJ独自の活動として以下を行った
 - 配線抵抗率の細線効果(継続)
 - TSVプロセス技術課題調査
- ・ 来年度の活動予定
 - 金属材料の限界調査とナノカーボン材料実現技術への取り組み
 - TSVの要素技術マップ作成
 - ロジックとメモリの微細化Potential Solutions検討と整理