

新探求ロジック・メモリ・アーキテクチャ

STRJ-WG12 ERD(新探求デバイス)

東京工業大学 大学院理工学研究科

内田 建

Emerging Research Devices (ERD)

リーダー: 内田 建(東工大)
サブリーダー: 木下敦寛(東芝)
幹事: 品田賢宏(早稲田大学)
企業: 佐藤信太郎(AIST), 川端清司(ルネサス)
小瀧 浩(シャープ), 林 重徳(パナソニック)
白根 昌之(NEC), 屋上公二郎(ソニー)
特別委員: 平本俊郎(東大), 高木信一(東大)
栗野祐二(慶應大), 和田恭雄(東洋大)
秋永広幸(産総研), 浅井哲也(北大)
日高睦夫(ISTEC), 遠藤哲郎(東北大)
長谷川剛(NIMS), 菅原 聡(東工大)
ペパー フェルディナンド(NICT)
藤原 聡(NTT), 河村誠一郎(JST)
野田 啓(京大), 大野雄高(名大)

用語集

ERD : 新探求デバイス

CNT : Carbon Nanotube

SCM : Storage Class Memory

SSD : Solid-State Drive

MtM : More-than-Moore

BC : Beyond CMOS

NEMS: Nano Electro Mechanical System

PCM : Phase-Change Memory

RRAM: Resistance Random Access Memory

ERD Chapterのミッション



2011年版ERD Chapterのミッション

- 情報処理技術におけるCMOSの機能を拡張／補完する技術や取り組みの適合性・成熟度を評価する。
- 2018-2026年までに適応できる情報処理技術で有望なものを明らかにする。
- More-than-Mooreアプリケーションを発展させるデバイス技術进行评估する。

ERD Chapterのスコープ



ERDメモリー(Soli-State Storageを含む), ロジック,
More-than-Moore, アーキテクチャ

Technology Entriesはpublished research activity,
credibility, progressによって判断される。

ERDのTechnology Entryは以下の要件を満たす。

- ◆ 2つ以上のグループによって論文誌や査読付き国際会議での発表があること。
- ◆ 1つのグループであっても論文誌や査読付き国際会議に多数の発表がなされていること。

2011年版 ERD Chaptersの変更

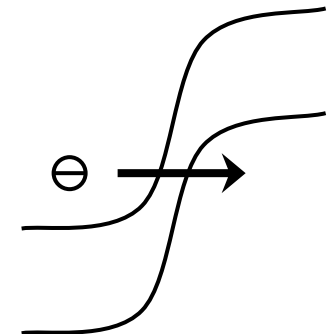
- ◆ Memoryセクションに以下の追加
 - “Storage Class Memory” サブセクション
 - “Memory Select Device” サブセクション
- ◆ More-than-Mooreセクションを追加
 - 2011版では”RF Filter Application”にフォーカスの予定
- ◆ InGaAs(nFET) Ge(pFET)はPIDS & FEPへ

Logic Section Outline

- MOSFETS: Extending MOSFETs to the End of the Roadmap (Table ERD12a)
- Charge based Beyond CMOS: Non-Conventional FETs and other Charge-based information carrier devices (Table ERD12b)
- Alternative information processing devices (Table ERD12c)
 - ほとんどがSpinデバイス: ERD Logicとしては
Si/III-V/Ge → Carbon Electronics → Spin
という流れを考えている.

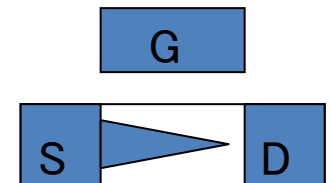
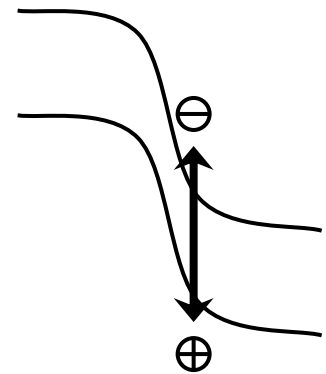
MOSFETS

- CNT FET
- Graphene Nanoribbon FET
- Nanowire FET → Si以外の多彩な材料に言及
 - III-V (GaN, AlN, InN, GaP, InP, GaAs, InAs)
 - II-VI (CdSe, ZnSe, CdS, ZnS)
 - Semiconducting oxides (In₂O₃, ZnO, TiO₂)
- N-type III-V channel replacement FET
→ 構造はHEMT, HFET
 - InAs, InSb → InSb, GaSbはpMOSにも期待
- n-type Ge channel replacement FET
→ 反転層, 注入速度, コンタクト抵抗
- Tunnel FET (BTBT)
→ 超低電圧駆動=低消費電力化に期待



Charge-based beyond CMOS

- SpinFET and Spin MOSFET Transistors
→ 単なるスイッチではなく, 不揮発ラッチなどの応用に期待
- I-MOS
→ Impact ionizationを使う点でここに分類?
低電圧動作が困難なので, SSデバイスとして低消費電力化に期待
- Negative gate capacitance FET
→ SSデバイスとして低消費電力化に期待
- NEMS
→ 0リーク, 0-ON抵抗. 信頼性向上が問題.
まずはハイブリッドデバイスから?
- Atomic Switch
→ 3端子化により, Logicデバイスとしても期待.
- Mott FET
→ 原理的には究極のトランジスタになりうる?



Alternative Information Processing

Devices

- Spin Wave Device

→ Spin波による情報処理

- Nonomagnetic Logic

→ Magnetic islands同士の相互作用を利用

- Excitonic FET

→ OFF状態をExcitonic insulating stateで実現
SSデバイスとして期待

- BiSFET (bilayer pseudo-spin FET)

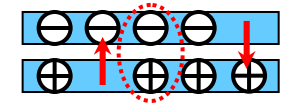
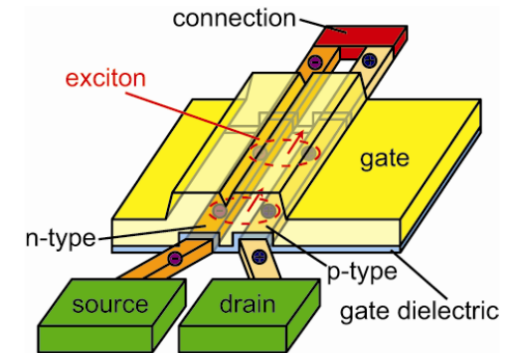
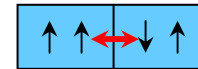
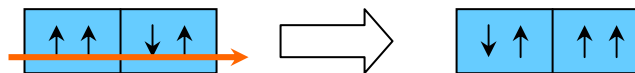
→ p/n型Grapheneを絶縁膜で仕切り, e/h pair(エキシトン)をキャリアとして用いる. ペア性の崩れがspinのように振舞う.

- Spin Torque Majority Logic Gate

→ Spin Transfer Torqueによるspin状態の変化をスイッチングに利用.

- All Spin Logic

→ spinの上下をinformation carrierとしたLogic



MEMORY TAXONOMY AND DEVICES

の概要

- *MEMORY DEVICES* (対象はNVM)
- *Memory Select Device*
- *Storage Class Memory*

■ ITRS2009から大幅に改定

・対象メモリ

- 異動: 1種 (スピンRAMがPIDSへ)
- 統廃合: 4種 ⇒ 3種の新分類

・スコープの拡大

- Select device --- required for crossbar memory application
- Storage Class Memory --- to include solid state drive memory

の記述が加わった

■ ITRS2011採択メモリ

6種類: MIM型抵抗変化メモリ 5種、ゲート容量変化メモリ 1種

■ 選択デバイス

メモリセルとともにスケーリングが必要

-縦型Tr

-2端子型(ダイオード型、抵抗スイッチ型)

■ Storage Class Memory

-Storage-type: NAND代替(SSD向け)

-Memory-type: NANDとDRAM間のバッファ(latencyの隙間を埋める)

どちらも候補は確定していない

MEMORY DEVICES

2009年版からの変化点

Transition Table for Emerging Research Memory Devices

	IN/OUT	Reason for IN/OUT
Emerging Ferroelectric Memory	IN	Replaces former FeFET category and the ferroelectric polarization/electronic effects memory categories
Redox memory	IN	Replaces former nanothermal and nanoionic memory categories
Mott Memory	IN	Separated from the ... s memory
FeFET Memory	OUT	Replaces former ferroelectric polarization/electronic effects memory categories
Electronic effects memory	OUT	Replaced by EFM and Mott
Nanothermal memory	OUT	Merged with Ionic Memory to form Redox Memory Category
Nanoionic memory	OUT	Merged with Nanothermal Memory to form Redox Memory Category
Spin-Transfer Torque MRAM	OUT	Became a prototypical technology

統廃合。扱うメモリの原理は変わらない。

スピンRAMはPIDSへ移行

already included in PIDS chapter since 2009 (Tables PIDS5 and PIDS 5A)

Table ERD5 Emerging Research Memory Devices—Demonstrated and Projected Parameters

ITRS2011

	Emerging Ferroelectric memory	Nano-mechanical Memory	Redox Memory	Mott Memory	Macro-molecular Memory	Molecular Memories
Storage Mechanism	Remnant polarization on a ferroelectric dielectric	Electrostatically-controlled mechanical switch	Ion transport and redox reactions	Multiple mechanisms	Multiple mechanisms	Multiple mechanisms
Cell Elements	1T or 1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R
Device Types	FET with FE gate insulator	MEMS	1) cation migration	1) cation migration	(c)-I-M	Bi-stable switch
Feature size F	Min. required: 50 nm Best projected: 10 nm Demonstrated: 100 nm	Min. required: 50 nm Best projected: 10 nm Demonstrated: 100 nm	Min. required: 50 nm Best projected: 10 nm Demonstrated: 100 nm	Min. required: 50 nm Best projected: 10 nm Demonstrated: 100 nm	Min. required: 50 nm Best projected: 10 nm Demonstrated: 100 nm	Min. required: 50 nm Best projected: 10 nm Demonstrated: 100 nm
Cell Area	Min. required: 100 nm ² Best projected: 10 nm ² Demonstrated: 100 nm ²	Min. required: 100 nm ² Best projected: 10 nm ² Demonstrated: 100 nm ²	Min. required: 100 nm ² Best projected: 10 nm ² Demonstrated: 100 nm ²	Min. required: 100 nm ² Best projected: 10 nm ² Demonstrated: 100 nm ²	Min. required: 100 nm ² Best projected: 10 nm ² Demonstrated: 100 nm ²	Min. required: 100 nm ² Best projected: 10 nm ² Demonstrated: 100 nm ²
Read Time	Min. required: 10 ns Best projected: 1 ns Demonstrated: 10 ns	Min. required: 10 ns Best projected: 1 ns Demonstrated: 10 ns	Min. required: 10 ns Best projected: 1 ns Demonstrated: 10 ns	Min. required: 10 ns Best projected: 1 ns Demonstrated: 10 ns	Min. required: 10 ns Best projected: 1 ns Demonstrated: 10 ns	Min. required: 10 ns Best projected: 1 ns Demonstrated: 10 ns
W/E time	Min. required: dependent Best projected: 2.5 ns [A1] Demonstrated: 20 ns [A5]	Min. required: dependent Best projected: <1 ns [B1,B2] Demonstrated: 10 ns [B2]	Min. required: Application dependent Best projected: <1 ns [C4] Demonstrated: 0.2 ns [C5]	Min. required: Application dependent Best projected: 1 ns [b] Demonstrated: 1 ns [c]	Min. required: Application dependent Best projected: 1 ns [b] Demonstrated: 1 ns [c]	Min. required: Application dependent Best projected: 1 ns [b] Demonstrated: 1 ns [c]
Retention Time	Min. required: >10 y Best projected: >10 y [A] Demonstrated: ~3.5 months	Min. required: >10 y Best projected: >10 y [A] Demonstrated: ~3.5 months	Min. required: >10 y Best projected: >10 y [A] Demonstrated: ~3.5 months	Min. required: >10 y Best projected: >10 y [A] Demonstrated: ~3.5 months	Min. required: >10 y Best projected: >10 y [A] Demonstrated: ~3.5 months	Min. required: >10 y Best projected: >10 y [A] Demonstrated: ~3.5 months
Write Cycles	Min. required: >1E5 Best projected: >1E16 Demonstrated: 2E11 [A6]	Min. required: >1E5 Best projected: >1E16 Demonstrated: ~10 ² [B4]	Min. required: >1E5 Best projected: >1E16 Demonstrated: 1E12 [C2]	Min. required: >1E5 Best projected: >1E16 Demonstrated: 1E12 [C2]	Min. required: >1E5 Best projected: >1E16 Demonstrated: 1E12 [C2]	Min. required: >1E5 Best projected: >1E16 Demonstrated: >2E3 [H2]
Write operating voltage (V)	Min. required: Application dependent Best projected: <0.9 V [A1] Demonstrated: ±4 [A5]	Min. required: Application dependent Best projected: Not known [B4] Demonstrated: 1.5 V [B1]	Min. required: Application dependent Best projected: <0.5 V [E7] Demonstrated: 0.6/-0.2 [E1]	Min. required: Application dependent Best projected: Not known Demonstrated: <1V [e]	Min. required: Application dependent Best projected: <1 V [G1] Demonstrated: ~±2 [G2]	Min. required: Application dependent Best projected: 80 mV [H5] Demonstrated: 4V [H6], ~±1.5 V [H2]

強誘電体を用いた2タイプ
 ・強誘電体FET: FETのゲート酸化膜を強誘電体にしてNVM機能発現 (Vth変化)
 ・強誘電体分極ReRAM: 強誘電体の分極に伴う抵抗変化を使ったMIM型抵抗変化メモリ

MIM型の抵抗変化メモリ。
 ON/OFFに酸化還元反応が関わる。イオン移動型。
 ・金属フィラメント
 ・酸素欠損ブリッジ
 etc.

高分子膜中に導電性パスを形成。MIM型抵抗変化メモリ的一种。

MEMSを使ったリレー型スイッチ (抵抗変化)

Mott転移 (金属/絶縁体転移) を利用したMIM型抵抗変化メモリ

分子の構造変化に伴う抵抗変化を利用。

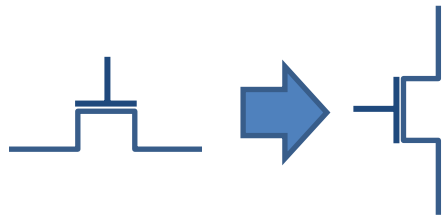
Memory Select Device

屋上委員



集積度を決めるのはメモリセルだけではない。セル選択デバイス(ダイオードやTr)も同じ重みを持つ。4F²を目指す試み。

(1) Vertical transistors



高集積化

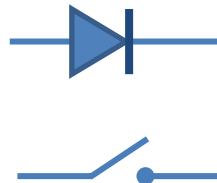
最近の縦型(3D)FETはかなり特性が良くなっている。Si-NW+GAAなども登場。

(2) Two-terminal select devices

抵抗変化型メモリアレイ用の2端子・非線形デバイスが欲しい

検討されている選択デバイス

- ダイオード型
- 抵抗スイッチ型
 - MIT switch
 - Threshold switch
 - MIEC switch



2端子選択デバイスの必要特性

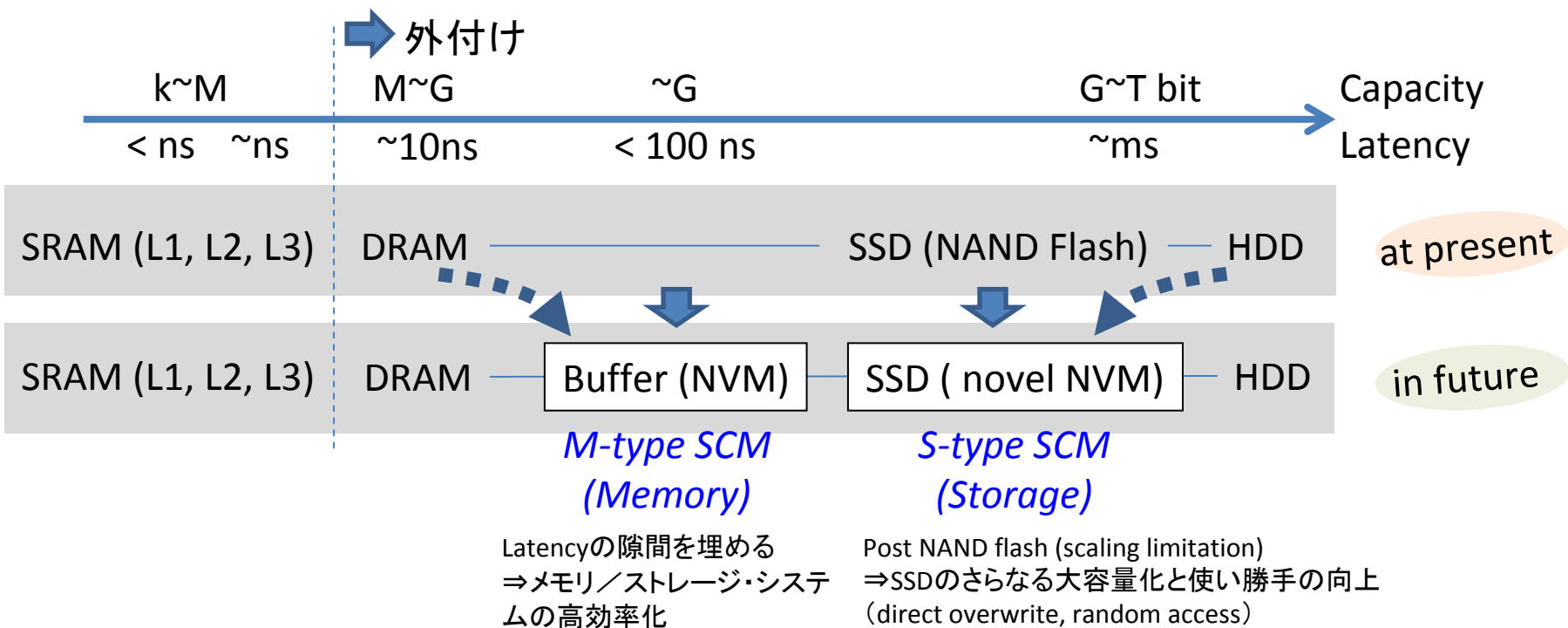
Parameter	Value	Driver
ON Voltage, V_r	~1 V	Compatibility with logic; low-power operation
ON current, I_r	~10 ⁻⁶ A	Sensing of memory state (fast read)
ON/OFF ratio	>10 ⁶	Sufficiently low 'sneak' currents
Operating temperature	85° C	The top end spec for servers.
	50° C	NAND spec (the very embodiment of non-volatile memory for the current state-of-the-art)

Storage Class Memory

Storage Class Memory とは何か

Memory and storage hierarchy

*SSD: solid-state drive



at present

in future

STT-RAM? PCM? RRAM?

Likely...

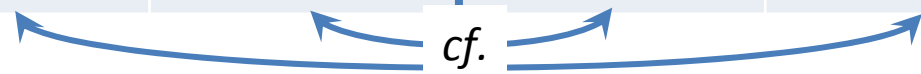
- ・BufferメモリはSSDに組み込まれて使われる
- ・新規NVMはハイブリッドSSDとして市場投入

*Memory Interfaces: SSDではHDDとの整合性からSATAを使用。メモリ(SSD)には不向き。今後の課題。

SCMにはどんなNVMが必要か

Table ERD9 Target device and system specifications for SCM

Parameter	Benchmark [A]			Target [C]	
	HDD [B]	NAND flash[B]	DRAM	Memory-type SCM	Storage-type SCM
Read/Write latency	3-5 ms	~100ms (block erase ~1 ms)	<100 ns	<100 ns	1-10ms
Endurance (cycles)	unlimited	10 ⁴ -10 ⁵	unlimited	>10 ⁹	>10 ⁶
Retention	>10 years	~10 years	64 ms	>5 days	~10 years
ON power (W/GB)	~0.04	~0.01-0.04	0.4	<0.4	<0.04
Standby power	~20% ON power	<10% ON power	~25% ON power	<1% ON power	<1% ON power
Areal density	~ 10 ¹¹ bit/cm ²	~ 10 ¹⁰ bit/cm ²	~ 10 ⁹ bit/cm ²	>10 ¹⁰ bit/cm ²	>10 ¹⁰ bit/cm ²
Cost (\$/GB)	0.1	2	10	<10	<3-4



[A] The benchmark numbers are representative values, which may have significant variations in specific products

[B] Enterprise class

[C] Single-level cell (SLC)

Table ERD10 Potential of the current prototypical and emerging research memory candidates for SCM applications

Parameter	Prototypical (Table ERD3)			Emerging (Table ERD5)					
	FeRAM	STT-MRAM	PCRAM	Emerging ferroelectric memory	Nano mechanical memory	Redox memory	Mott Memory	Macro molecular memory	Molecular Memory
Scalability									
MLC									
3D integration									
Fabrication cost									
Endurance									

>E15

?

一つのベンチマーク例



	$F_{min} >45 \text{ nm}$	$F_{min}=10-45 \text{ nm}$	$F_{min} <10 \text{ nm}$
Scalability			
MLC	difficult	feasible	solutions anticipated
3D integration	difficult	feasible	difficult
Fabrication cost	high	medium	potentially low
Endurance	$\leq 1E5$ write cycles demonstrated	$\leq 1E10$ write cycles demonstrated	$> 1E10$ write cycles demonstrated

Buffer (cache)に使うか、ストレージに使うかで選択基準は変わる。

ERDのための新概念アーキテクチャ

Emerging Research Architectures

浅井委員

これまでの内容: ERDアーキテクチャの分類(ITRS 2007, 2009)

アーキテクチャ	実装	演算要素
メニーコア	対称コア	CMOS
異種融合コア	非対称コア	CMOS
	CMOL	CMOS + 分子スイッチ
	分子Cross-bar	分子スイッチ
	Checkpoint	CMOS + 強誘電体
Morphic	CNN	CMOS + センサ
	連想メモリ	FG-FET, SET
	Bio-inspired	MFTD, スピン

ITRS 2007 ERD-ERA Chapter

- ・特定ERDアーキテクチャのベンチマーク
- ・メモリアーキテクチャ
- ・推論アーキテクチャ
(for Beyond-Neumann Computers)
- ・情報処理のパフォーマンス限界の見積もり

ITRS 2009 ERD-ERA Chapter

- ・概メモリアーキテクチャ
- ・新概念計算アーキテクチャ
- ・情報処理の分類(Beyond Neumannほか)

ITRS 2011 ERD-ERA Chapter

目的1: ERDを用いてどのような演算が可能になるか?

- ・MOSFET + 不揮発 (ReRAM, MTJ): 再構成可能論理演算, アナログ素子のばらつき補正
- ・Molecular Devices/Elements: 分子の相互作用を利用した超並列演算 / 知的演算

目的2: ERDの利用機会がある情報処理の模索

- ・脳型計算アーキテクチャ(単電子, 抵抗変化メモリ, ナノディスク, CMOL, CMOS)
- ・セルラーアーキテクチャ(セルオートマトンとその計算理論)

目的3: 情報処理の分類とERD - 計算科学からのアプローチ

- ・脳型計算アーキテクチャ(単電子, 抵抗変化メモリ, ナノディスク, CMOL, CMOS)

アプリケーション別 新概念メモリのニーズ

浅井委員

特徴	アプリケーション用途					付記
	マルチコア	データベース	エクサ規模	モバイル	ASIC	
容量規模	GB - TB	PB	XB	GB	MB - GB	XB=10 ¹⁸ バイト
消費電力	重要	重要	非常に重要	最重要	重要	
容量電力比	重要	非常に重要	重要	重要	重要	仕事量に比例
速度		システム全体のスループットを決定			最重要	アクセス速度
保持特性	重要	最重要	非常に重要	最重要	重要	不揮発メモリ転送を含む
CAM性		重要			重要	コンテンツ参照
コスト		HDDと同程度		Flashと競合		
コメント	スレッド管理	SCMにおけるWebスケールの演算	科学技術演算	新しい仕事量の導入	小容量	

従来型コンピュータ向けの新概念メモリアーキテクチャ

from ITRS 2011 Table ERD13

従来: SRAM: キャッシュ, CAM (LUT in FPGA), DRAM: メインメモリ, HDD&SSD: ストレージ

近年: 大きく変化(アプリケーションのスケールリング vs デバイススケールリングが重要)

ロジック＋新概念メモリの現在の研究動向

浅井委員

研究動向	方向性	現状
ナノFPGA	参照テーブル(LUT)やスイッチボックスなどをReRAM, NEMSなどで実装	既存FPGAの2～3倍の電力性能(モデル予測)。3次元実装では3～5倍程度
ナノクロスバー	不揮発ナノメモリ素子を用いた超高密度プログラマブルロジックアレイ(PLA)	スケーラブルな二端子不揮発素子の恩恵を強く受ける
再構成可能コンピューティング	大規模LUTを不揮発素子とスイッチボックスの中に埋め込むもの	Energy Delay Productが45%改善(STT-MRAMモデルを用いた予測)

from ITRS 2011 Table ERD15

脳型アーキテクチャの現在の開発動向

浅井委員

アプリケーション分野		現在開発されているアーキテクチャ
特定用途演算		連想メモリ・CAM (CMOS, SET), データマイニングと推論マシン (CMOS), 特徴抽出 (CMOS), 雑音駆動型情報処理 (次ページ参照), 運動制御 (CMOS), ほか
センサ	画像	輪郭強調 (CMOS, SET), 動き検出 (CMOS, SET), ステレオビジョン (CMOS), 視覚対象追従制御 (CMOS), 適応型ゲイン調整 (CMOS), 方位検出 (CMOS), 超高速撮像 (CMOS), ほか
	その他	シリコン蝸牛 (CMOS), 音波による位置検出 (CMOS), 聴覚系におけるノイズキャンセルと選択的注意 (CMOS), 嗅覚センセ (CMOS), ほか
人工生命		反応拡散コンピュータ (CMOS, SET), 人工魚脳 (CMOS), 人工鰭脳 (CMOS), ほか
実装技術		CrossNets (Molecular), アドレスイベント駆動 (CMOS), CDMAニューラルネット (CMOS), 人工神経細胞 (CMOS, SET), 人工シナプス (ReRAMほか), 三次元実装, Brain-machineインターフェース, ほか

シナプスデバイス(単電子, ナノディスク) 神経細胞 & シナプスデバイス(ReRAMをアナログ的に利用し、CMOSと組み合わせて構成)

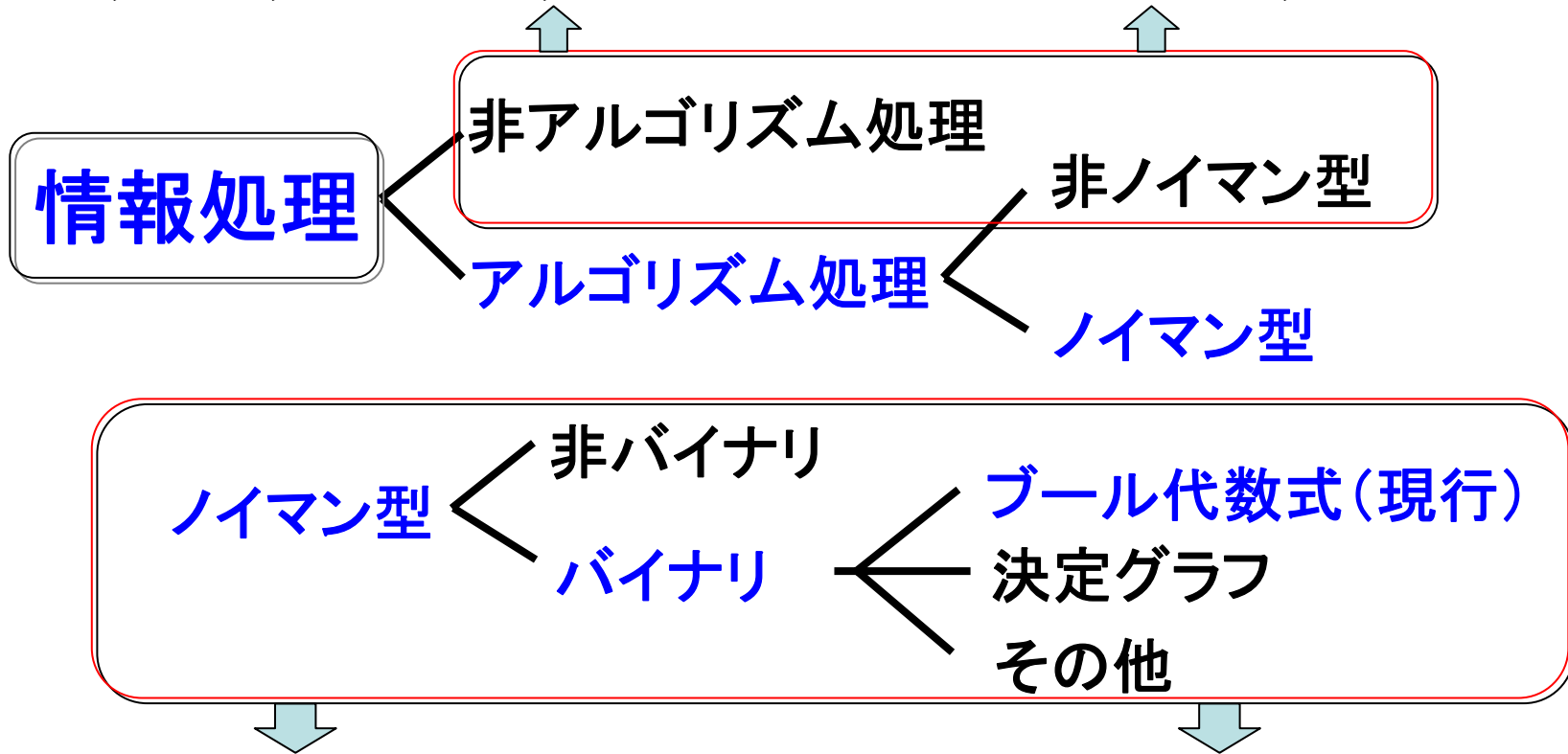
情報処理アーキテクチャの演算能力の新分類学 浅井委員

More than Neumann (MtN)

LtMの大規模集積による並列演算, ERD向き
 例: CA, Neuro, データフロー, ほか

Beyond Neumann (BN)

MN, MtNよりも圧倒的に速い演算, ERD向き
 例: 量子コンピュータ, アナログ計算ほか



More Neumann (MN)

ノイマン型の延長, CMOSの独壇場
 例: 現在のメニーコア, GPU, HAほか

Less than Neumann (LtM)

極小規模なノイマン型, ERD向き: 小規模メモリ
 +ALUまたはアナログ要素(弱演算器)

ITRS2011: STRJ-WG12からのContribution

- Atomic Switch (NIMS 長谷川氏)
- Graphene (産総研/富士通研 佐藤氏)
- CNT(名大 大野先生)
- Spin MOSFET(東工大 菅原先生)
- ERA(北大 浅井先生)
- III-V (内田)
- Ge (内田)
- Extended CMOS Map(STRJ-WG12)
- ERA新コンセプト: More-Neumann, More-than-Neumann, Less-than-Neumann, Beyond Neumann(北大 浅井先生, NICE ペツパー氏)
- Spider Chart(NIMS 長谷川氏)