

LSIの多様化に対するテストの更なる挑戦 ～品質とコストの両立を目指して～

目次

1. LSIのテストとは
2. WG2の体制
3. 活動テーマの位置づけ
4. 2011年度活動サマリ
5. ITRS2011トピックス
6. STRJ独自活動(ATE)
7. STRJ独自活動(DFT)
8. まとめと今後の課題

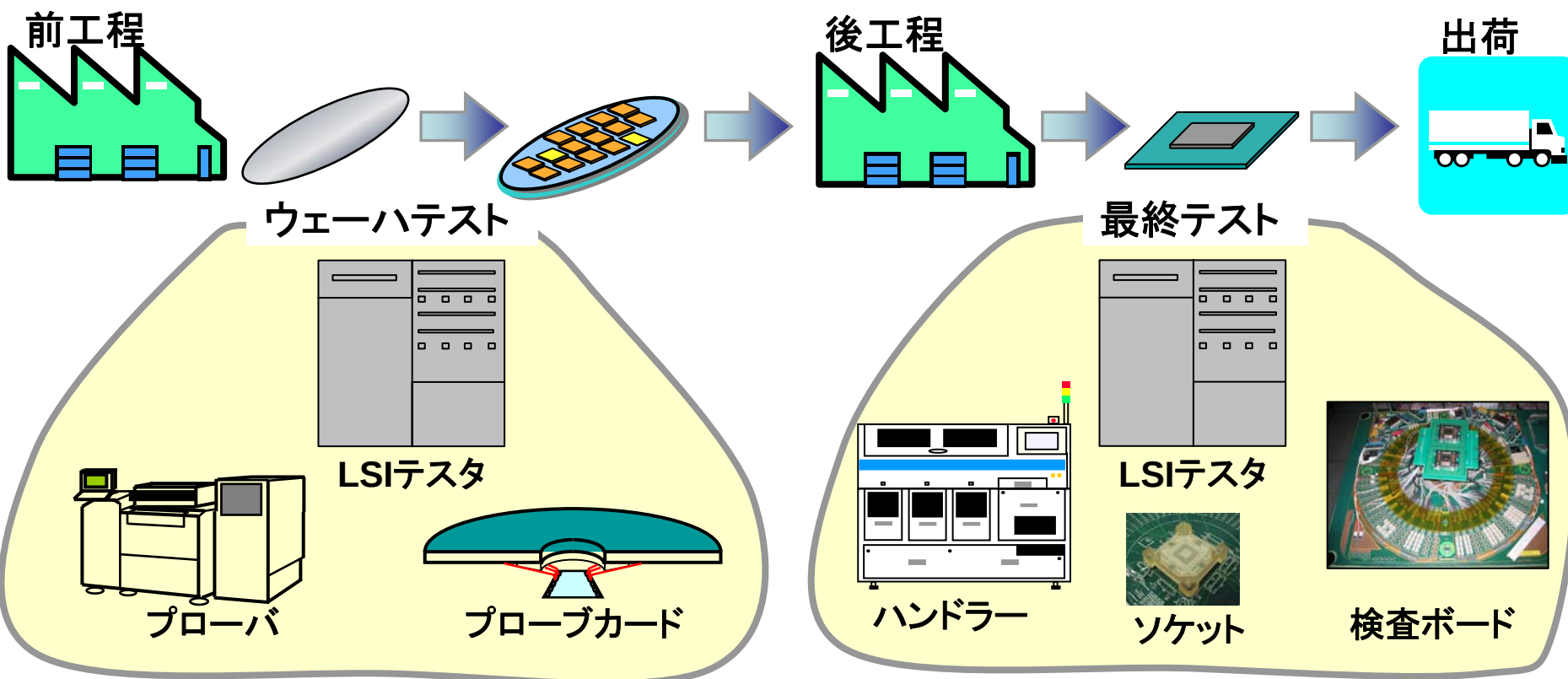
WG2(テストWG)

小林 拓也(パナソニック)

1. 「LSIのテスト」とは(1)

概要

- 製造工程にて良品/不良品を選別するための手段
 - LSIテストを用いることが一般的
 - LSIとLSIテストの接続のために、様々な検査治具を用いる
プローブカード、プローバ、ハンドラー、ソケット、検査ボード...
 - LSIにはテストを容易にするための設計(DFT)を施している



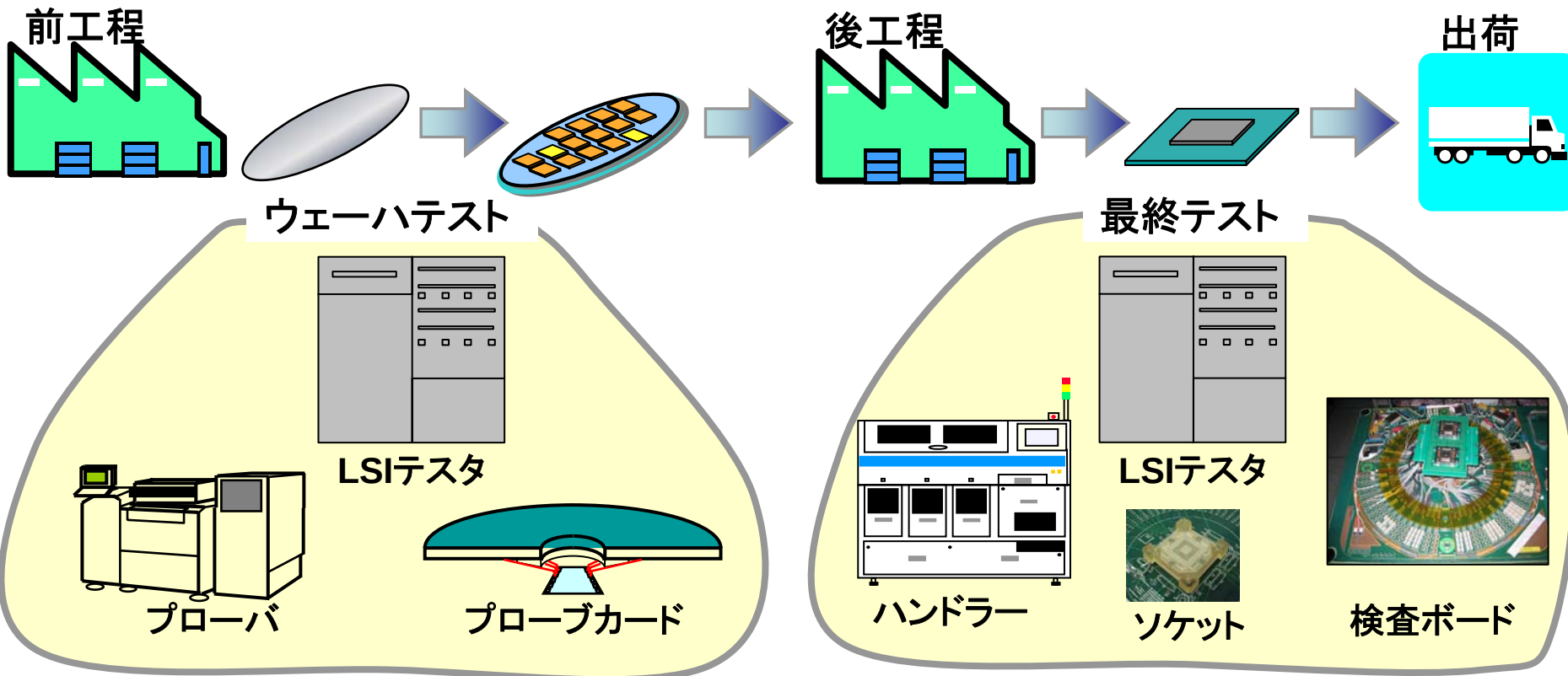
1. 「LSIのテスト」とは(1)

概要

ロードマップ!

STRJ

- 製造工程にて良品/不良品を選別するための手段
 - LSIテストを用いることが一般的
 - LSIとLSIテストの接続のために、様々な検査治具を用いる
プローブカード、プローバ、ハンドラー、ソケット、検査ボード...
 - LSIにはテストを容易にするための設計(DFT)を施している

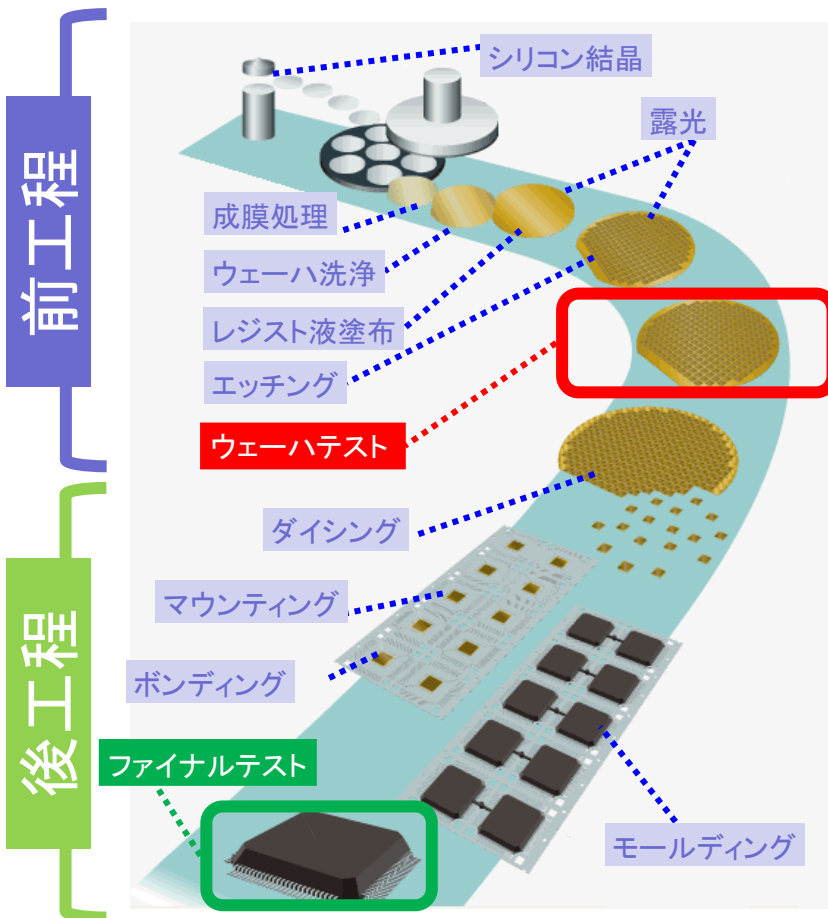


1. 「LSIのテスト」とは(2)

検査治具の例: プローバ

ウェーハテスト : ウェーハ上に形成されたデバイスを検査

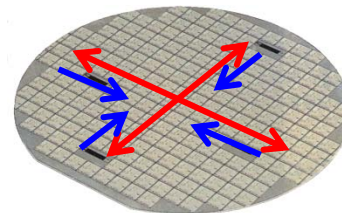
ウェーハプローバ: 検査針と検査パッドを自動で位置合わせし検査する為の装置



◆検査温度(-55℃～200℃)



-55℃～

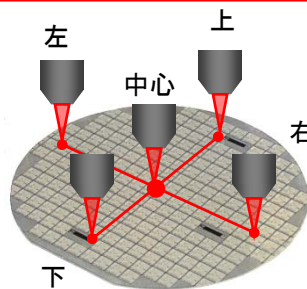


温度によりウェーハは伸縮!

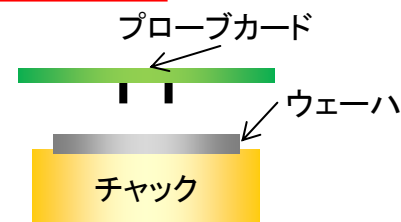


～150/200℃

◆位置合わせ精度(±1um以下)



カメラで検査対象パッド認識



制御 ±1.0um以下

◆チャック耐荷重(～300kg)

- ・プローブカードのピン数は数百～数万ピン
- ・プローバはこれら針を検査パッドにコンタクトさせる為に～300kgの荷重に耐える必要がある



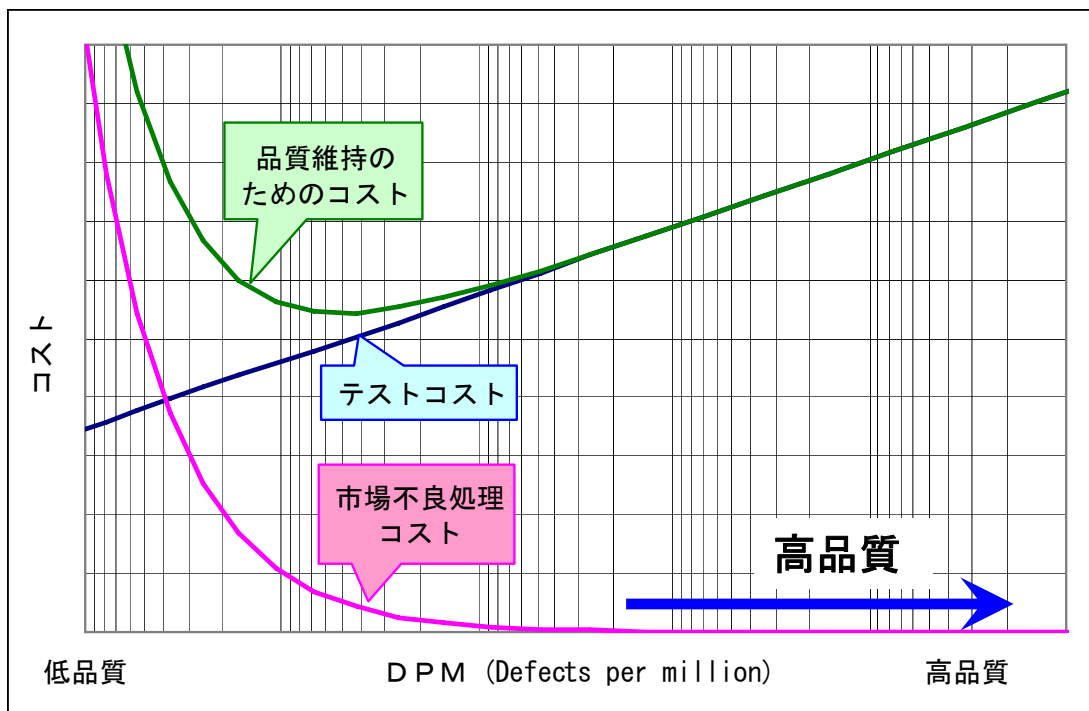
チャック



数umのZ制御が必要

1. 「LSIのテスト」とは(3)

不良率とテストコスト



青線

→高品質を実現するには
膨大なコストがかかる

ピンク

→テストコストをかけないと
(=DPMが高いと)
市場不良コスト(=市場不良
の後始末コスト)が上がる

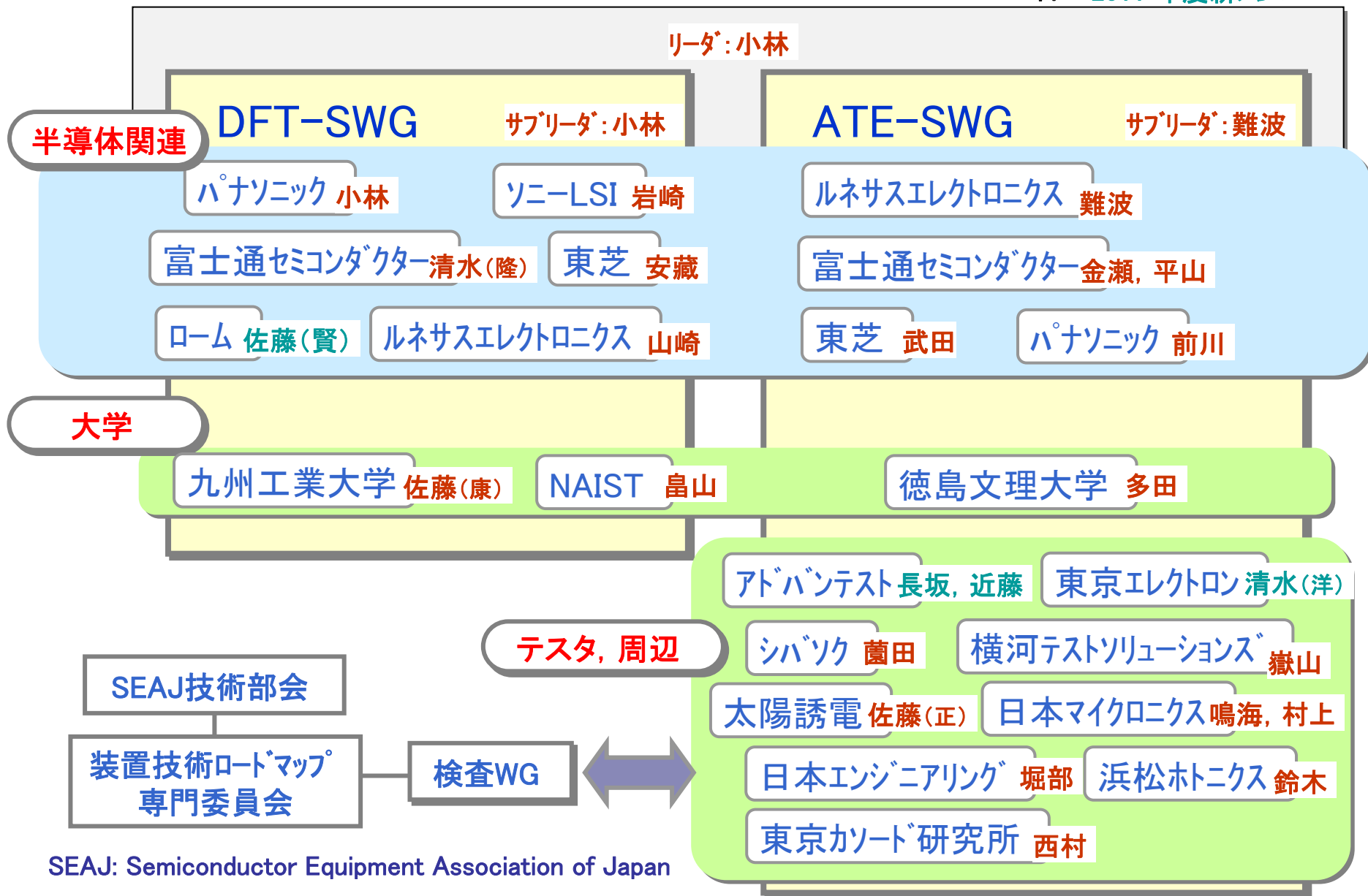
緑 = 品質維持のためのコスト
※【ピンク + 青】

品質とその維持コストはトレードオフ

微細化、複雑化により、品質を維持するためのテストコストは増大
⇒抑制のための技術が必要

2.WG2の体制

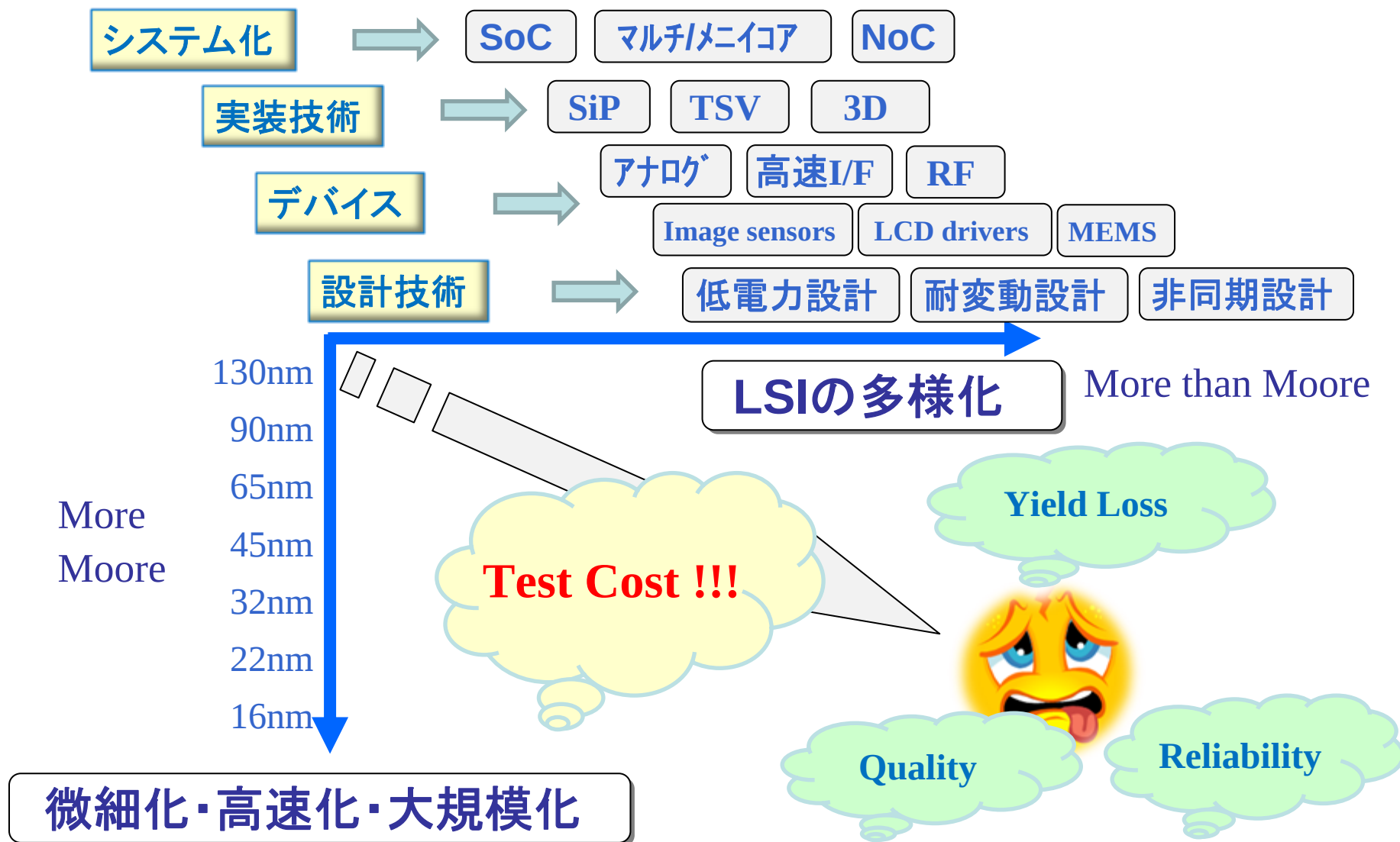
全 25名 2011 年度新メンバー



SEAJ: Semiconductor Equipment Association of Japan

3. 活動テーマの位置づけ

LSIの多様化・高機能化へ対応するDFT／ATE技術の検討



4. 2011年度活動サマリ

区分		活 動 内 容
国際活動	ITRS2011	・担当節およびテーブルのアップデート SoC, プローバ, ハンドラー, プローブカード, ソケット ・「設計インテント」に関する記載をSoC節に追加
	国際会議	・3回の国際会議(ポツダム、サンフランシスコ、インチョン)に参加
国内活動	全体	・More than Moore!に対するテストの対応について議論するも、対象が多岐にわたるため、議論が未了 ⇒ITRS/業界全体の方向性を見ながら製品モデルを絞った議論が必要 ・半導体各社の課題について議論 ・システムデザインフォーラム(11/17 EDSFair 併催)にて発表 タイトル:「SoCテストのロードマップから見る課題と解決策」
	DFT-SWG	・複雑化するSoCのDFTの課題である「多数のIPをテストするためのテスト回路設計」に関する課題について検討
	ATE-SWG	・テスト課題の整理(テストコストモデル, 同測効率, スループット制約条件, 大電流, 熱, TSV対応等3Dのテスト)

5. ITRS2011 トピックス(1)

Test章 全体

- ・ **3Dデバイステスト** *STRJ協力
 - 2011年度版より3Dデバイス節を新規追加
 - テストフロー/アクセス/診断/DFx/消費電力/異種スタック等の課題提示
- ・ **アダプティブテスト** *STRJ協力
 - 増大するデータ管理の要求を新規記載
- ・ **Logic/DFT** *STRJ担当／協力
 - 「設計インテント」に関する記載を追加
 - 圧縮率/データ量/故障モデルのアップデート
- ・ **テストコスト** *STRJ協力
 - テストコスト削減手法の現状にアダプティブテストとコンカレントテストを追加
- ・ **プローバ/プローブカード** *STRJ担当
 - 450mmウェーハ対応を含めテーブル見直しを完了
 - LCDドライバでの周波数要求追加
- ・ **ハンドリング** *STRJ担当
 - 薄ウェーハハンドリング/3Dスタック課題追加
- ・ **ソケット** *STRJ担当
 - テーブル見直し及び高周波製品対応

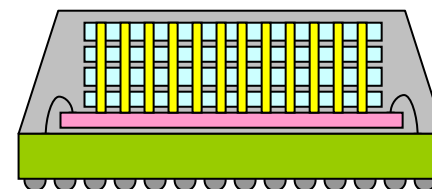
5. ITRS2011 トピックス(2)

3Dデバイステスト

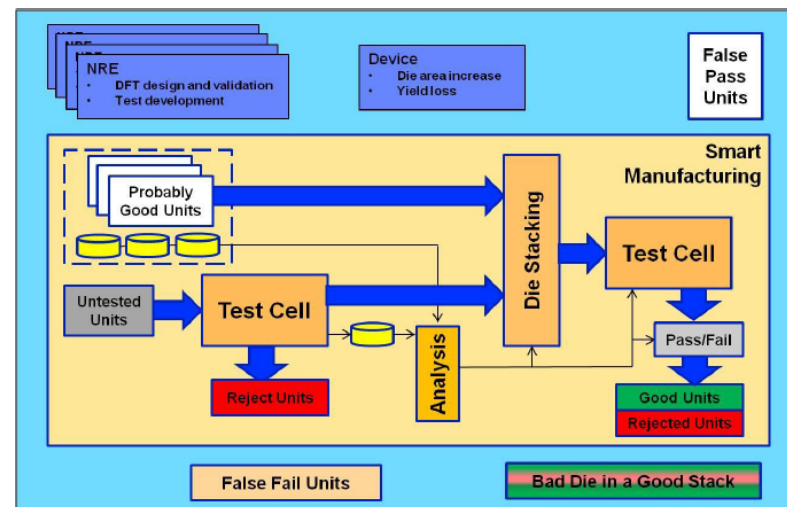
「3Dデバイステスト節」が新設

3Dデバイステストの課題

- スタックを通じた各チップへのアクセス
- テストフロー/コスト/リソース**
- チップ間の信号やり取り
- デバッグ/故障診断
- DFT
- テストデータ管理/配布
- 消費電力(熱)管理



3Dデバイスイメージ



3Dスタックのコスト構造

2012年以降
重点的に議論予定

STRJとしては、2003年からSiPのテストの課題を検討
⇒ 今までの検討を活かして、ITRSの議論に参画

①「チップの何処」→「どのチップの何処」 不良解析と量産考慮のDFT

・スタックを通じた各チップへのアクセス ・チップ間の信号やり取り ・消費電力(熱)管理

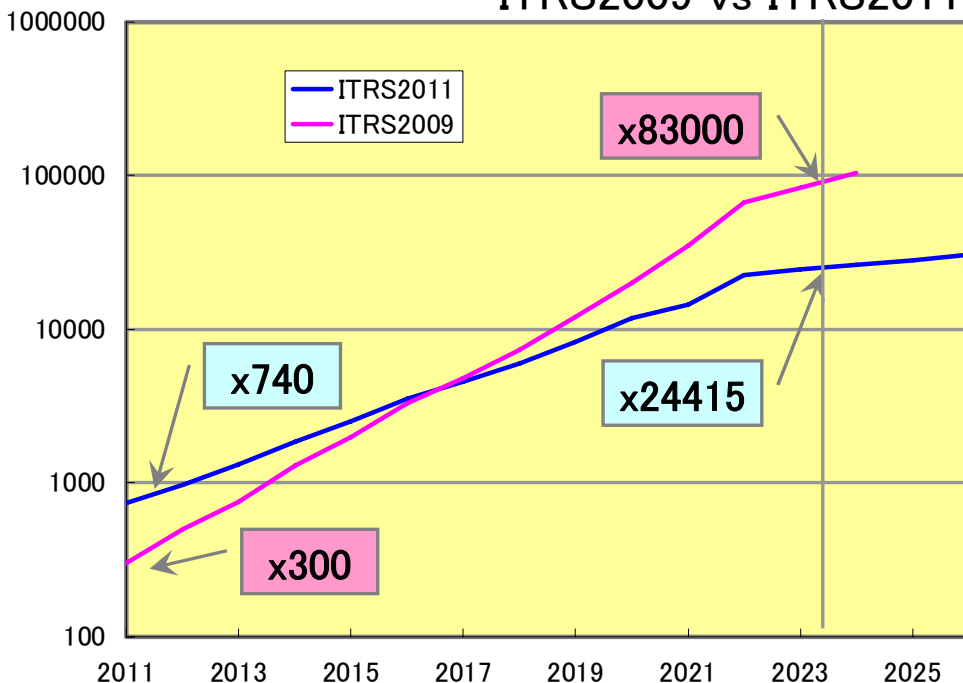
② それらを経済的に ・テストフロー, コストモデル, 最適テストリソース

5. ITRS2011 トピックス(3)

スキャン圧縮率 モデルの変更

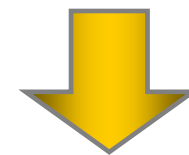
Compression Ratio

ITRS2009 vs ITRS2011



ITRS2009まではSTRJが作成していたが、ITRS2011からはEDAベンダー(US)が作成

ツールベンダーによる、より細かな実績を根拠とした値に変更

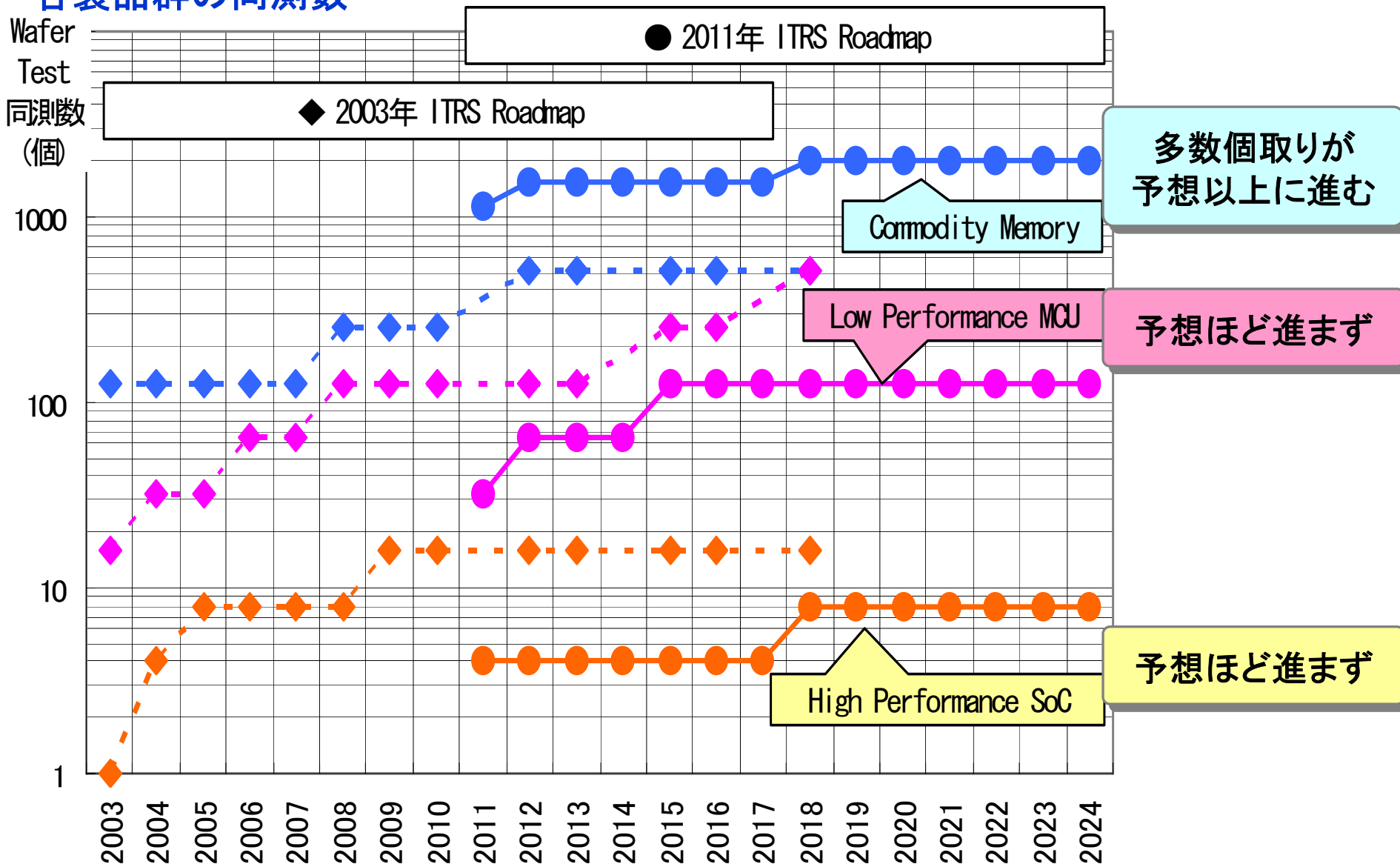


モデルの変更があったが、高圧縮実現に向けて技術開発が必要であることは変わらず

テストコスト上昇を抑制するために
引続きスキャンデータ高圧縮実現のための技術開発が必要

6.STRJ独自活動 -ATE-(1) WaferTest同測数 2003 vs 2011(1)

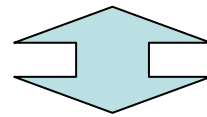
各製品群の同測数



製品群ごとの同測容易性の比較

	テスト 時間	機能	性能	ピン数	消費 電力	生産数	生産 期間
Commodity Memory	長	少	中	少	小	多	長
Low Performance MCU	中	中	低	中	中	中	長
High Performance SoC	中	多	高	多	大	中	短
同測に有利な要素	長	少	低	少	小	多	長

Commodity Memory : 同測に**有利**な要素がほぼ揃った製品群



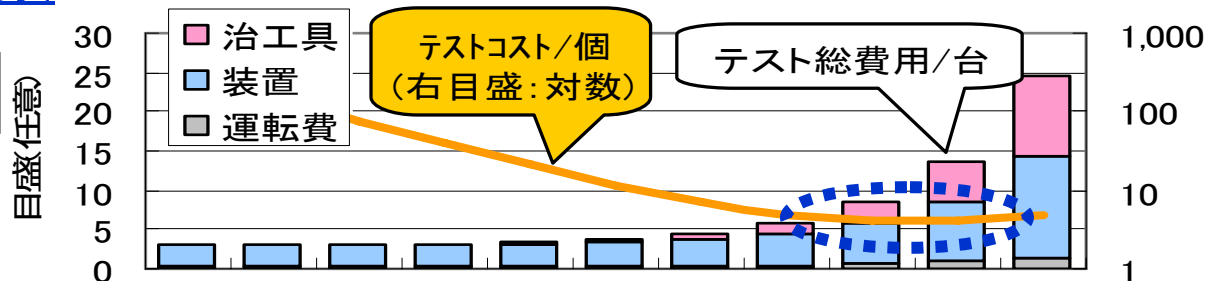
High Performance SoC : 同測に**不利**な要素が揃った製品群

6.STRJ独自活動 -ATE-(3) WaferTest同測数 2003 vs 2011(3)

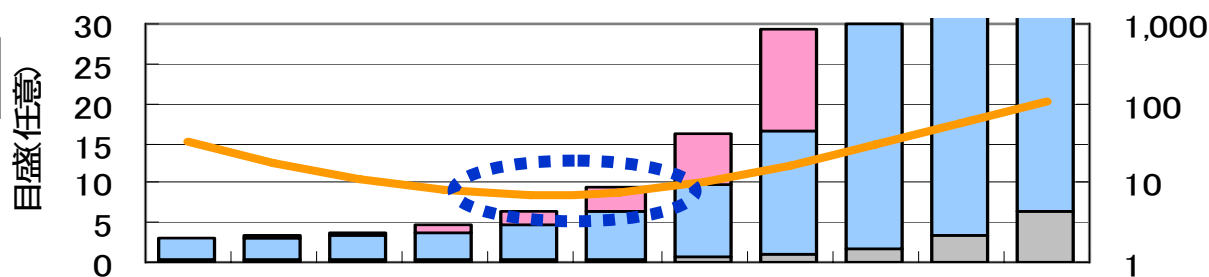
同測効率と最適同測数

※製品群ごとに同測係数を算出してテストコストを試算

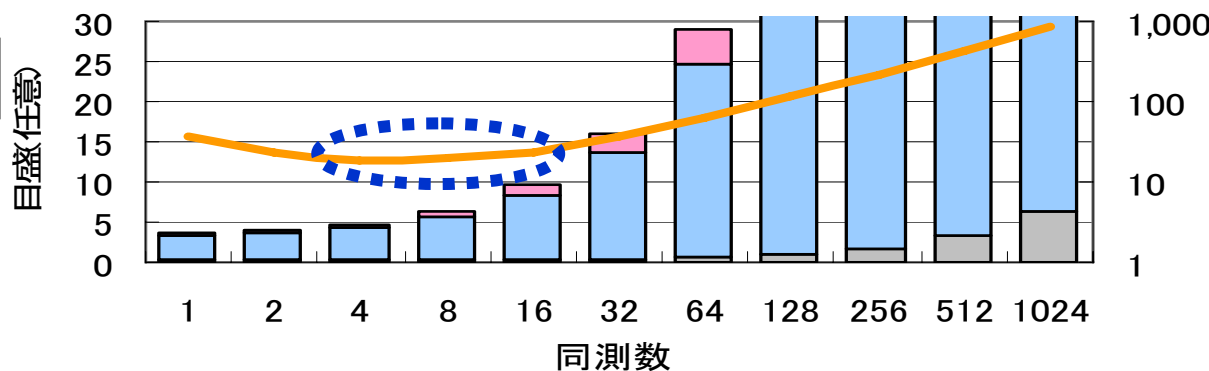
Commodity Memory



Low Performance MCU

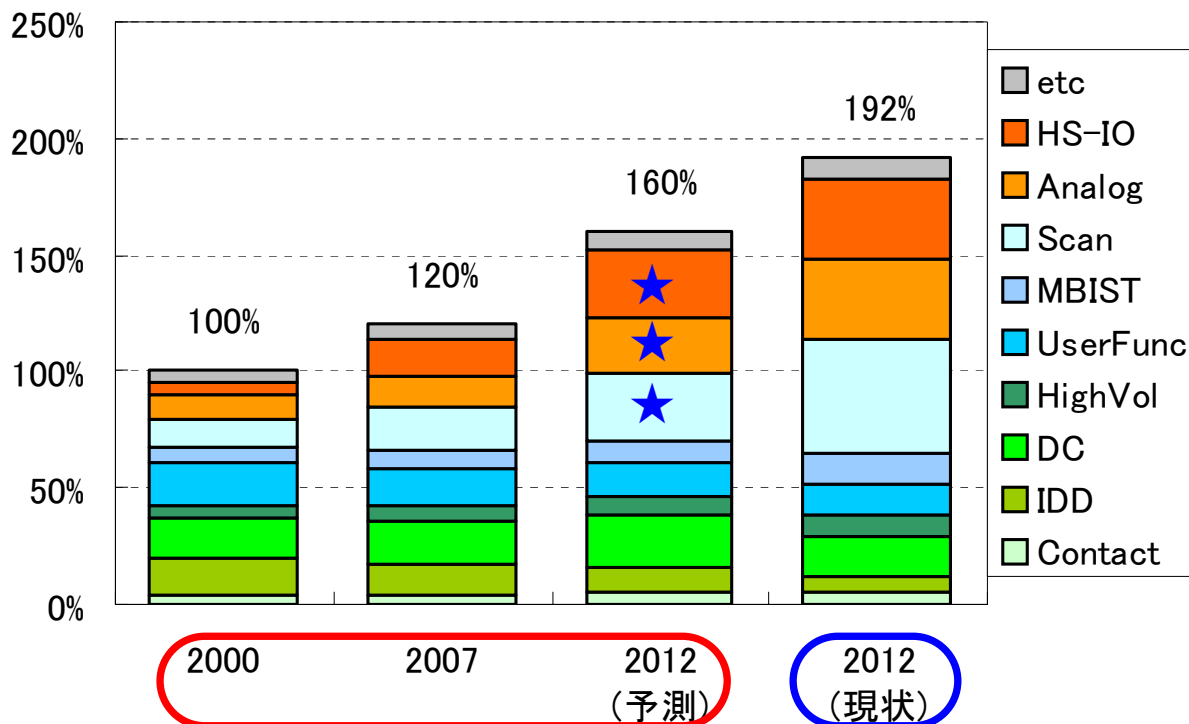


High Performance SoC



現状は製品群ごとの最適解に収まっているが、要求は更なるコストダウン
⇒ATEとDFTの更なる進化で、SoCの同測数アップが必要

6.STRJ独自活動 -ATE-(4) テスト時間内訳予測(2007)の振り返り



2007年

スキャン, アナログ, 高速IOの比率増加を予測 ★



2012年

●スキャン

- ・ゲート規模
- ・微細化特有の故障に対するパタン
- ・IR-Drop対策のパタン分割

●アナログ

- ・bit幅や搭載数の増加

●高速IO

- ・IP種類や搭載数増加

スキャン : DFTの進化でかなりの効果を挙げているが...

⇒ 更なるスキャンデータ圧縮率の向上によるパタン数の削減が必要

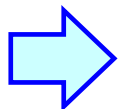
アナログ/高速IO: 従来手法(高機能ATEやBOST)では時短は困難

⇒ 安価なATEを用いて短時間でテストできるためのDFT技術の開発が必要

7.STRJ独自活動 -DFT-(1)

複雑化するLSIのDFT(1)

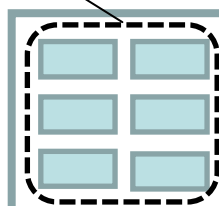
半導体各社のテスト／DFTの課題を改めて抽出



複雑化が進んだLSI(SoC)のDFTに対するツール未整備が顕在化

これまでのLSI

SRAM/ROM



ロジック

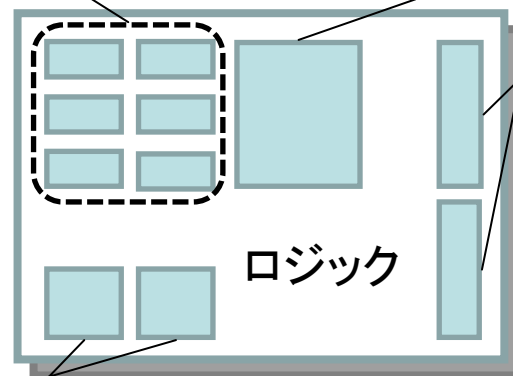
ロジック → スキャンテスト
SRAM/ROM → BIST

- ・設計/テストに対するケアがシンプル
- ・設計ツール(EDA)が立ち上がっている

現在の大規模LSI(SoC)

SRAM/ROM

デジタルIP



高速IO

アナログIP

昨今搭載が進んでいるIP/高速IOに対する
テスト/DFTは、IP/SoCにより様々

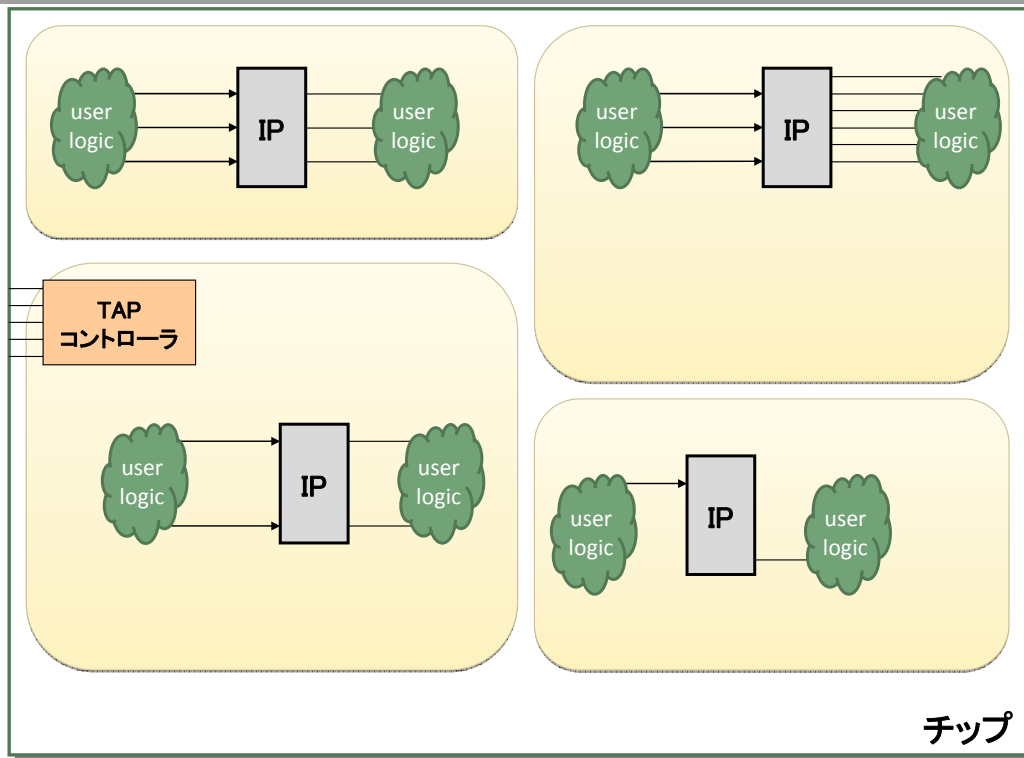
- ・設計/テストに対するケアが複雑
- ・設計ツール(EDA)の機能が不十分

7.STRJ独自活動 -DFT-(2)

複雑化するLSIのDFT(2)

◆搭載されるIP が急増

例) CPU, DSP, ADC, DAC, PLL, DDR, HDMI, SATA, USB, Ether ...



IPのテスト設計

IPの種類やチップ仕様(ピン数増等)でテスト設計を使い分け → 設計が複雑に

7.STRJ独自活動 -DFT-(3)

複雑化するLSIのDFT(3)

IPのテスト設計

IPの種類やチップ仕様(ピン数増等)でテスト設計を使い分け → 設計が複雑に

切り出し(全ピン)

切り出し(部分)

テスト
設計

TAP制御

BIST

設計期間短縮/設計ミス撲滅のために、IPのテスト設計のツール対応を検討

IEEE標準規格をベースとしたEDAツールの対応を検討開始

IEEE1500(Core Test) or
IEEE P1687 (IJTAG)

今後有識者やEDAベンダーへの
ヒヤリングの等を予定

8. まとめ

★2011年度活動

区分		活 動 内 容
国際活動	ITRS2011	・担当節/テーブルの改訂
	国際会議	・3回の国際会議に参加
国内活動	DFT-SWG	・複雑化するSoCのDFTの課題である「多数のIPをテストするためのテスト回路設計」に関する課題について検討
	ATE-SWG	・テスト課題の整理（テストコストモデル, 同測効率, スループット制約条件, 大電流, 熱, TSV等3Dのテスト）

★2012年度活動予定

ITRS活動(テーブルの見直し, 3Dデバイステスト検討など)を中心に品質とコストの両立を図るためのテスト技術について検討する

用語		説明
ATE	Automatic Test Equipment	大型テスト他テスト装置・システム全般の呼称
DFT	Design for Testability	テスト容易化を考慮した設計
ATPG	Automatic Test Pattern Generator	自動パターン生成
BOST	Built-Out Self-Test	テストの計測機能を補完する為にテスト・ボード上に搭載したもの
BIST	Built-In Self-Test	チップ内蔵の自己テスト
TAP	Test Access Port	IEEE標準規格1149.1及び関連規格で定められた、バウンダリスキャン(プリント基板上でLSI内部にアクセスする動作)のためのLSI入出力ピンの標準セット
IEEE	The Institute of Electrical and Electronics Engineers, Inc.	電子・電気技術に関する世界最大の学会で、技術の標準規格策定なども行う。本部は米国
SoC	System-on-a-Chip	複数の機能ブロックなどを一つのLSIに搭載してシステムを実現する設計手法
SiP	System-in-a-Package	複数のLSIを一つのパッケージに搭載してシステムを実現する設計・実装手法
DPM(O)	Defects per Million (Opportunities)	百万回(個)のうち、欠陥が含まれる割合。製品の品質を示す指標として用いられる
NoC	Network-on-a-Chip	IPブロックとその間のパケット通信構造を、一つのLSI上で実現する設計手法
IP	Intellectual Property	一般には知的財産の意。LSI設計では、ある機能を実現する回路部品の情報を意味する
DFx	Design for xxx	xxxを考慮した設計、DFTだけでなく、DFR (Design for Repair)、DFY (Design for Yield)なども含めた総称

用語		説明
構造化テスト		LSIの機能をテストするのではなく、LSIが設計通りの構造に出来上がっているかをテストする手法
スキャンテスト		ランダムロジックを対象とするDFTの代表的手法
ハンドラ		テスト時のチップの搬送、テストソケットへの装着、温度制御等を一貫して行う装置
プローブカード(Probe Card)		ウェーハ上のLSIを電気測定するための治具。髪の毛以下の太さの針(プローブ)の集合体
バーンイン		チップの初期劣化不良を検出するため熱・電圧ストレス等を長時間かける工程
アダプティブテスト(Adaptive Test)		テストデータの統計的解析を基に、上流・下流のテスト仕様を最適化する手法
同測テスト		複数のチップを同時にテストする手法、テストスループット向上によるコスト低減が可能
コンカレントテスト		チップ内の複数のコアおよび回路を並列にテストする手法
テストソケット		テスト時にLSIパッケージを挿入固定するための治具
トグル率		全クロック数におけるゲート出力の反転回数(トグル数)の割合
IR-Drop		配線の抵抗成分による電位降下のこと。半導体の特性で信号遅延などを起こす。
治工具		ソケットやプローブカード、インタフェースボード等、テスト時に必要な治具
同測効率		テストの同時処理効率 N 個同測のテスト時間を $T_0 + T_1 \times N$ とすると同測効率は $T_0 / (T_0 + T_1)$
高速IO		LSIが外部と高速にデータ送受信を行うための回路やインタフェース。USB,DDR,SATA等標準規格がある