

Front-End Processes (FEP) WG

新構造・新材料の導入によるFEP技術の革新

水島一郎(東芝)

内容

- STRJ FEPのメンバー、スコープ
- 今年度の活動
- FEPにおける新材料・新構造の必要性
- 新構造MOSFETと低電圧化
- 新材料の導入におけるFEP技術の革新
- まとめ

略号

HP: High Performance

LOP / LSTP: Low Operating Power / Low STandby Power

STI-CMP: Shallow Trench Isolation- Chemical Mechanical Polish

UTB-FDSOI: Ultra Thin Body – Fully Depleted Silicon On Insulator

MUGFET: MUlti-Gate Field Effect Transistor

SOTB: Silicon On Thin Buried oxide

DDC: Deeply Depleted Channel

SSR: Super Steep Retrograded

ML: MonoLayer

BOX: Buried OXied

ext: extension

LGP: Local Ground Plane

FPGA: Field Programmable Gate Array

VLS: Vapor-Liquid-Solid

SA-MOVPE: Selective Area MetalOrganic Vapor Phase Epitaxy

Tg: Growth Temperature

NW: NanoWire

SGT: Surrounding Gate Transistor

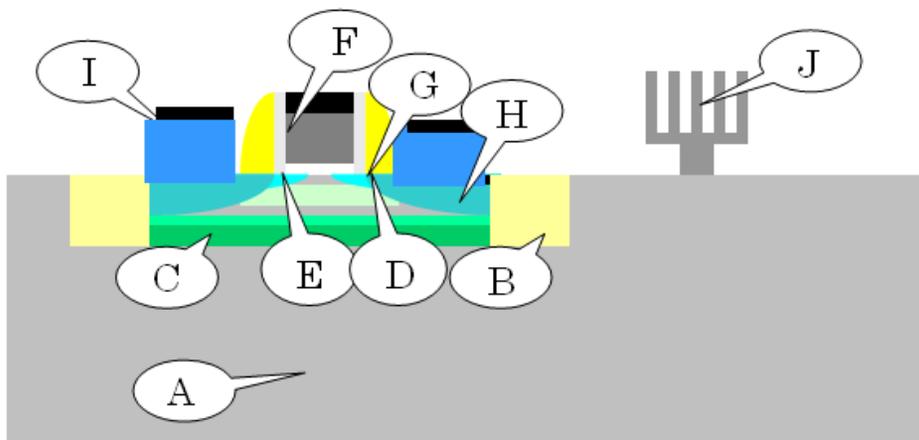
STRJ/FEP_WGメンバー

リーダー: 水島 一郎 (東芝)
サブリーダー: 奈良 安雄 (富士通セミコンダクター) *:国際対応
幹事: 羽根 正巳 (ルネサスエレクトロニクス)*
委員: 彦坂 幸信 (富士通セミコンダクター)
田井 香織 (ソニー)
永田 敏雄 (ローム)
郡 充秀 (ローム)

特別委員(大学): クロス ジェフリー(東京工業大学)

特別委員: 国井 泰夫 (日立国際電気):SEAJより
青木 英雄 (日立ハイテクノロジーズ):SEAJより
渡辺 正晴 (日本セミラボ)*:米国Start. Mat. WG
三木 克彦 (信越半導体):新金属協会より

F_{ront} E_{nd} P_{rocess} スコープ



- A: Starting Material
- B: Isolation
- C: Well Doping
- D: Channel Surface (Preparation)
- E: Channel Doping and Channel Strain
- F: Gate Stack (Including Flash) and Spacer
- G: Extension Junction and Halo
- H: Contacting Source/Drain Junction
- I: Elevated Junction and Contacts
- J: DRAM, Phase Change, and FeRAM Storage

ITRS2011構成(技術記載順)

DEVICE METRICS

Logic Devices [HP, LOP, LSTP]
 DRAM Devices
 Flash Devices
 PCM Devices
 FeRAM Devices

PROCESS METRICS

Starting Materials
 Surface Preparation
 Thermal/Thin Films/Doping
 Etch
 STI-CMP

FEP WG3活動 2012年度の活動方針

【国際活動】

1. ITRS2012updateに向けた議論。
2. FeRAMに関する調査、ITRS2012updateへの反映。
3. ウェーハ仕様、大口径化に関する調査、ITRS2012 updateへの反映。

【国内活動】

1. ウェーハ大口径化に関する継続調査。
2. 新チャンネルトランジスタ、FD SOI、MUGFET関連技術調査。
3. 新材料・新構造MOSFETに必要なFEP技術に関する調査。
4. 低電力化技術のためのFEP技術の調査

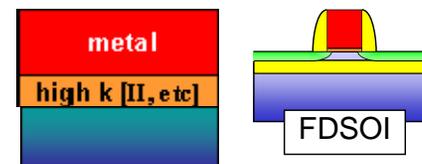
ITRS台湾會議 Public Conference資料より

New Structures and Materials for Transistors and Memory

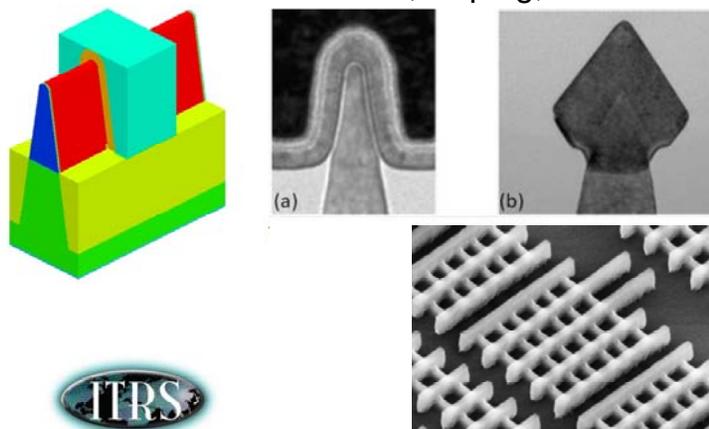
New High Mobility Channel Materials



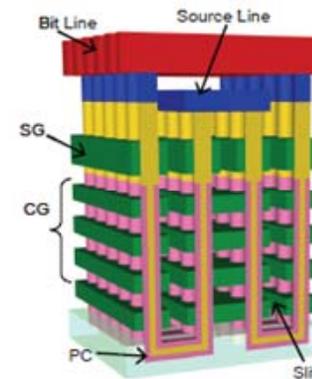
Next Generation Metal Gate/High-k Stacks



3D Devices - Formation, Doping, Stress



Advanced Memory



New Memory Materials
Phase Change Memory

Work in Progress - Do not Publish - FEP ITRS Winter Public Conference 2012, Taiwan

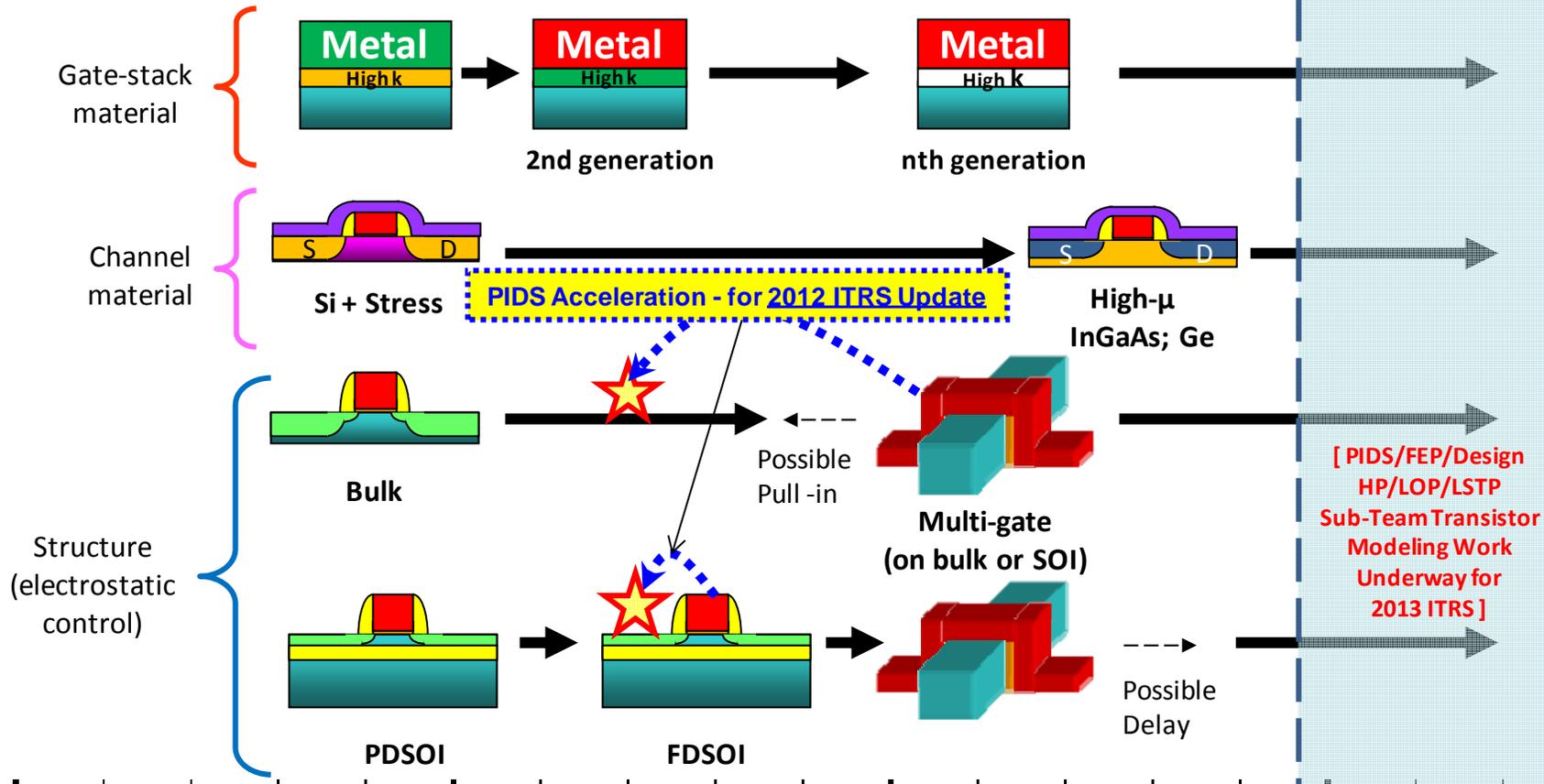
3

新構造・新材料の導入が、FEPにおけるメインピック

ITRS台湾會議 Public Conference資料より



2012 Update Note:
 Leadership company First Manufacturing could set more Aggressive first production target, since "fast followers" may trail 1-3 years



2011 ITWG Table Timing:	2007		2010		2013		2016		2019		2021		
2011 ITRS Flash Poly :	54nm	45nm	2009	32nm	22nm	2012	15nm	2015	11nm	2018	11nm	2021	22-24 8nm
2011 ITRS DRAM M1 :	68nm	45nm	2009	32nm	22nm	2012	15nm	2015	11nm	2018	11nm	2021	2024 8nm
MPU/hpASIC "Node":	"45nm"	"32nm"	"22/20nm"	"16/14nm"	"11/10nm"	"8/7nm"							
2011 ITRS MPU/hpASIC M1 :	76nm	65nm	54nm	45nm	38nm	32nm	27nm	19nm	13nm				
2011 ITRS hi-perf GLpr :	54nm	47nm	47nm	41nm	35nm	31nm	28nm	20nm	14nm				
2011 ITRS hi-perf GLph :	32nm	29nm	29nm	27nm	24nm	22nm	20nm	15nm	12nm				

Source: 2011 ITRS - Executive Summary Fig 5

Logic Deviceのロードマップ

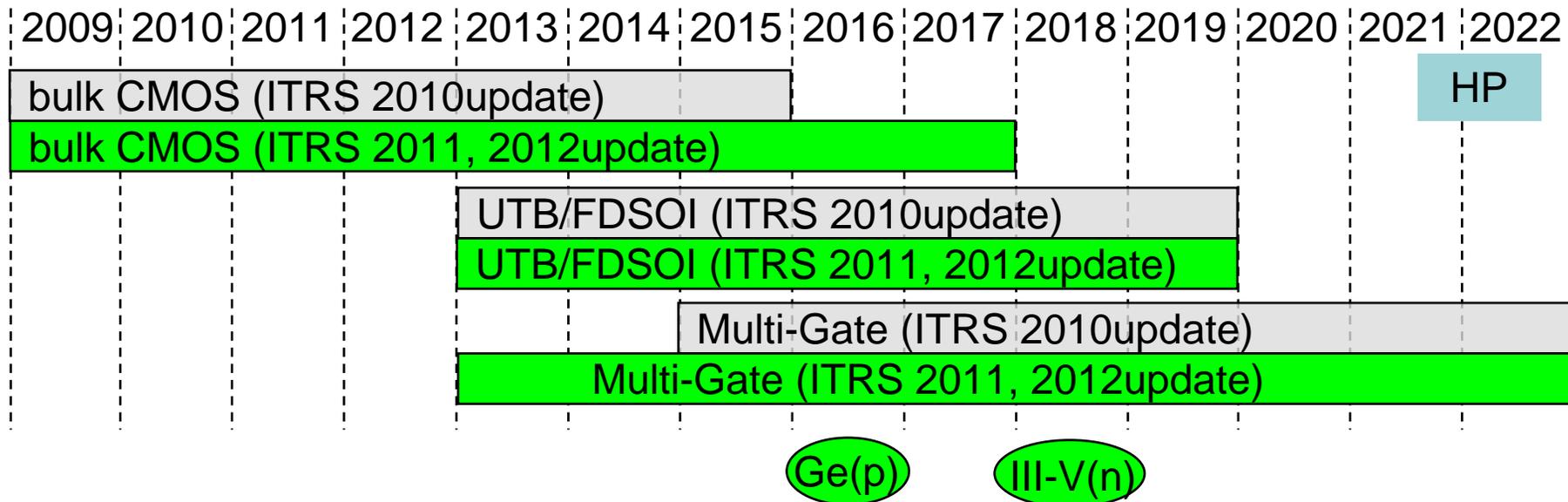
Bulk CMOS、UTB-FDSOI、Multi-Gateの平行パス

Bulk CMOSの延命

UTB/FDSOIの継続

Multi-gateの前倒し

高移動度チャネルの導入時期の明確化



ヒアリング(～2012年度)

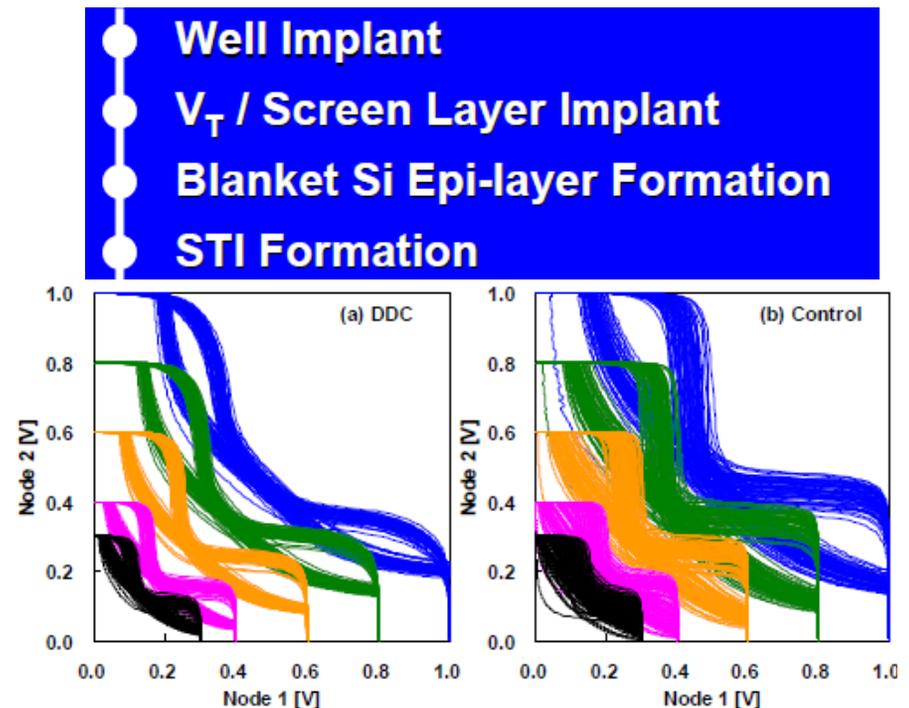
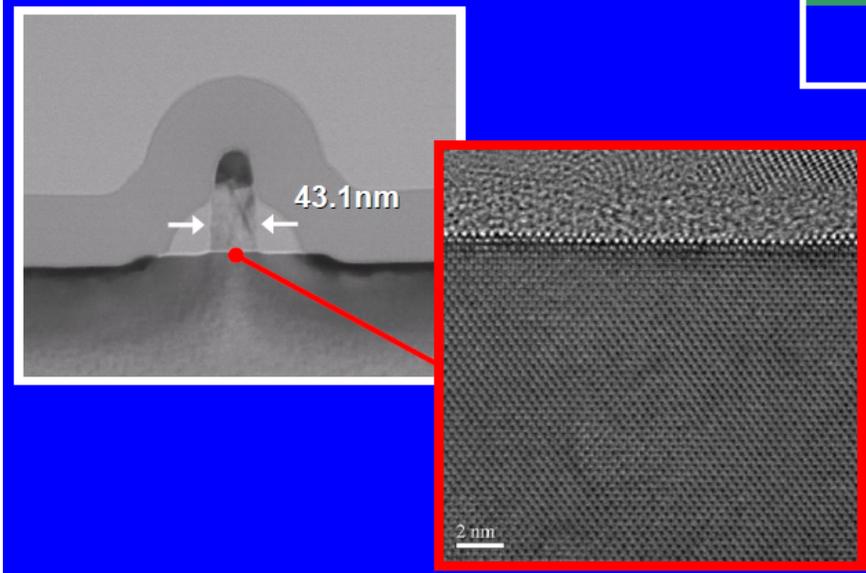
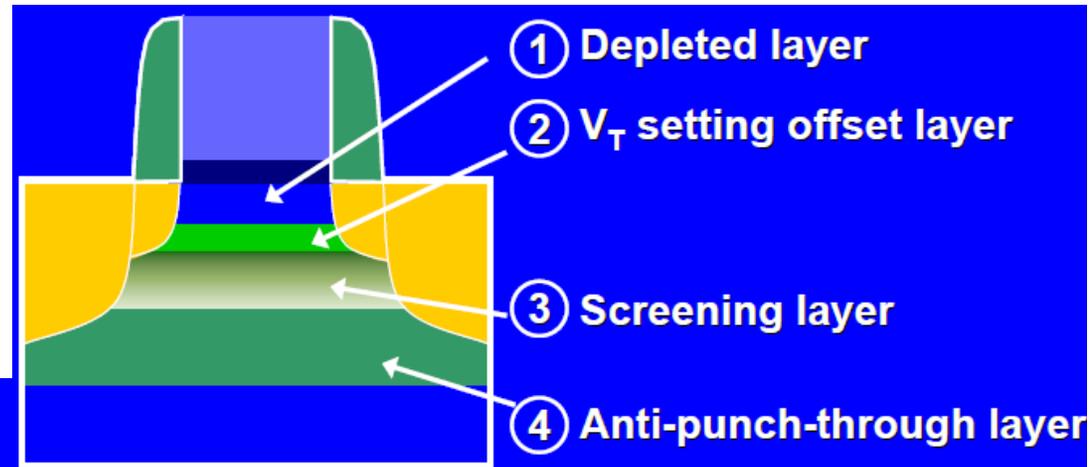
年月	講師	テーマ	分類
11年8月	沼田 敏典氏(東芝)	Si Nanowire Tri-Gate	Multi-Gate
11年12月	羽根委員	IEDM2011トピックス	
12年4月	藤田和司氏(富士通)	低電圧MOSFET技術	Bulk CMOS
12年7月	木下ERDリーダー	ERD/ERM 新機軸デバイスの状況	
12年8月	羽根委員 若林PIDSリーダー	Mears技術ヒアリング情報 VLSI2012トピックス	Bulk CMOS
12年10月	富岡 克広氏(北大)	Ⅲ V ナノワイヤチャネル	新材料
13年2月	杉井 信之氏(LEAP) 羽根委員	SOTB IEDM2012トピックス	FDSOI

Bulk MOSFETにおけるチャネル制御 (1)

Siエピ層を用いた低電圧MOS技術

DDC: Deeply Depleted Channel

富士通セミコンダクター
SuVoltaとの共同開発



V_{th} 分布の改善と、約0.4VでのSRAM動作を確認
Fujita, IEDM2011

DDCにおける低温プロセスの効果

Bulkウェーハでの低電圧MOSの実現を可能にするFEP技術:

STI形成前のブランケットエピ

選択エピで避けられないファセット等の形成を回避

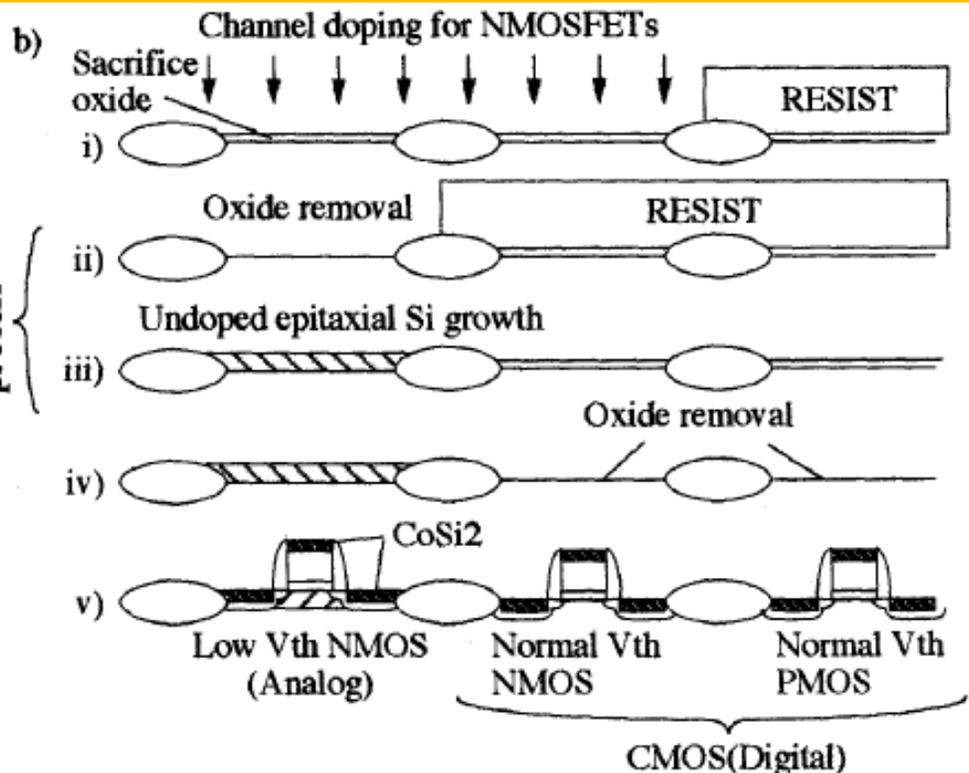
均一性: $1\sigma = 0.25\%$

STIの低温形成 (<900°C)

エピチャンネル 技術

- Isolation
- Sacrifice oxide formation
- Implantation
- Resist patterning
- HF treatment
- Resist removal
- Epitaxial growth
- Gate oxide
- Gate electrode formation
- S/D formation
- Co salicide
- Metalization

Additional process



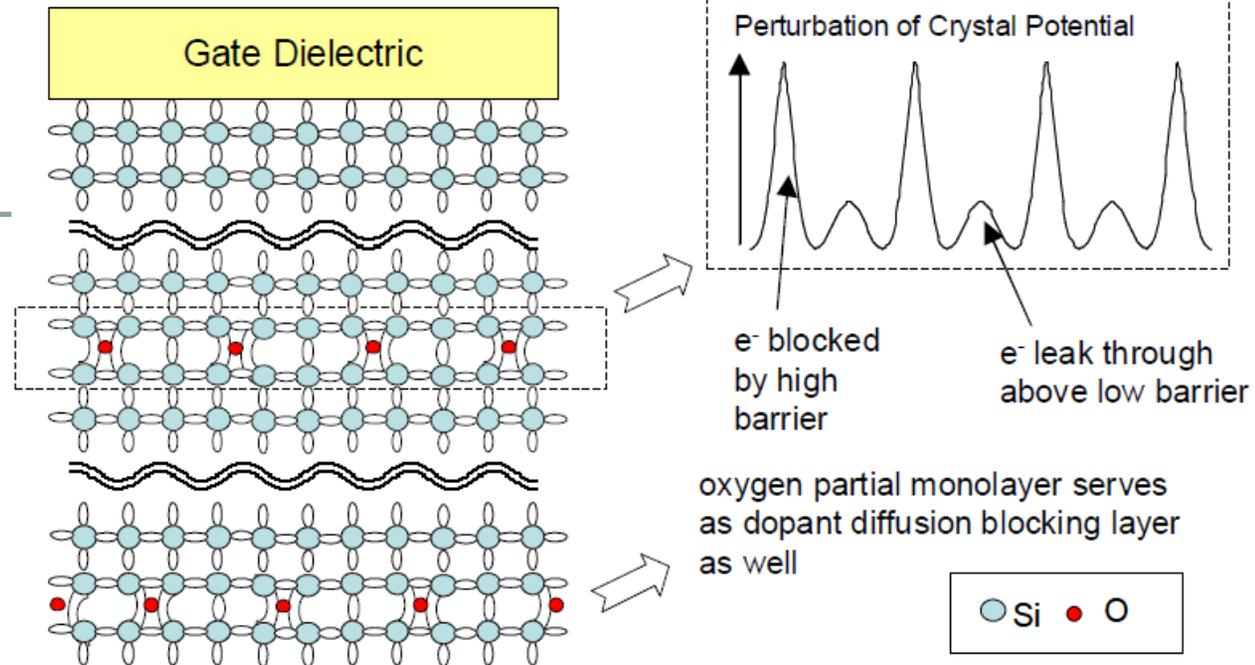
Ohguro, IEDM 1997

Bulk MOSFETにおけるチャネル制御 (2)

界面酸素添加層の形成

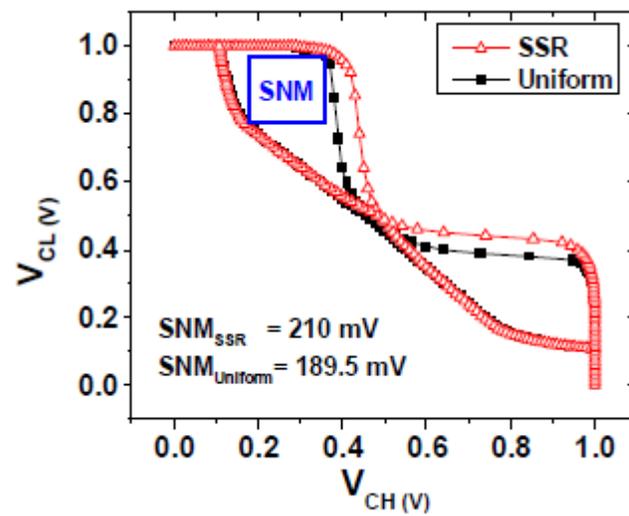
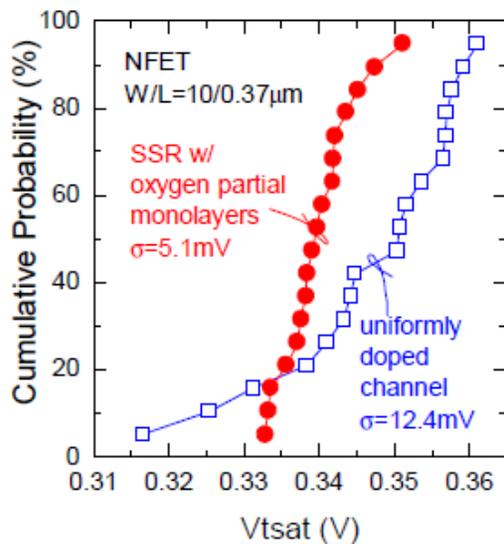
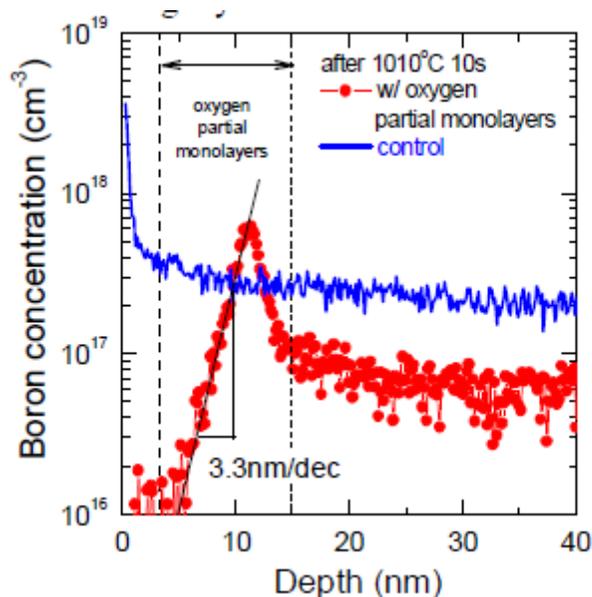
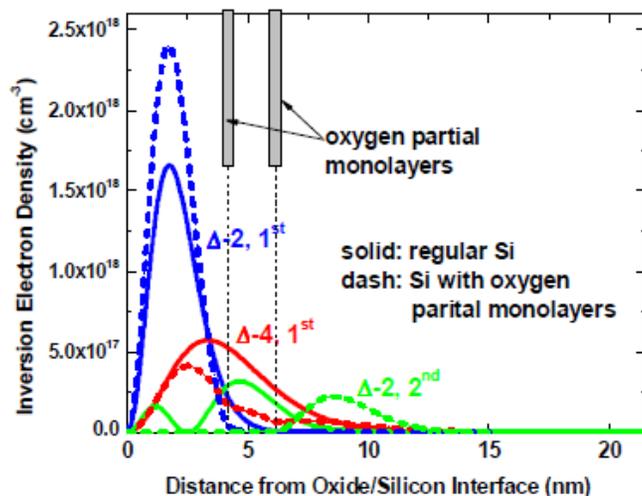
Insertion of Partial Monolayers of Oxygen in Si MOSFETs

<http://www.mearstechnologies.com/mst.html>



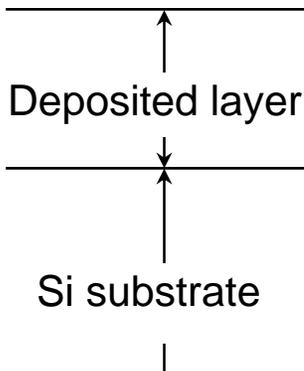
Mears, SNW 2012

界面酸素添加層の効果



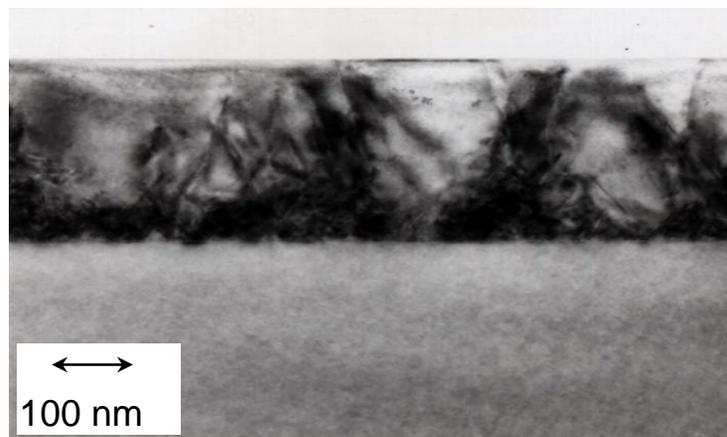
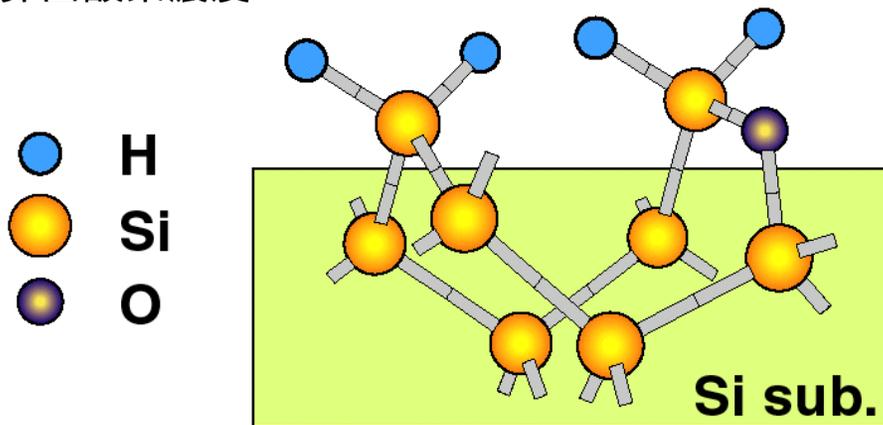
Bulkウェーハでの特性向上・ばらつきを抑止を実現

Siエピ層の結晶性の界面酸素濃度依存性



$3.3E14cm^{-2}$ (0.24ML)

$1.7E14cm^{-2}$ (0.12ML)
界面酸素濃度



$5.8E14cm^{-2}$ (0.42ML)

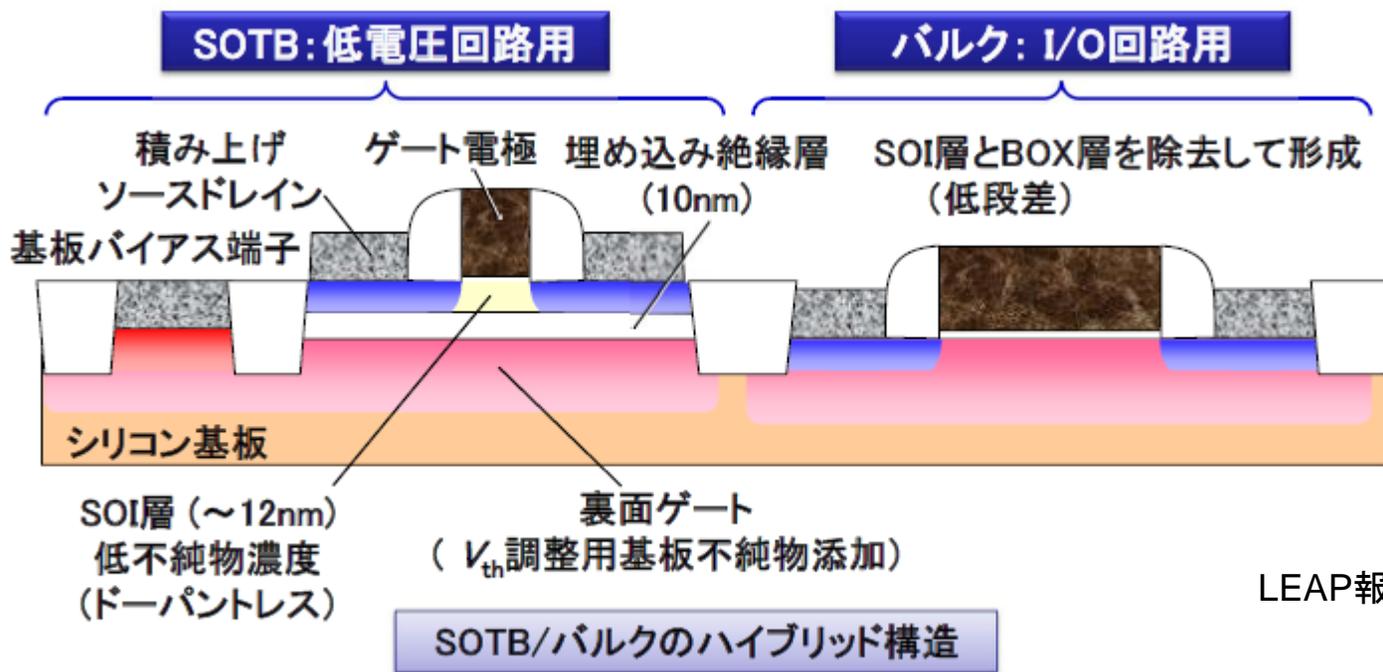
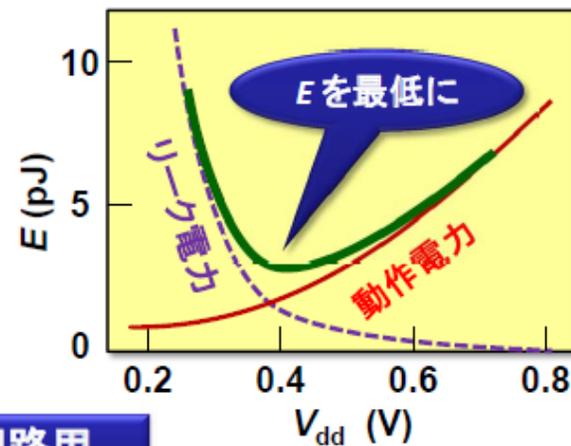
SSDM1999

界面に0.25ML程度の酸素が存在する場合、結晶欠陥なくSiのエピタキシャル成長が可能

SOTB (LEAP)

Thin BOXのSOIウェーハを用いて、UTSOIとBulk CMOSとFDSOIとを同一平面上に形成

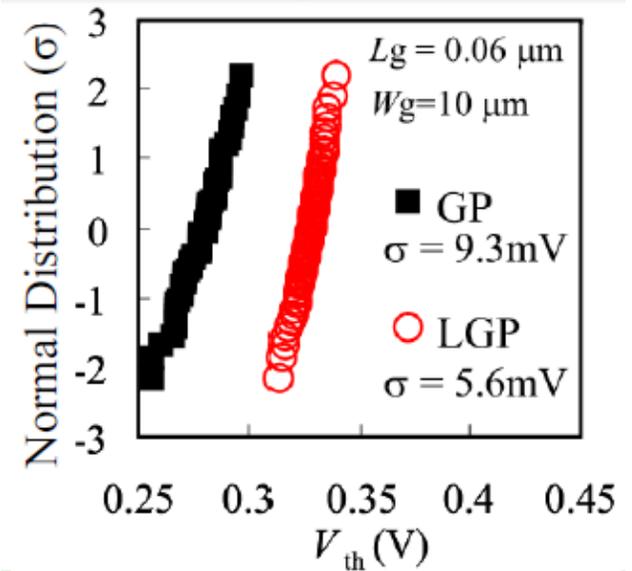
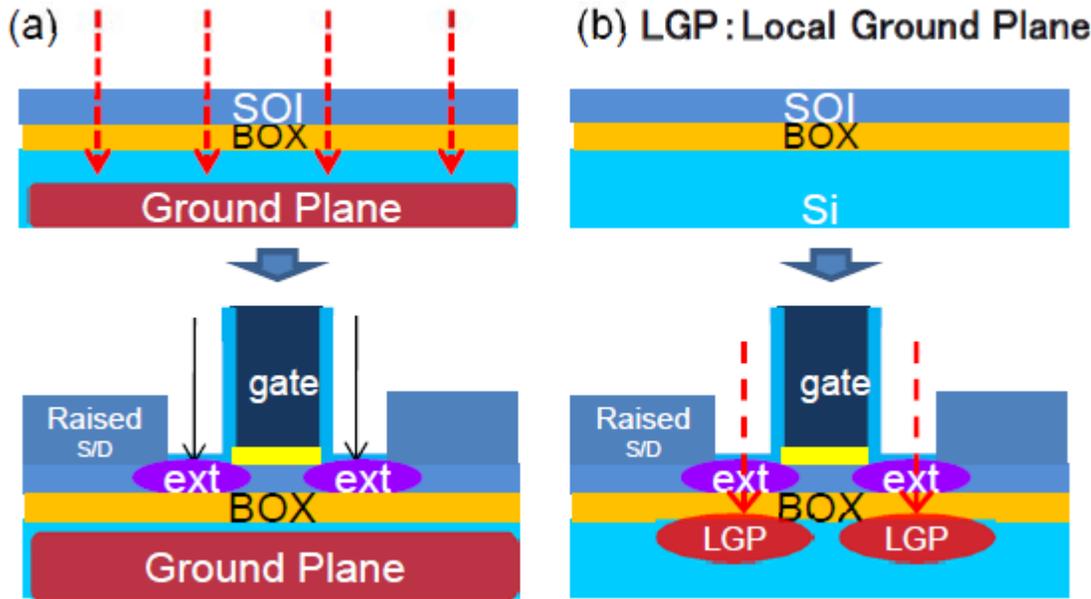
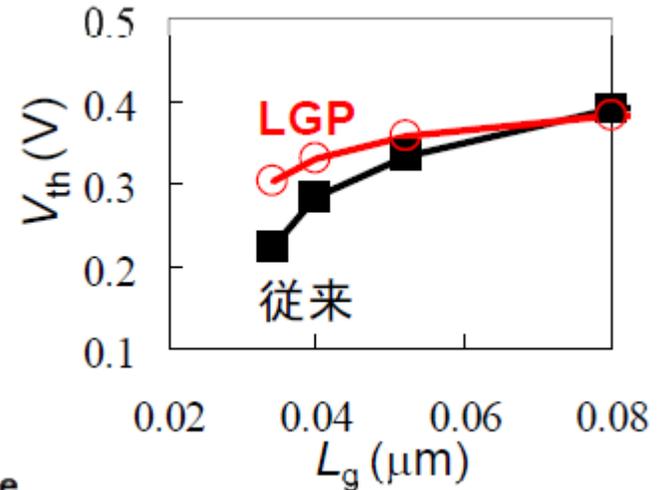
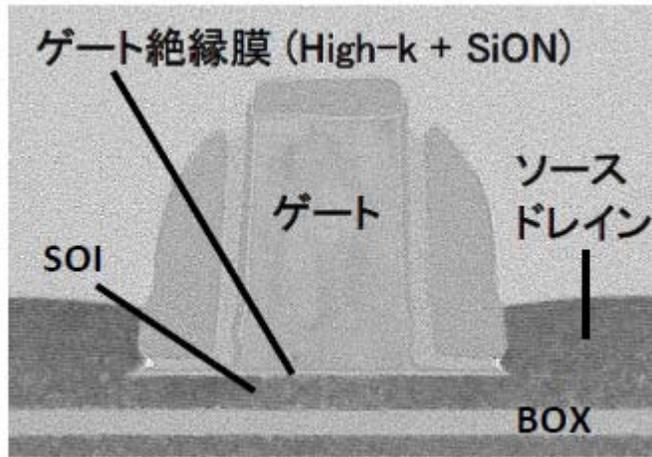
- ・ ~0.4V動作がエネルギー効率最大
- ・ SOI構造により、 V_{th} ばらつき小
- ・ 基板バイアスにより V_{th} 制御可能



LEAP報告会, 2012年12月

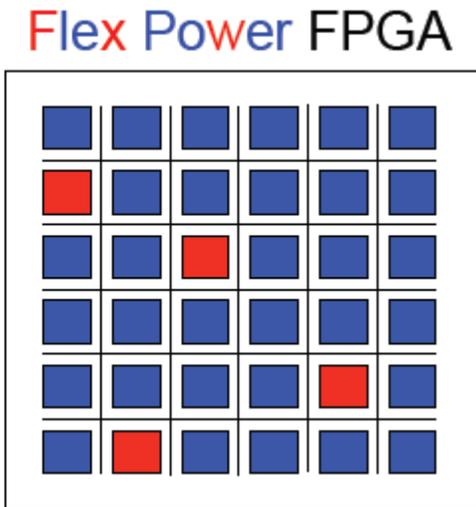
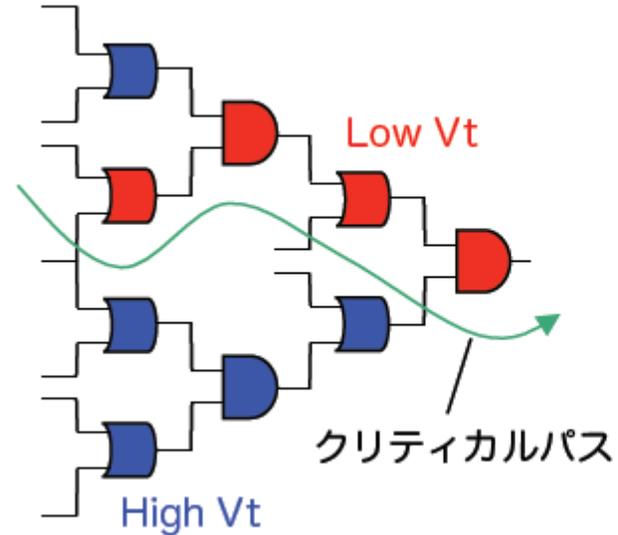
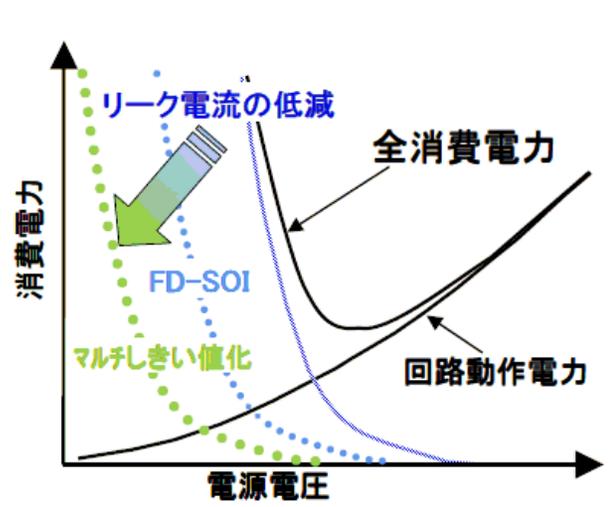
SOTB (Silicon on Thin Buried Oxide), SOI (Silicon On Insulator), BOX (Buried Oxide)

SOTBのばらつき低減 (LEAP)



Yamamoto, VLSI2012

SOTBの応用による超低消費電力化技術



クリティカルパスのみを低Vth化
⇒ 低Vth化によるリーク電流増加の問題を回路全体として回避

小池 電子情報通信学会誌, 2013年2月

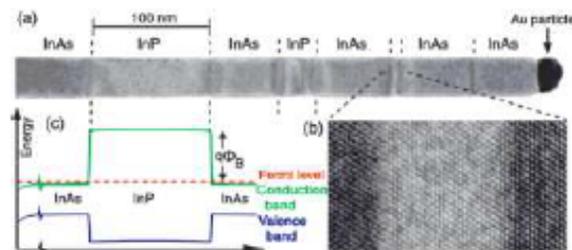
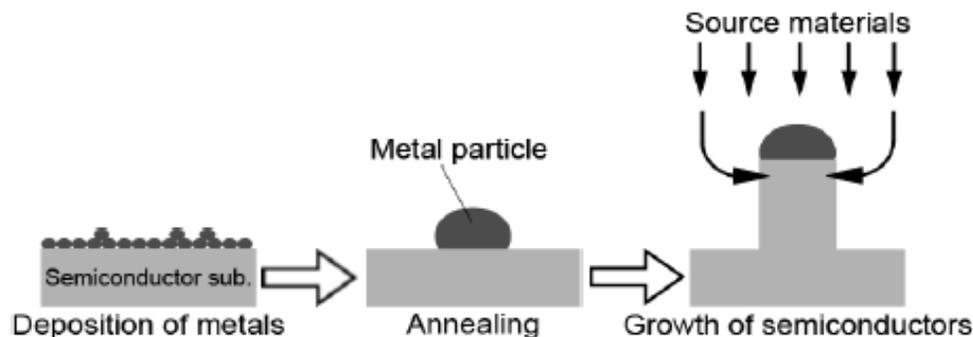
基板バイアスによるVth制御に適したSOTBで特にメリットあり。
⇒ 極薄のBOX層形成技術(65nmプロセスで、BOX層厚10nm)
⇒ 極薄BOX上の深いSTIを形成技術

ハイブリッド構造を有するFD-SOI形成のためのFEP技術が重要

III V ナノワイヤ集積技術 (北大)

半導体ナノワイヤ作製方法

Vapor-Liquid-Solid (VLS)成長: 触媒を利用

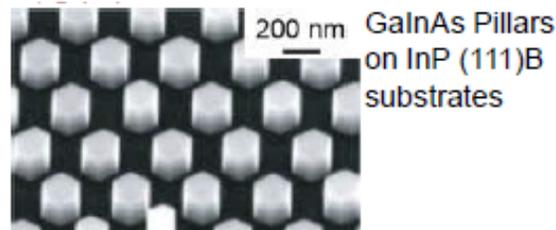
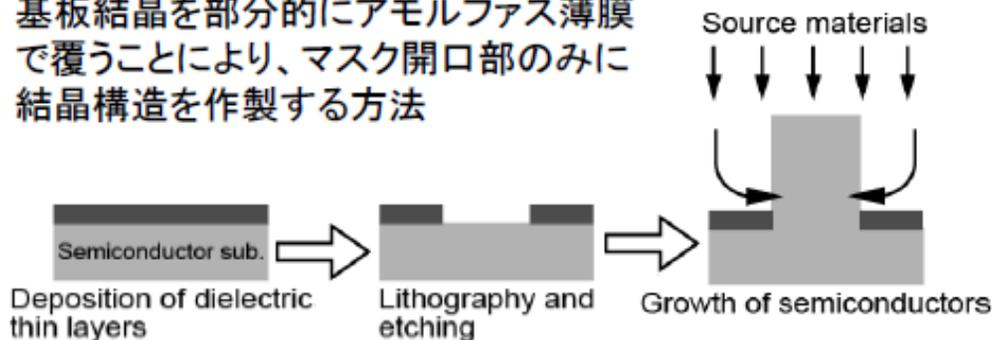


M. T. Björk *et al.*, *Nano Lett.*, 2, 87 (2002).

半導体ナノワイヤ超格子

MOVPE選択成長法(SA-MOVPE): 触媒をもちいない方法

基板結晶を部分的にアモルファス薄膜で覆うことにより、マスク開口部のみに結晶構造を作製する方法



M. Akabori *et al.*, *Nanotechnology*, 14, 1071 (2003).

位置制御された半導体ピラー構造

III V ナノワイヤの縦方向・横方向成長制御

Growth rates of GaAs surfaces

High T_g , low $p[AsH_3]$

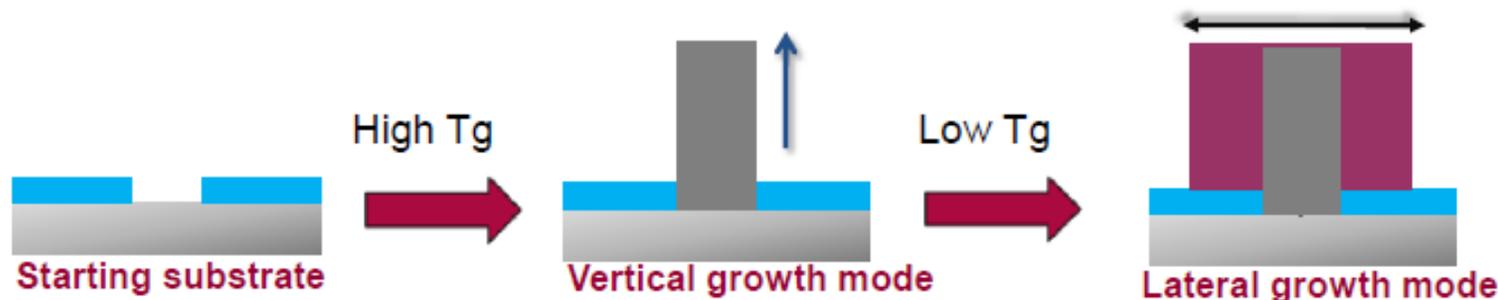
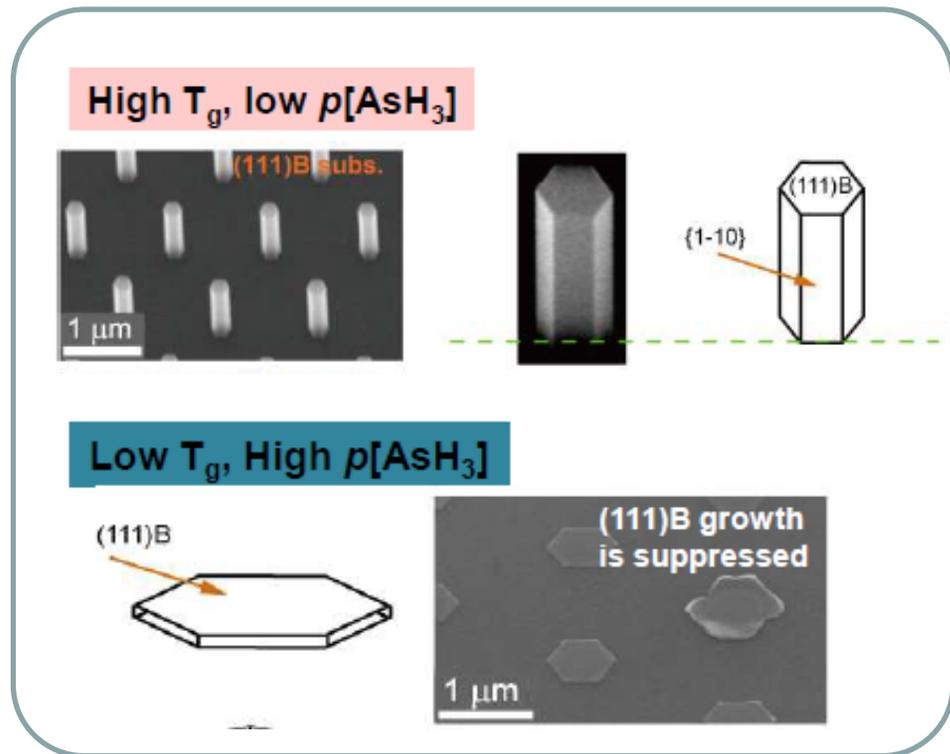
$(001) \gg (111)B > (111)A > (110)$

Low T_g , high $p[AsH_3]$

$(001) \gg (111)A > (110) > (111)B$

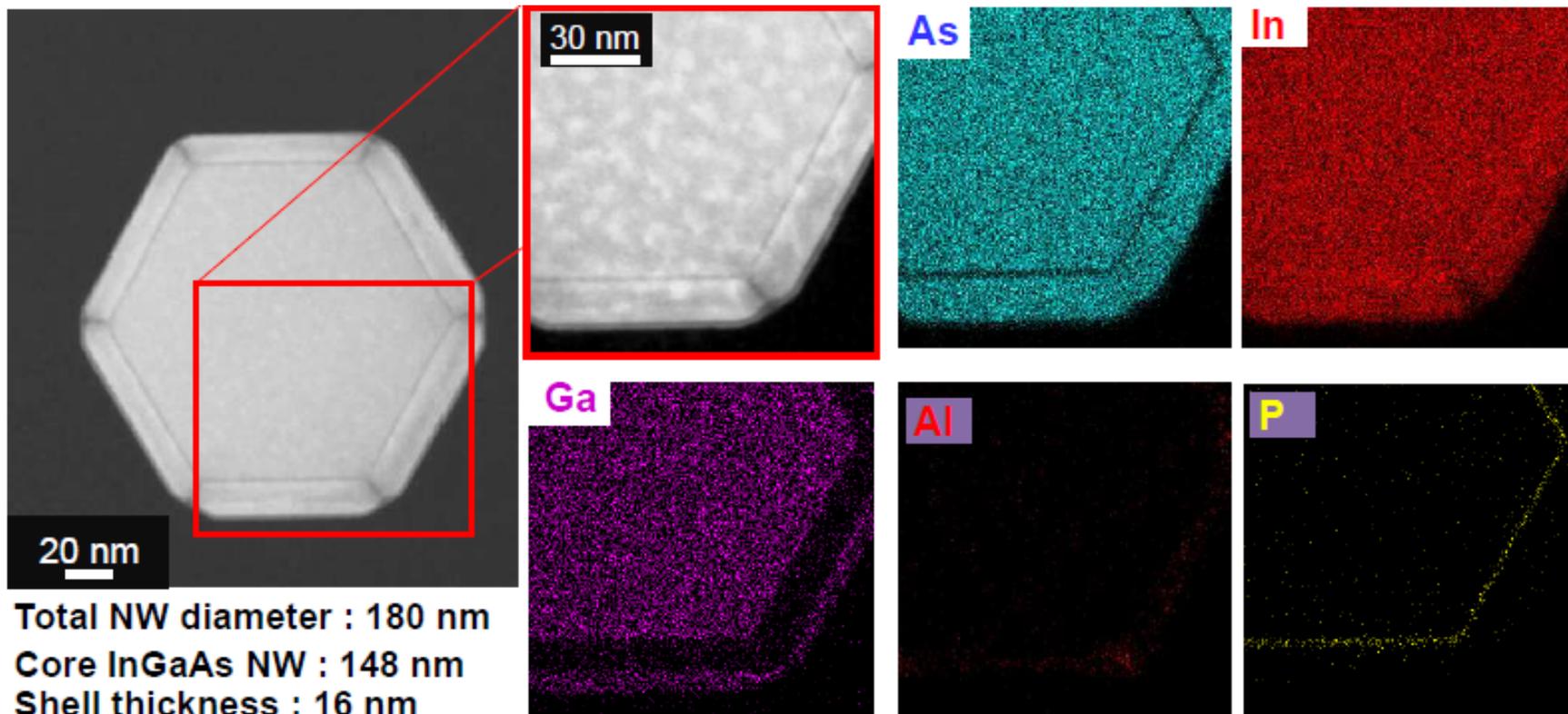
A面：III族原子が最表面に露出した表面

B面：V族原子が最表面に露出した表面



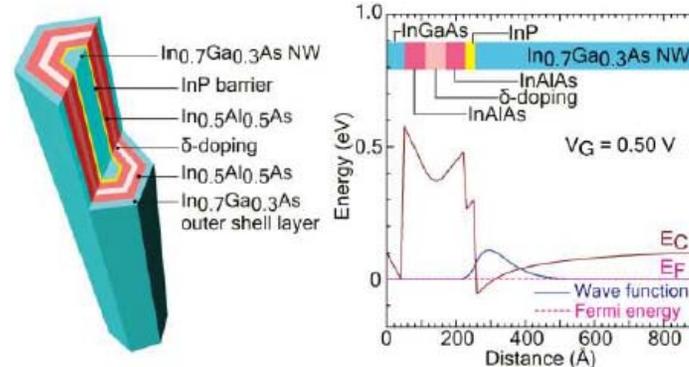
Tomioka, J.Mat.Res. 2011

マルチシェル構造のIII-V ナノワイヤ成長



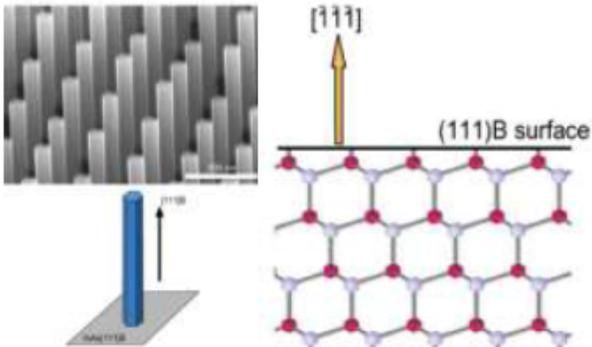
InGaAs側壁に二次元電子ガスを形成、SGTを作製。

Tomioka, Nature 2012

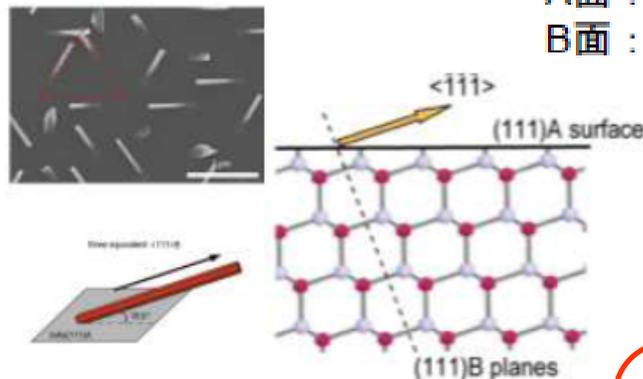


Si基板上ⅢVナノワイヤ成長の課題

III-V(111)B表面



III-V(111)A表面

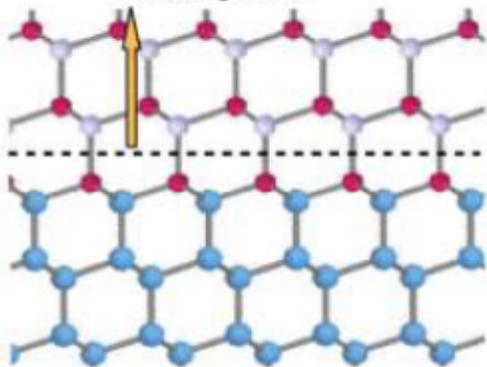


A面：Ⅲ族原子が最表面に露出した表面

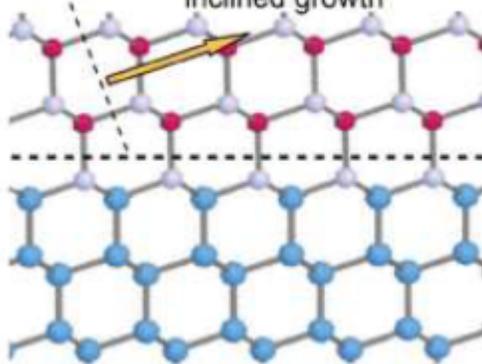
B面：Ⅴ族原子が最表面に露出した表面



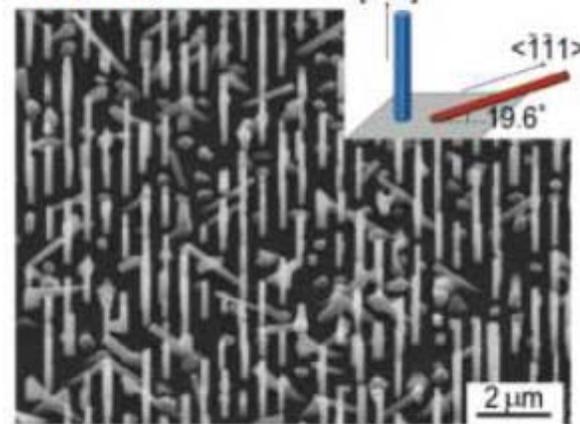
V-incorporated Si³⁺
vertical growth



III-incorporated Si³⁺
inclined growth



Si(111)表面

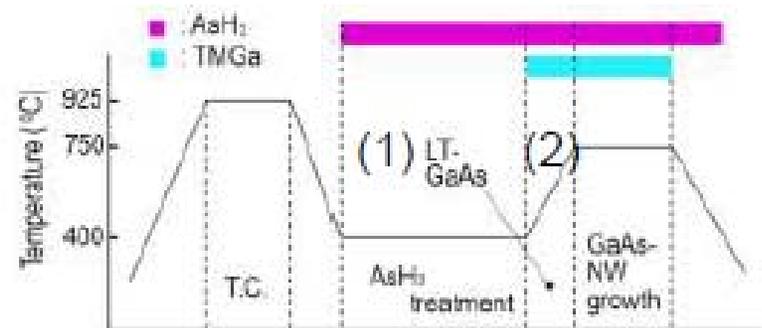


Si表面では、Ⅲ族、Ⅴ族の結合の仕方でもA、B両面が存在する

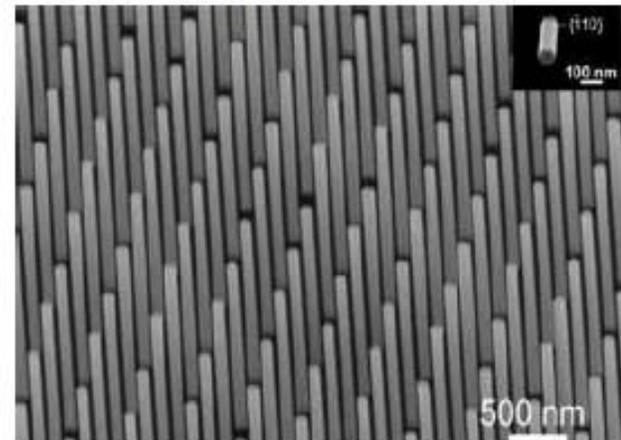
Si基板上III V ナノワイヤの成長制御

Si最表面の原子配列を、(111)B面にする。

- 1) 高温 (~900°C) 熱処理による自然酸化膜除去
↓
- 2) 低温 (~400°C) 熱処理による、(111)B面を形成しやすい表面状態への再配列
↓
- 3) AsH₃ 供給による(111)B面の形成



SEM image



Diameter : 75 nm, length : ~ 3 μ m

K. Tomioka *et al.*,

Nanotechnology **20** (2009)145302

まとめ

- 低消費電力化を中心とした、チャンネル形成技術、FDSOI技術、およびⅢVナノワイヤ技術の調査を実施
- FEP技術の進歩により、bulk CMOSのチャンネル制御による、ばらつきの低減と低電圧化を達成
- FDSOI構造で、基板バイアス制御の容易なSOTBを用いることにより、超低消費電力化を回路全体で実現
- ⅢV材料においては、材料の特性に立脚したプロセスにより、ナノワイヤ等の新構造デバイスの創成が可能

**既存構造の継続的進歩、新材料・新構造の実現による
breakthroughのために、FEP技術の革新が不可欠**

謝辞

技術調査に協力いただいた、

藤田 和司さん（富士通セミコンダクター）

富岡 克広さん（北大）

杉井 信之さん（LEAP）

に感謝いたします。