

ITRS 2013年版の概要と ITRSの編集方針

JEITA半導体技術ロードマップ委員会 (STRJ) 委員長

石内 秀美

((株) 東芝)

本講演は、ITRSでまとめた技術ロードマップについて説明したもので、ITRS参加企業・団体、JEITA
会員企業の個別の製品や技術開発の方向について説明したものではありません。

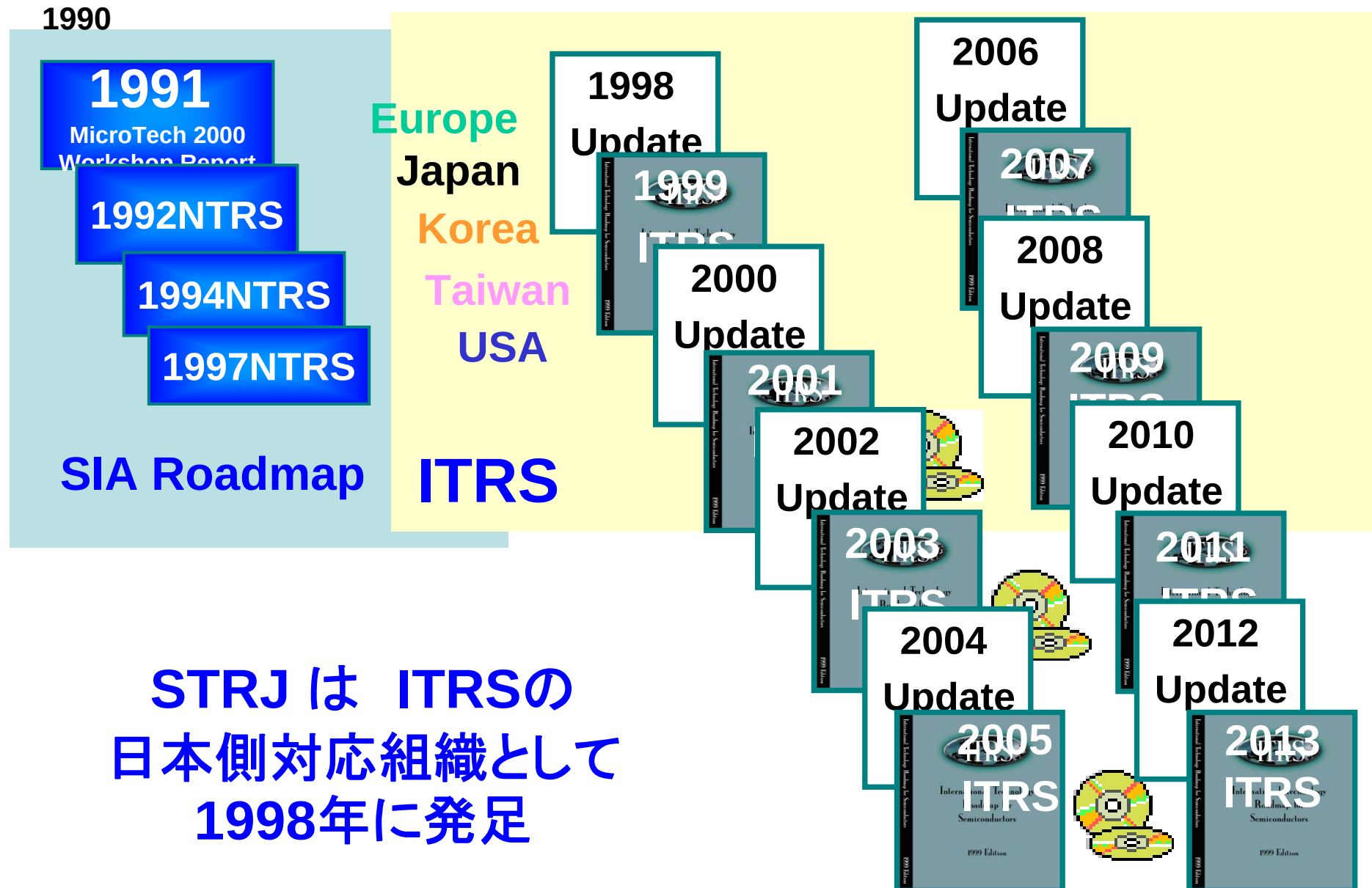
主要略語一覧 (Glossary)

- ERD: Emerging Research Devices 新探究デバイス (ITRSの章の名前でもある)
- ERM: Emerging Research Materials 新探究材料 (ITRSの章の名前でもある)
- FEP: Front End Process シリコンウェーハ工程の前半部 (ITRSの章の名前でもある)
- High-k: 高誘電率(比誘電率の記号としてkを使うことから)絶縁膜。MOSFET用のゲート絶縁膜
- ITRS: International Technology Roadmap for Semiconductors 国際半導体技術ロードマップ
- ITWG: International Technology Working Group (ITRSの技術ワーキンググループ)
- JEITA: 社団法人 電子情報技術産業協会 (Japan Electronics and Information Technology Industries Association)
- M1: Metal-1 最下層(第1)の金属配線層
- MPU: Micro Processor Unit マイクロプロセッサ
- NTRS: National Technology Roadmap for Semiconductors 米国のSIAが編集した半導体技術ロードマップ
- ORTC: Overall Roadmap Technology Characteristics (ITRSのExecutive Summaryの中で全体的技術トレンドが書かれている節の名前)
- PIDS: Process Integration, Devices and Structures (ITRSの章の名前)
- SIA: Semiconductor Industry Association 米国半導体工業会
- STRJ: Semiconductor Technology Roadmap committee of Japan 半導体技術ロードマップ専門委員会。JEITA半導体部会 半導体技術委員会 の専門委員会

内容

- ITRSの歴史と基本的な編集方針
- ITRS 2013年版の概要
 - 微細化トレンド
 - MOSTランジスタ
 - ITRSの章構成
 - ハーフピッチの定義と生産開始年
 - More MooreとMore than Moore、さらにBeyond CMOS
 - 直径450mm の シリコンウェーハ
- ITRSの編集プロセスの変更
- ITRSとSTRJのウェブサイトの紹介

STRJ, ITRSの歴史と現状



ITRS編集の基本的考え方

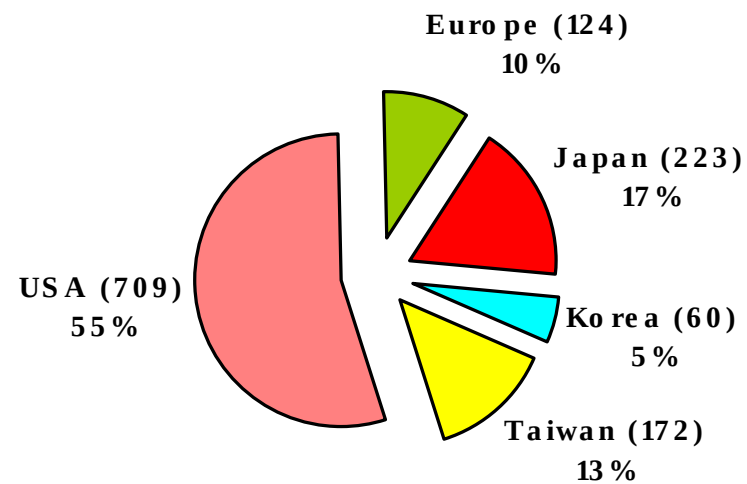
- ムーアの法則
 - 1チップ当たりの素子数(トランジスタ数)は1.5年から2年ごとに2倍になる
- ムーアの法則を維持するために何が必要か
 - 重要な技術課題を選定
 - それぞれの技術課題ごとに定量的な表を作成
 - 表を毎年更新
- More than Moore(多様化)と beyond CMOS
- ITRSが与えた影響
 - 半導体業界(チップメーカ、装置メーカ、材料メーカ)、大学や公的研究機関、行政機関が技術のペースメーカーとして利用。

ITRSの委員(地域別・所属別)

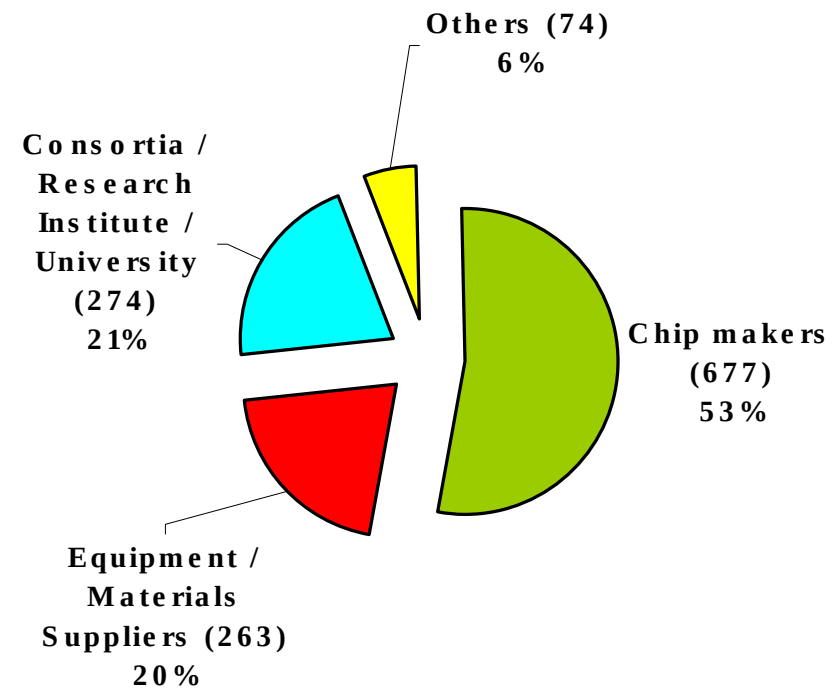


出典: ITRS 2005

2005 ITRS Members by Region



2005 ITRS Members by Affiliation



ITRS 2013年版の改訂の概要(1)

- Logic LSI と MPU(マイクロプロセッサ)の微細化トレンド
(最終版ではこれと異なる可能性があります)
- 通称のロジックノードとITRS定義のMx(金属配線層)ハーフピッチ

年 (西暦)	2013	15	17	19	21	23	25	27口
ジックノード(nm)	16/14	10	7	5	4	2.5	1.8	
	1.3							
Mx ハーフピッチ(nm)	40	32	25	20	16	13	10	8

- MPUのMxは3年で0.7倍の微細化が進む
- SRAMセルと2入力NANDゲートの専有面積は、Mxハーフピッチをfとしたとき、それぞれ $60f^2$ と $155f^2$
- FinFET(フィン型トランジスタ)のゲートの目標ハーフピッチは $0.75f$

ITRS 2013年版の改訂の概要(2)

- Logic LSIとMPU(マイクロプロセッサ)の微細化トレンド(続き)
(最終版ではこれと異なる可能性があります)
 - 2022年にMx(金属配線層)ハーフピッチは14nmに到達
 - この年以降、Cu(銅)に代わる配線材料が必要
 - 14 nmのパターン形成にはEUVリソグラフィーとダブルパターンニングの組み合わせが必要
 - ロジックの微細化トレンドはITRS 2011/2012年版と比べ、約3.5年遅れ
 - パターン寸法はNANDフラッシュに比べると、なお大きい。

ITRS 2013年版の改訂の概要(3)

● メモリの微細化トレンド

(最終版ではこれと異なる可能性があります)

- DRAMとNANDフラッシュメモリ(2次元メモリセル)の
ハーフピッチの微細化トレンド

年 (西暦)	2013	15	17	19	21	23	25	28
DRAM(nm)	28	24	20	17	14	12	10	7.7
フラッシュ(nm)	18	15	13	12	12	12	12	12

● DRAMの微細化トレンド

- 2013年以降、4年で0.7倍の微細化(従来は3年で0.7倍)
- $4f^2$ 型のメモリセルの導入は2016年に後ろ倒し(従来は2014年)
- PC用のメモリとしては、従来ほど大容量を要求されなくなっている
- セルキャパシタの静電容量の確保が微細化とともに困難になってきた

ITRS 2013年版の改訂の概要(4)

● NANDフラッシュメモリの微細化トレンド

(最終版ではこれと異なる可能性があります)

- 微細化トレンドは従来の版と同じ
- ハーフピッチの微細化限界は 12nmで、以後の微細化が止まる
- NANDフラッシュメモリは、集積回路の中で、最も微細なパターンを使用
- 2次元のメモリセルの微細化と並行して、3次元メモリセルが開発される
- 2013年には、以下のような3次元メモリの発表がなされた
 - 24層の積層
 - 1チップあたり、128 G bits の集積化
- ITRSでは2次元と3次元の両方について、微細化トレンドを記述

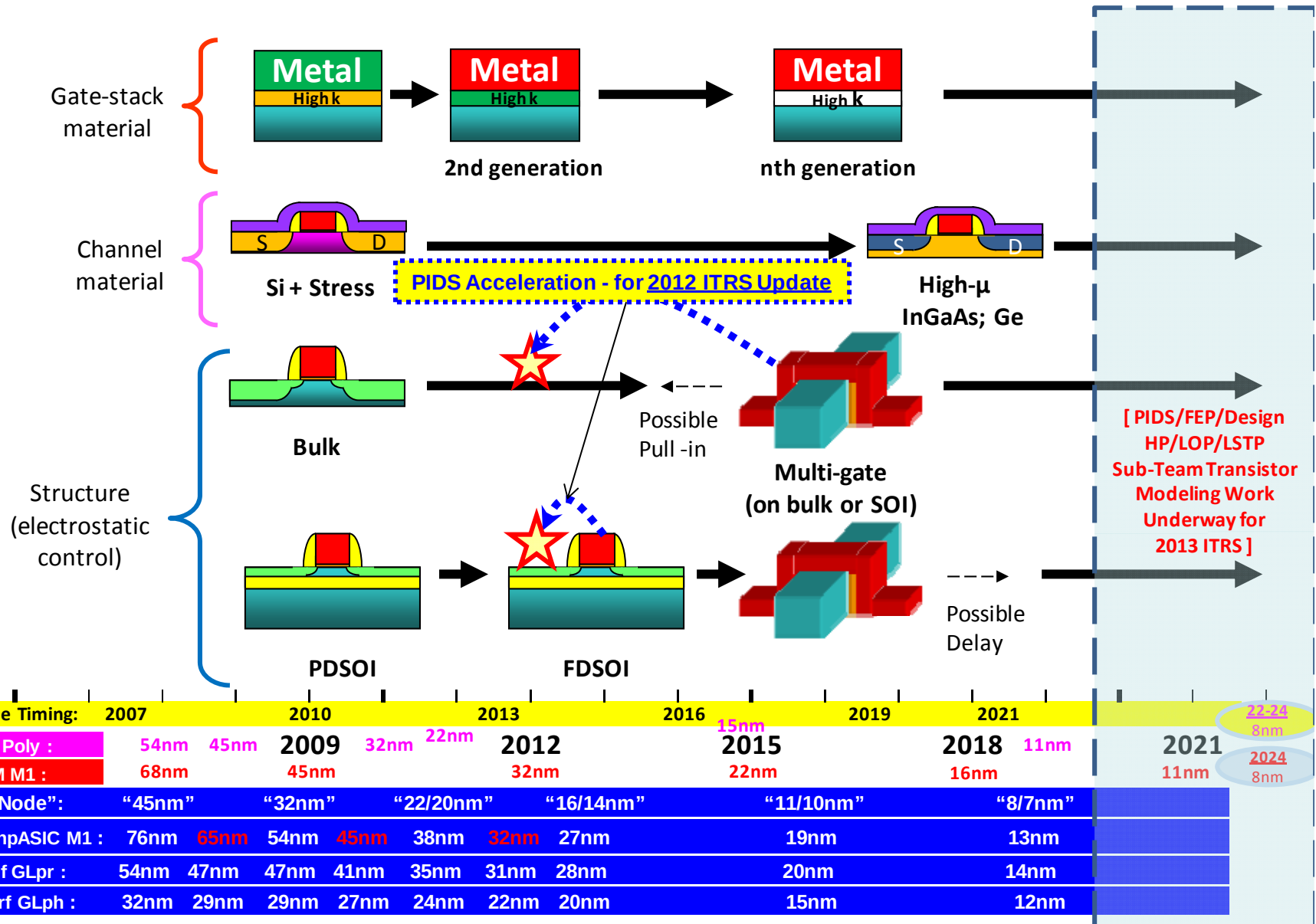
ITRS 2013年版の改訂の概要(5)

- Logic LSI と MPU用のMOSTランジスタのモデルについて
(最終版ではこれと異なる可能性があります)
 - Purdue大学と共同でMOSFETのモデリングとシミュレーションを行う
 - MOSFETの構造: Bulk(バルクSi基板上の平面型MOSFET構造)、
FDSOI (SOIウェーハ上の完全空乏型MOSFET)、
MugFET (FinFETに代表される3次元構造の多重ゲートMOSFET)
 - MOSFETのチャンネル部の材料: 歪Si、III V 族の半導体
 - 高誘電率ゲート絶縁膜(HK)と金属ゲート電極(MG)

MOSTランジスタの構造



2012 Update Note:
Leadership company First Manufacturing could set more Aggressive first production target, since "fast followers" may trail 1-3 years



Source: 2011 ITRS - Executive Summary Fig 5

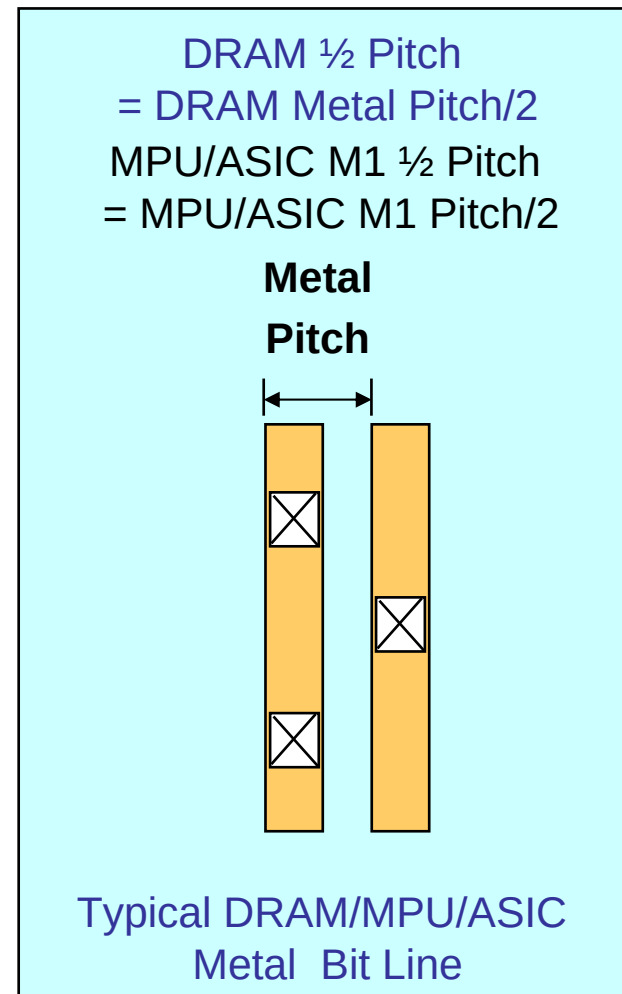
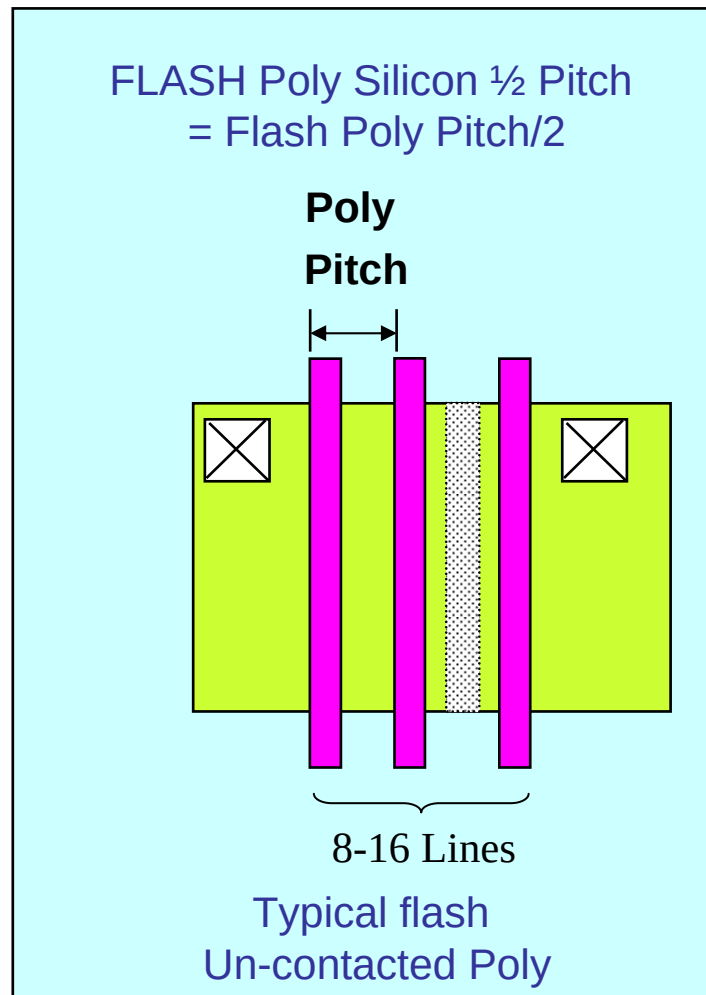
Work in Progress - Do not publish

ITRS 2013年版の章構成(予定)



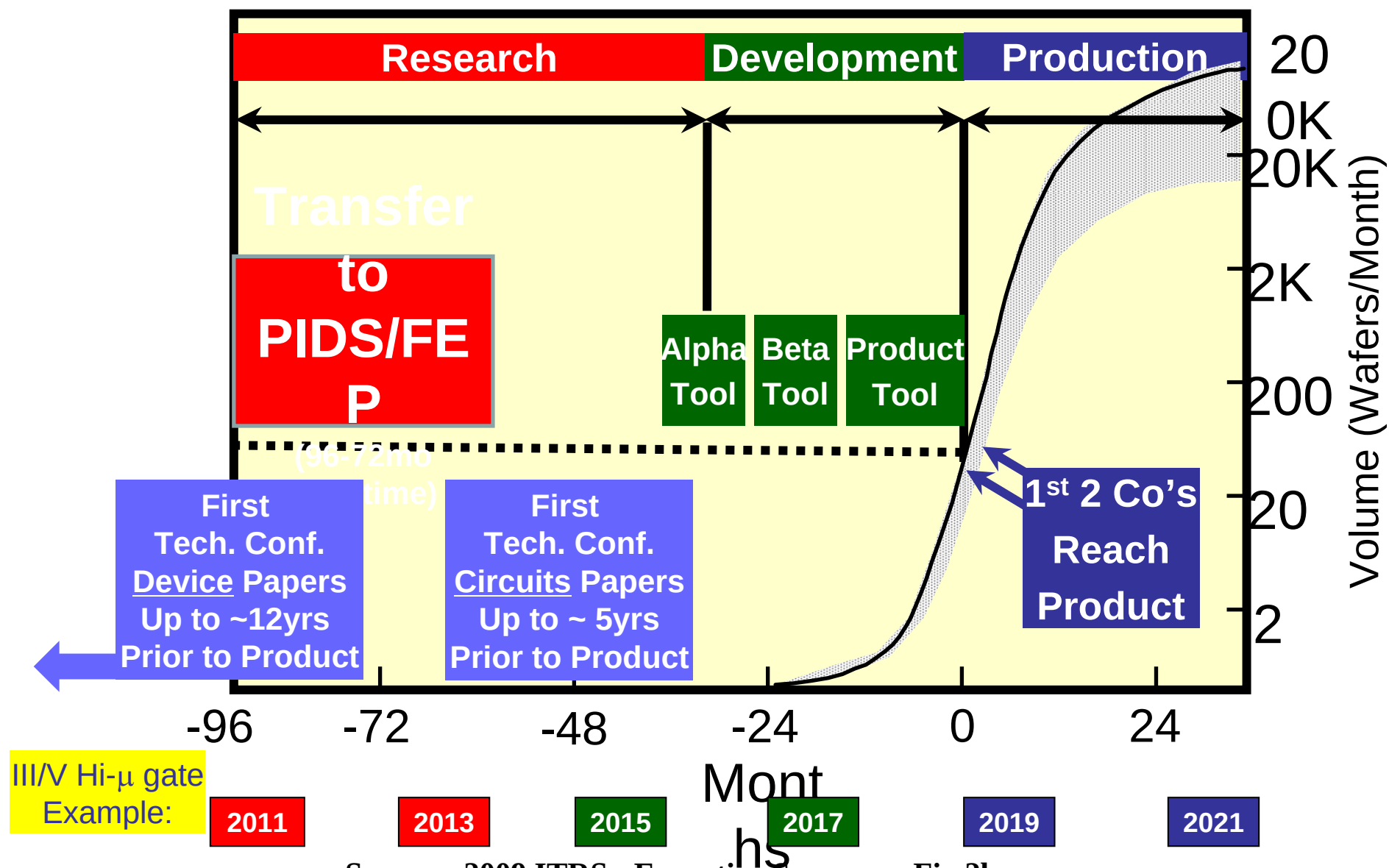
1. Executive Summary
2. System Drivers
3. Design
4. Test & Test Equipment
5. Process Integration, Devices & Structures
6. RF and A/MS Technologies
7. Emerging Research Devices
8. Emerging Research Materials
9. Front End Processes
10. Lithography
11. Interconnect
12. Factory Integration
13. Assembly & Packaging
14. Environment, Safety & Health
15. Yield Enhancement
16. Metrology
17. Modeling & Simulation
18. MEMS

Half Pitchの定義



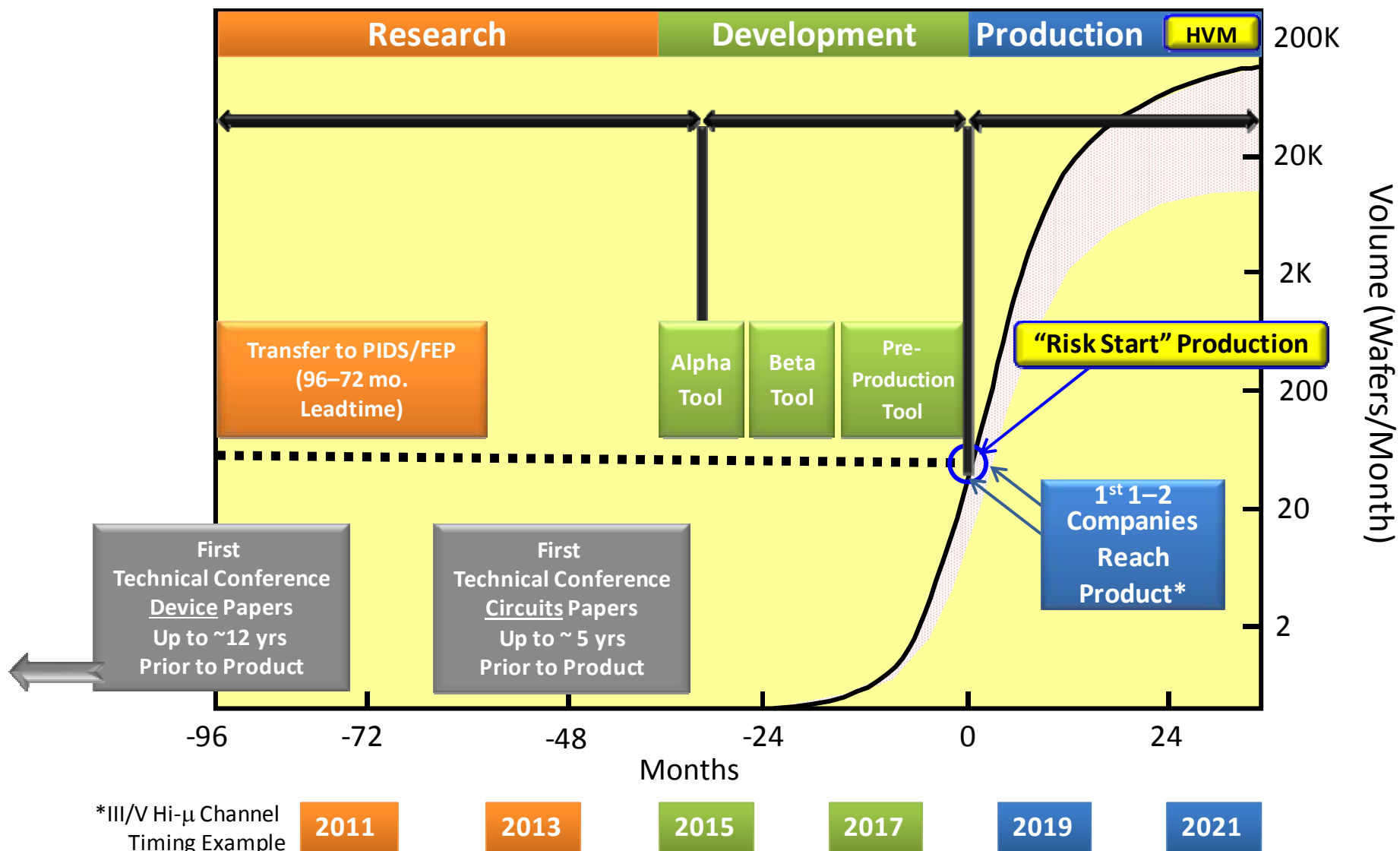
Source: 2005 ITRS - Exec. Summary Fig 2

生産開始年の定義（最初の2社の量産開始時期：2011年版以前）



Source: 2009 ITRS - Executive Summary Fig 2b

生産開始年の定義（最初の1社の量産開始時期へ）



High Volume Manufacturing (HVM)

Source: ITRS 2012 Update - Overview Fig. 1b

Work in Progress - Do not publish

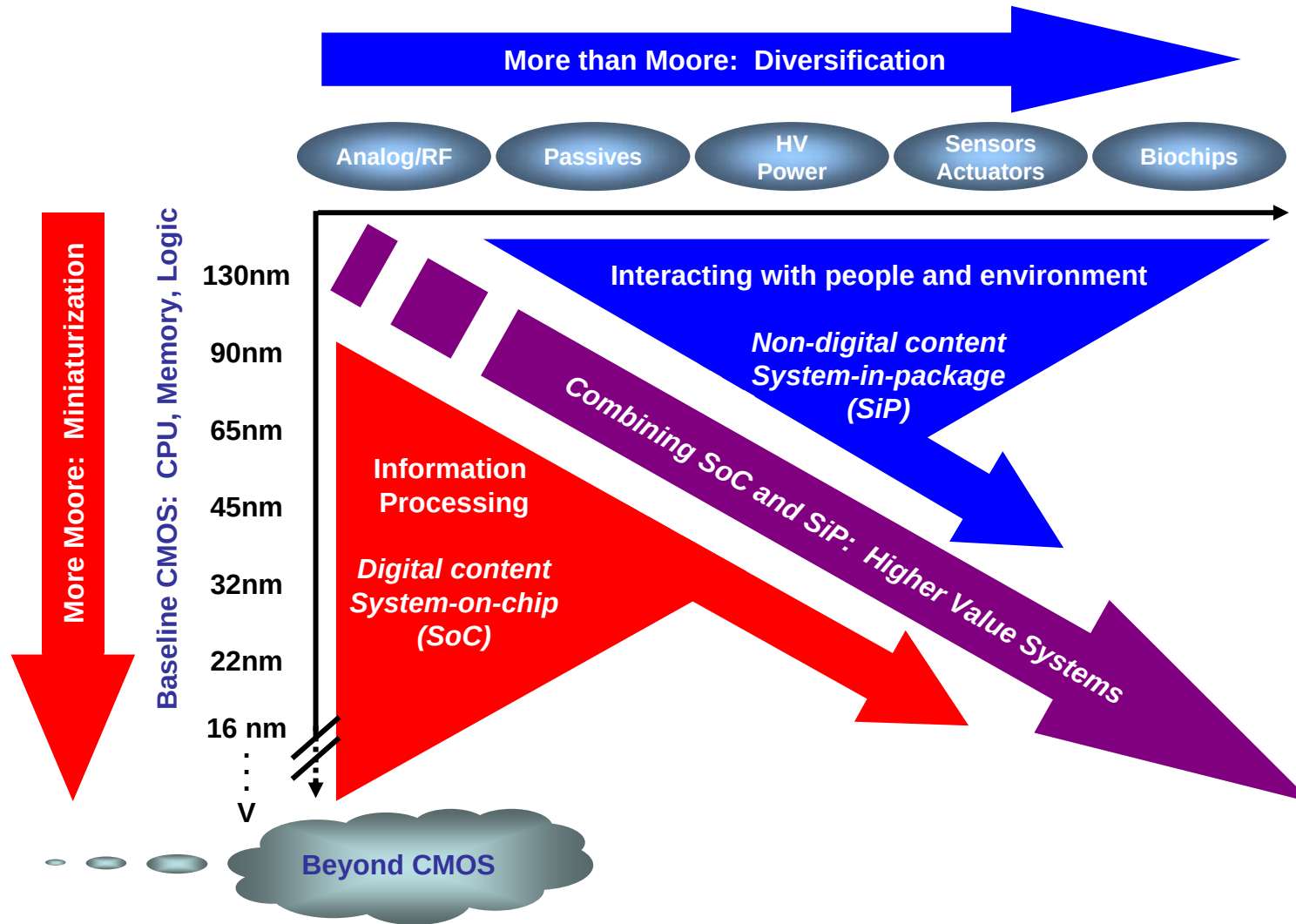
STRJ WS: March 7, 2014, IRC 16

More Moore と More than Moore

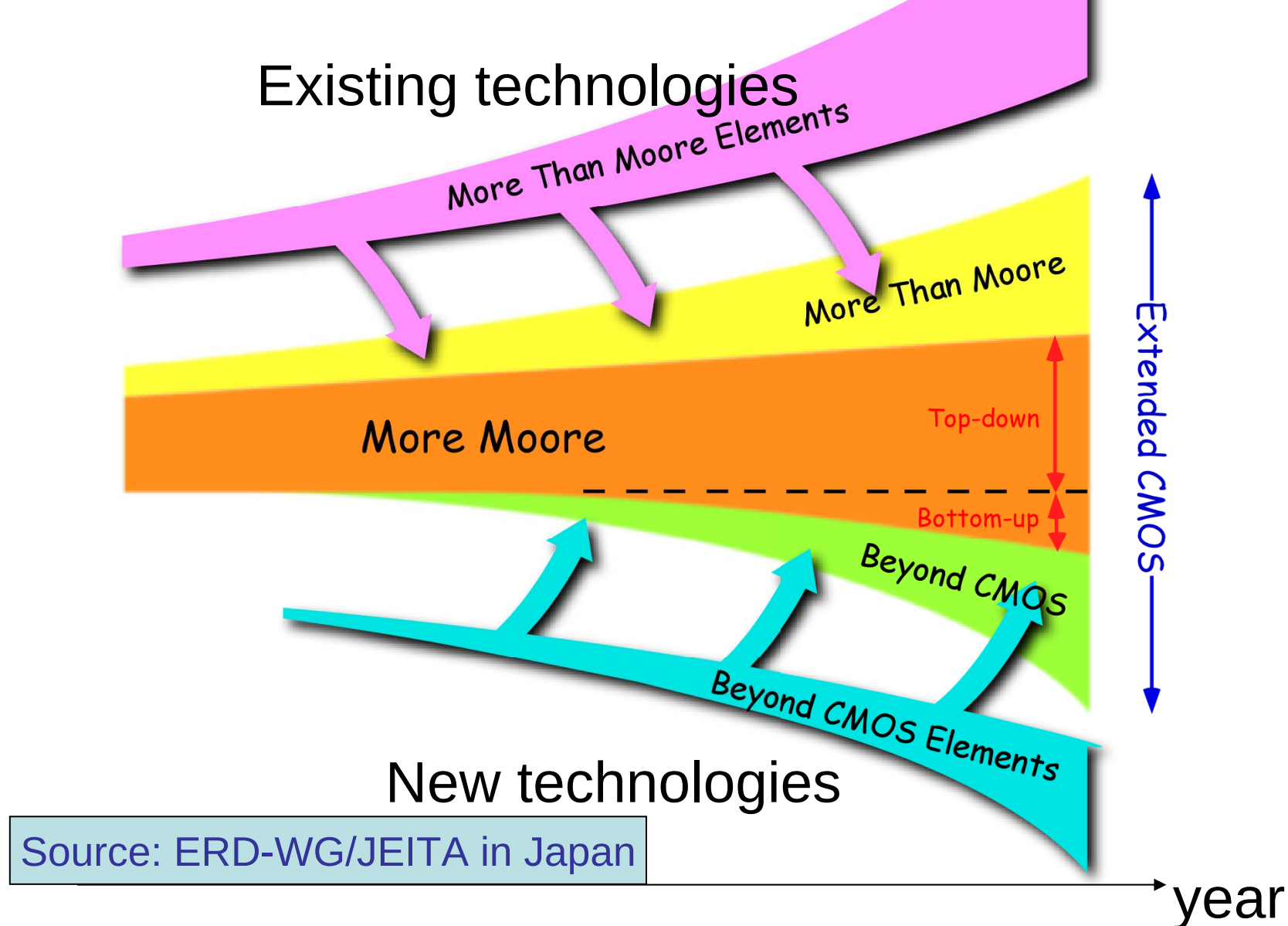
- More Moore
 - Geometrical Scaling: 幾何学的(寸法の)スケーリング
 - Equivalent Scaling: 等価的(実効的)スケーリング
 - Design Equivalent Scaling: 設計による等価的微細化
- More than Moore
 - 必ずしも微細化のみによらない多様化
 - SiP(System in Package)技術による異種のチップの集積化
- Beyond CMOS
 - シリコンCMOS技術に代わる新技術

2010 ITRS Summary **Figure 4**

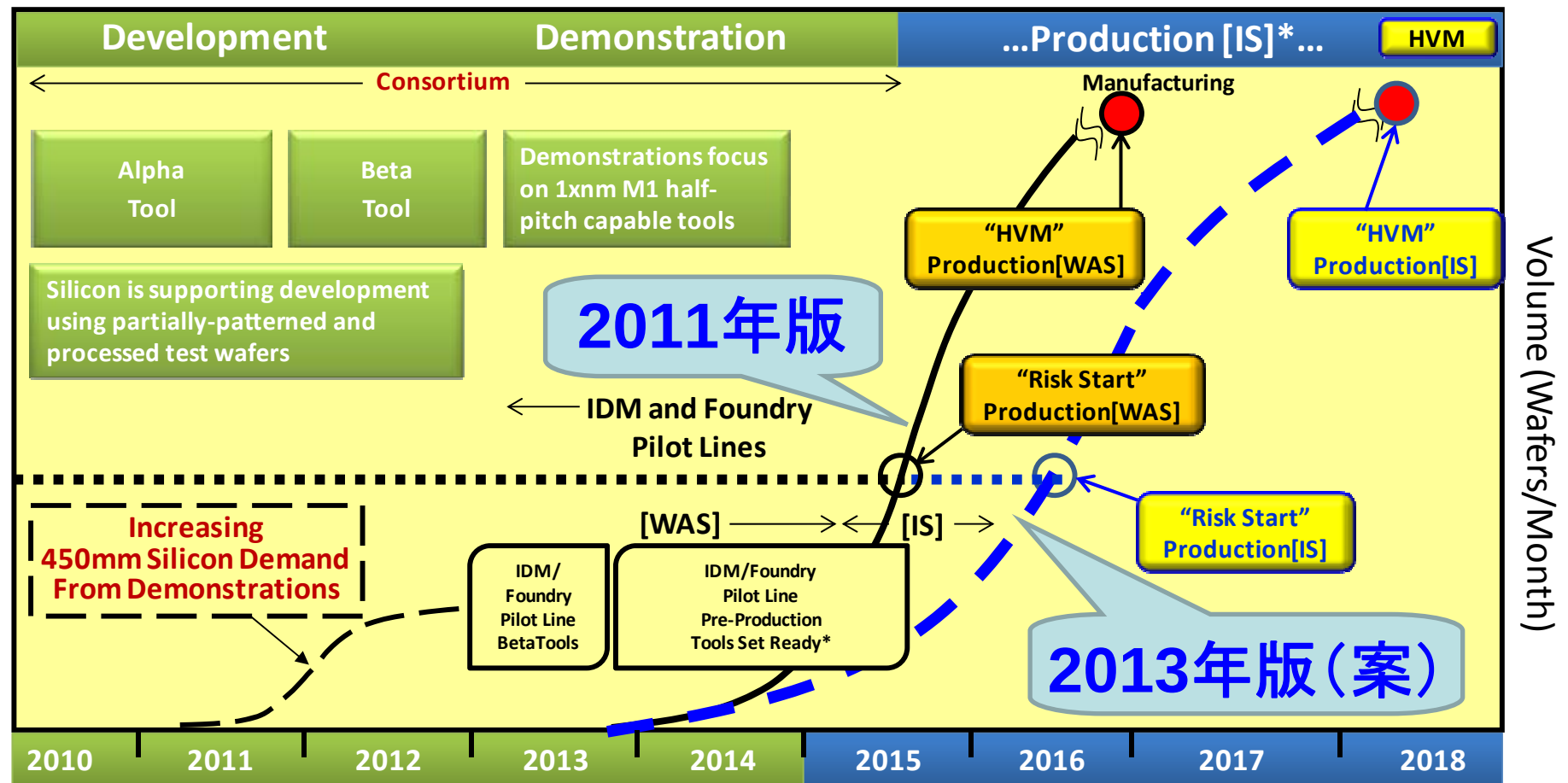
Figure 4 The Concept of Moore's Law and More



Evolution of Extended CMOS



450 mm シリコンウェーハの導入時期 (2011年版と2013年版(案)の比較)



2016-17年: パイロットライン
2018年: 大量生産開始

Source: ITRS 2012 Update - Overview Fig. 4 and Fig. 5

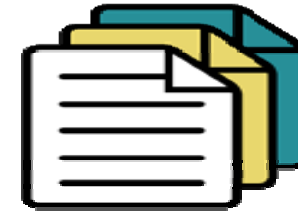
ITRSの編集プロセスの見直しについて

SIA(米国) の提案をIRCで議論

- ITRSの文書量が多すぎてわかりにくい
 - より簡潔な文書と表に改訂
 - 専門家向けの詳細情報はリンク先に置く
- ITRSの全面改訂の頻度を2年ごとから3年ごとに変更。次の全面改訂版は3年後の2016年版
- 会議開催頻度を年3回から年2回に下げる。
- ITRS 2013年版は2014年の3月末から4月にかけてITRSのホームページ上で公開

ITRS 2011 年版:
専門家向きだが、非専門家には文書量が多すぎる

ITRS Executive Summary,
ORTC, and Glossary
~70 pages



ITWG
Chapters
~900 pages



ITWG Tables' Details



ITRS 2013 年版：簡潔な版に

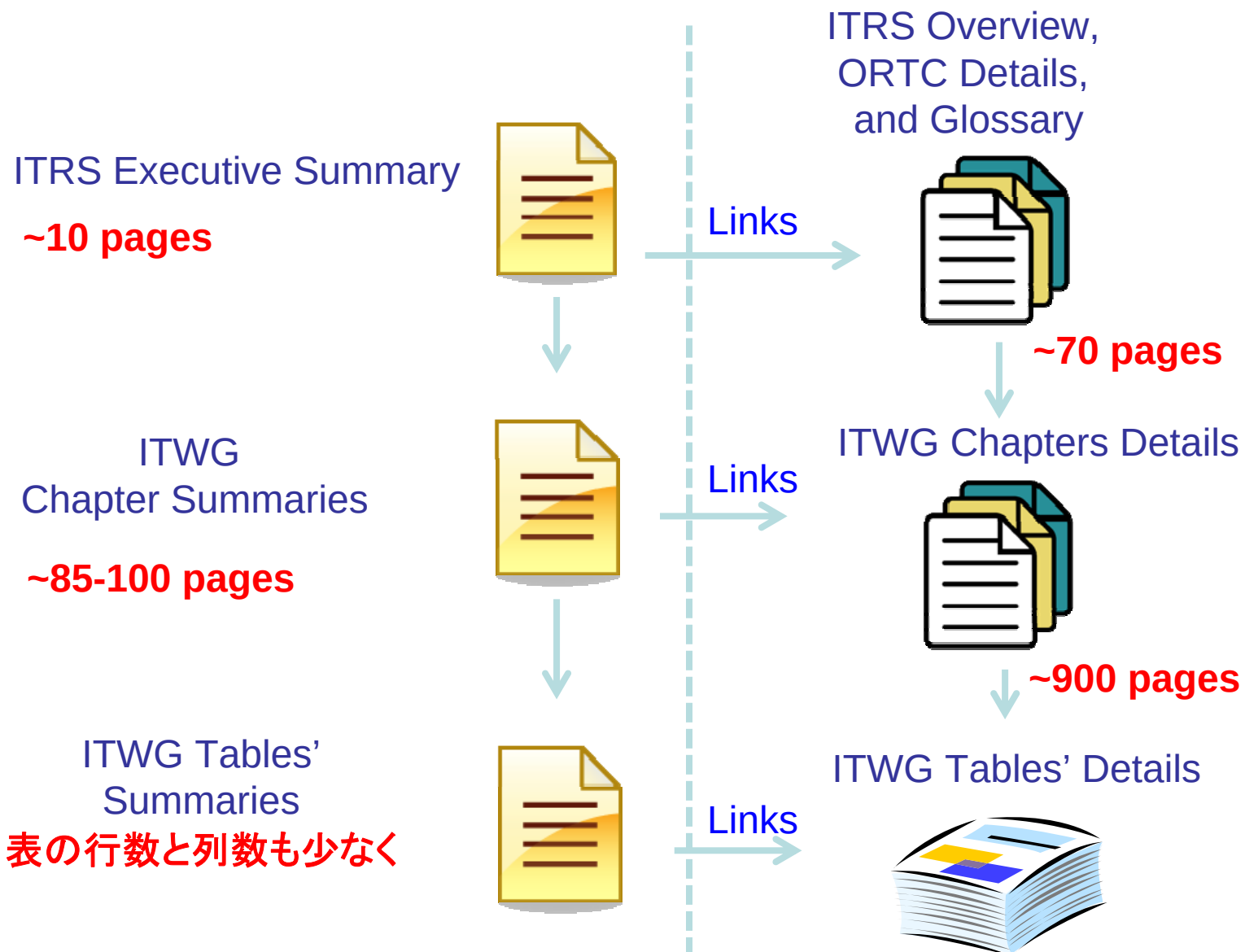
ITRS Executive Summary
~10 pages

ITWG
Chapter Summaries
~85-100 pages

ITWG Tables' Summaries
表の行数と列数も少なく



ITRS 2013 年版: 詳細情報はLink先に



今後のITRS の会議開催地

開催頻度を年3回から年2回へ

日本開催は、2017年と2021年の後半(秋は冬)

	H1	H2		
2014	Germany	Korea		Europe
2015	US	Taiwan		Asia
2016	Netherlands	US		US
2017	France	Japan		
2018	US	Korea		
2019	Germany	US		
2020	Netherlands	Taiwan		
2021	US	Japan		
2022	France	US		

関連webサイトのURL



さらに詳しい資料については下記を参照願います

- ・ ITRSの公式ホームページ
 - <http://www.itrs.net/>
 - ITRSの最新情報
 - ITRS 発行の白書 (White Papers)
 - ITRS主催のConferenceなどの資料
- ・ JEITAのロードマップのホームページ
 - <http://semicon.jeita.or.jp/STRJ/>
 - ITRS 2011年版の日本語訳(過去の版の和訳もあり)
 - ITRSの過去の版(英文)へのリンク
 - STRJ(半導体技術ロードマップ専門委員会)の活動情報