

2013年度STRJワークショップ

LSI多様化によるテストコスト上昇の課題克服

WG2(テストWG) 安藏 顕一(東芝)

目次

- 1.テストWG活動の位置づけ
- 2.WG2体制
- 3.WG2活動テーマ
- 4.2013年度活動
- 5.ITRS2013テーブル改訂
- 6.WG2活動まとめ

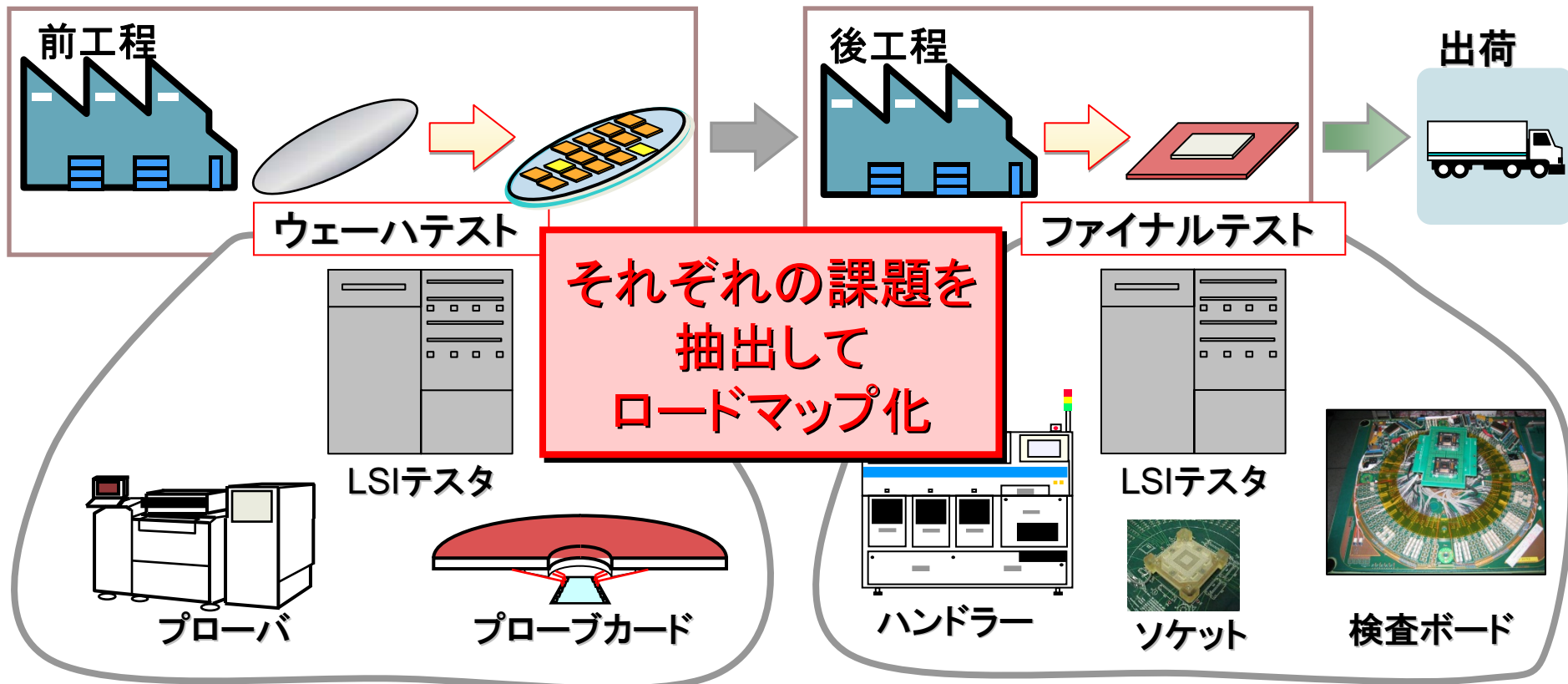
| 略語 | 用語 | 説明 |
|--------|-------------------------------------|---|
| ATE | Automatic Test Equipment | 大型テスト他テスト装置・システム全般の呼称 |
| DFT | Design for Test/Testability | テスト容易化を考慮した設計 |
| DFX | Design for X | Xを考慮した設計、DFTだけでなく、DFR (Design for Repair)、DFY (Design for Yield)なども含めた総称 |
| ATPG | Automatic Test Pattern Generation | 自動テストパターン生成 |
| BOST | Built-Out/Off Self-Test | テストの計測機能を補完する為にテスト・ボード上に搭載したもの |
| BIST | Built-In Self-Test | チップ内蔵の自己テスト |
| TAP | Test Access Port | IEEE標準規格1149.1及び関連規格で定められた、パウンダリスキャンテスト(プリント基板上でLSI内部にアクセスする動作)のためのLSI入出力ピンの標準セット |
| SoC | System-on-a-Chip | 複数の機能ブロックなどを一つのLSIに搭載してシステムを実現する設計手法 |
| NoC | Network-on-a-Chip | IPブロックとその間のパケット通信構造を、一つのLSI上で実現する設計手法 |
| SiP | System-in-a-Package | 複数のLSIを一つのパッケージに搭載してシステムを実現する設計・実装手法 |
| TSV | Through-Silicon Via | シリコン製半導体チップの内部を垂直に貫通する電極のこと。複数枚のチップを重ねて1つのパッケージに収める場合に、上下のチップ同士の接続をこの貫通電極で行なう |
| DPM(O) | Defects per Million (Opportunities) | 百万回(個)のうち、欠陥が含まれる割合。製品の品質を示す指標として用いられる |
| IP | Intellectual Property | 一般には知的財産の意。LSI設計では、ある機能を実現する回路部品の情報を意味する |
| HSIO | High Speed Input/Output | 高速I/Oインタフェースのこと。下記「高速IO」参照 |
| AMS | Analog / Mixed-Signal | アナログ回路とデジタル回路を混載した回路部品のこと |

| 用語 | 説明 |
|--------------------------|--|
| ハンドラ | テスト時のチップの搬送、テストソケットへの装着、温度制御等を一貫して行う装置 |
| プローブカード(Probe Card) | ウェーハ上のLSIを電気測定するための治具。髪の毛以下の太さの針(プローブ)の集合体 |
| バーンイン | チップの初期劣化不良を検出するため熱・電圧ストレス等を長時間かける工程 |
| テストソケット | テスト時にLSIパッケージを挿入固定するための治具 |
| 治工具 | ソケットやプローブカード、インタフェースボード等、テスト時に必要な治具 |
| 構造化テスト | LSIの機能をテストするのではなく、LSIが設計通りの構造に出来上がっているかをテストする手法 |
| スキャンテスト | ランダムロジックを対象とするDFTの代表的手法 |
| アダプティブテスト(Adaptive Test) | テストデータの統計的解析を基に、上流・下流のテスト仕様を最適化する手法 |
| 同測テスト | 複数のチップを同時にテストする手法、多数個同時測定テスト。テストスループット向上によるコスト低減が可能 |
| コンカレントテスト | チップ内の複数のコアおよび回路を並列にテストする手法 |
| フォールトトレランス | チップ内で故障が発生しても、その部分を回避や補正し、正常な動作を保ち続ける機能のこと |
| トグル率 | 全クロック数におけるゲート出力の反転回数(トグル数)の割合 |
| 同測効率 | テストの多数個同時測定効率 N個同測のテスト時間を $T_0 + T_1 \times N$ とすると同測効率は $T_0 / (T_0 + T_1)$ |
| IR-Drop | 配線の抵抗成分による電位降下のこと。半導体の特性で信号遅延などを起こす |
| 高速IO | LSIが外部と高速にデータ送受信を行うための回路やインタフェース。USB,DDR,SATA等標準規格がある |

1. テストWG活動の位置づけ(1)

■ テスト＝製造工程において、良品/不良品を選別するための手段

- － LSIテストを用いることが一般的
- － LSIとLSIテストの接続のために、様々な検査治具を用いる
プローブカード、プローバ、ハンドラー、ソケット、検査ボード...
- － LSIにはテストを容易にするための設計(**DFT**)を施している

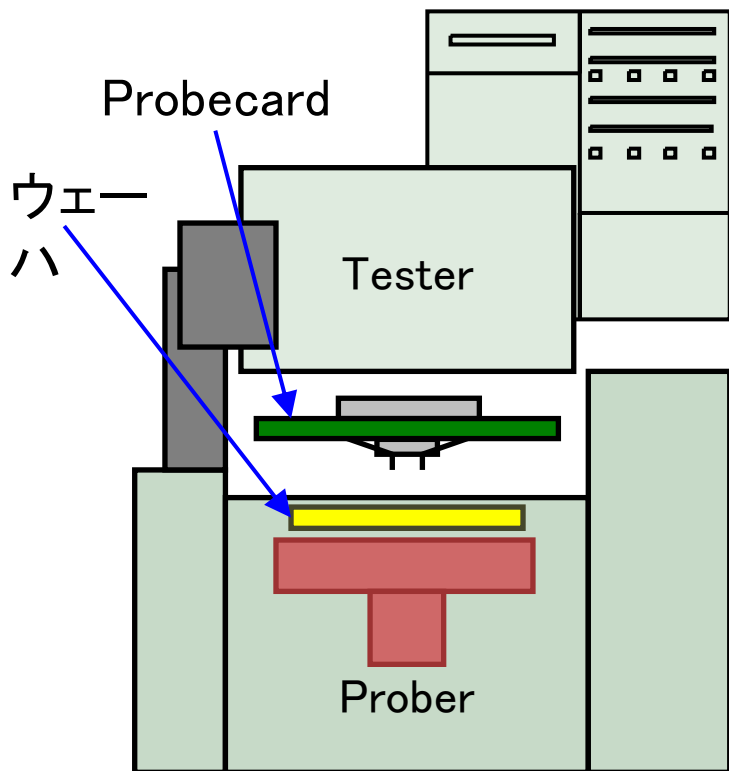


1. テストWG活動の位置づけ(2)

ウェーハテスト : ウェーハ上に形成されたデバイスを検査

ウェーハプローバ: 検査針と検査パッドを自動で位置合わせし検査する為の装置

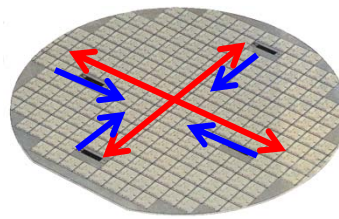
プローバの技術課題の例:



◆検査温度(-55°C~200°C)



-55°C~

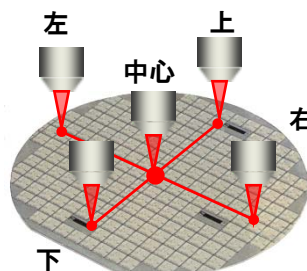


温度によりウェーハは伸縮!

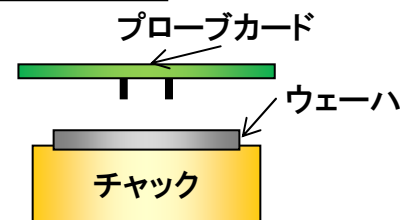


~200°C

◆位置合わせ精度(±1um以下)



カメラで検査対象パッド認識



制御 X-Y軸方向 ±1.0um以下

◆チャック耐荷重(~300kg)

- ・プローブカードのピン数は数百~数万ピン
- ・プローバはこれら針を検査パッドにコンタクトさせる為に~300kgの荷重に耐える必要がある

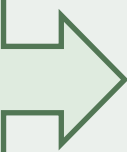
数umのZ軸制御が必要



チャック



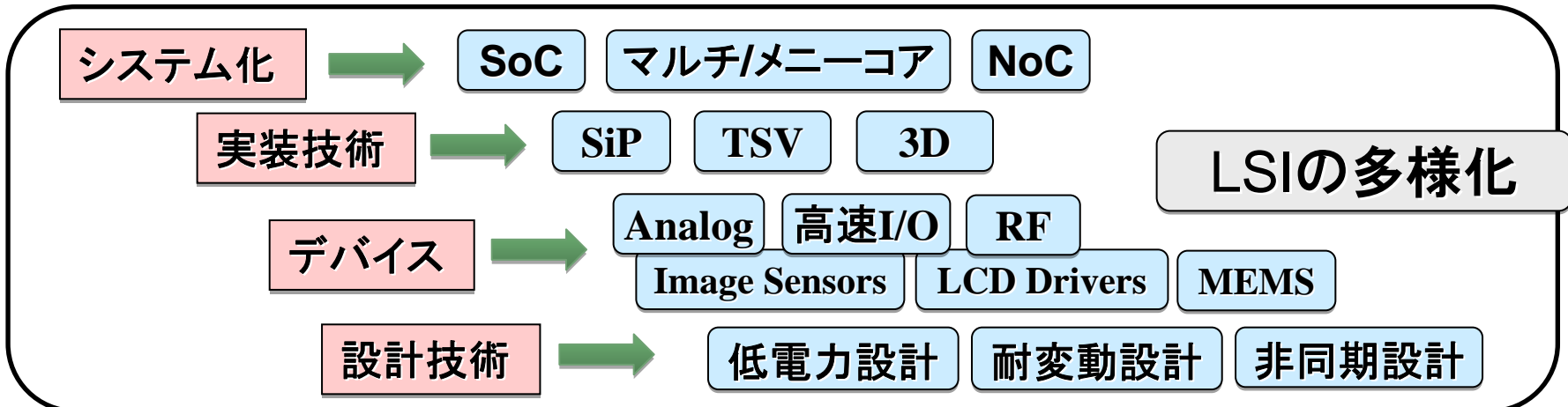
2. WG2体制(2013/11/29現在)

| | DFT-SWG | ATE-SWG |
|-----------------------------|--|---|
| 委員 | 安藏(東芝) WGリーダー 青木(ソニーLSIデザイン) 佐々木(ルネサス) 佐藤(ローム) 濱田(富士通セミコン) | 武田(東芝) サブリーダー 平山(富士通セミコン) 田村(ルネサス) |
| 特別委員 (SEAJ技術部会 検査分科会) | <div style="border: 1px solid black; padding: 10px; display: inline-block;"> テスト装置メーカー からの知見を得る 目的で参加 </div>  | 佐伯(フォームファクター) 北川(アドバンテスト) 近藤(アドバンテスト) 清水(東京エレクトロン) 鈴木(浜松ホトニクス) 藺田(シバソク) 鳴海(MJCテクノ) 清藤(日本マイクロニクス) |
| 特別委員 (大学その他) | 佐藤(九州工業大学) 畠山(奈良先端科学技術大学院大学) 清水(スパンション・イノベイツ) サブ リーダー | 多田(徳島文理大学) 佐藤(テスト・リサーチ・ラボラトリーズ) 堀部(エスティケイテクノロジー) 渡辺(スパンション・イノベイツ) |

全23名

3. WG2活動テーマ

多様化・高機能化するLSIテストの複雑性へ対応するDFT/ATE技術の検討



5. 2013年度活動

| 区分 | 活動内容 | |
|------|----------|--|
| 国際活動 | ITRS2013 | <ul style="list-style-type: none"> ・ハンドラ、プローバなどのテスト装置関連テーブルおよびDFTテーブルを担当、改訂作業を主導的に行った ・IPコアベースSoCのコンカレントテスト技術の要求内容を作成し、DFTテーブルおよび本文に新規掲載した ・Design章のDFT節についても改訂協力を行った |
| | 国際会議 | <ul style="list-style-type: none"> ・3回の国際会議(仏Lyon、米San Jose、つくば)に参加し、テスト技術の重要な課題について議論した |
| 国内活動 | ATE-SWG | <ul style="list-style-type: none"> ・テスト装置関連テーブルの見易さを追求した大幅な改訂作業に注力。SEAJ協力により、テスト装置やテスト治具の最新技術動向を調査し、テーブル改訂に反映させた |
| | DFT-SWG | <ul style="list-style-type: none"> ・多数IP搭載SoCのテストとDFTの課題を検討。コンカレントテストについてATEベンダと、テスト設計標準についてEDAベンダと打合せ行い、現状調査を行った |

5. ITRS2013 テーブル改訂

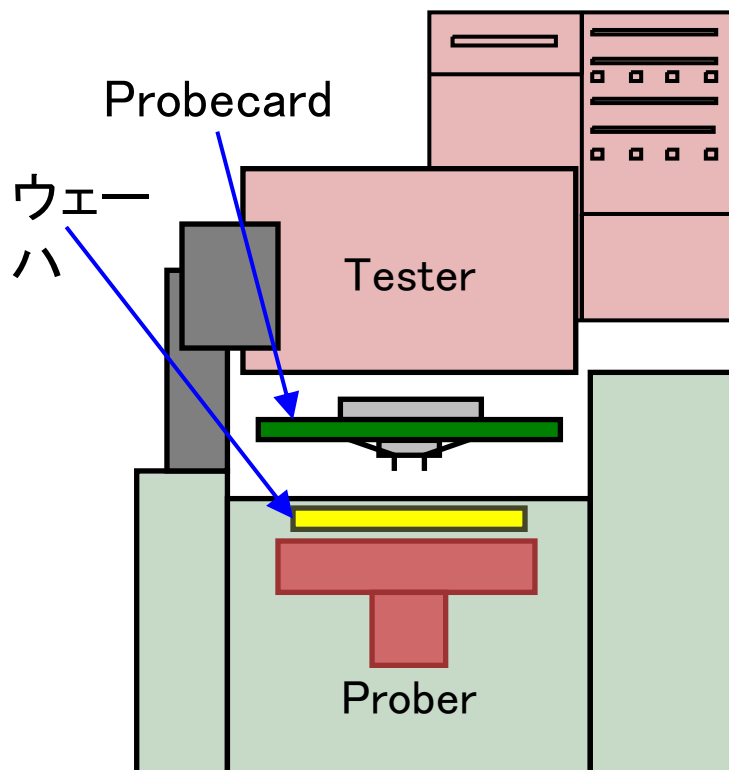
| テーブル | 担当 | 改訂内容 |
|---------|-----------|--|
| プローバ | STRJ | - 450mmウェーハ対応、要求項目のウェーハサイズごとの記載、等 |
| ハンドラ | STRJ | - ハンドリング方式とアプリケーションによる再分類 - ハンドリング方式の追加 |
| プローブカード | STRJ | - MPU/ASIC向けプローブカードでの色や数値を更新 - TSIA(台湾)の提案により、CMOSイメージセンサ向けプローブカードを追加 |
| ソケット | STRJ | - 導電ラバーシートタイプのリードピッチ、データ伝送速度を更新 |
| Logic | ITRS/STRJ | - 圧縮スキャン技術の圧縮率計算式を明確にし、ITRS全体で共有 |
| DFT | STRJ | - コンカレントテストの項目を追加 - Design章のDFT節からの参照を追加 |

**STRJが上記テーブルを担当し、改訂作業を主導的に行った
Design章のDFT節改訂にも参加した**

5. ITRS2013 テーブル改訂(ATE)

▶ ウェーハテスト工程

◆ 装置 & 治具 : Tester + Prober + Probecard



ウェーハテストに対する主な要求事項

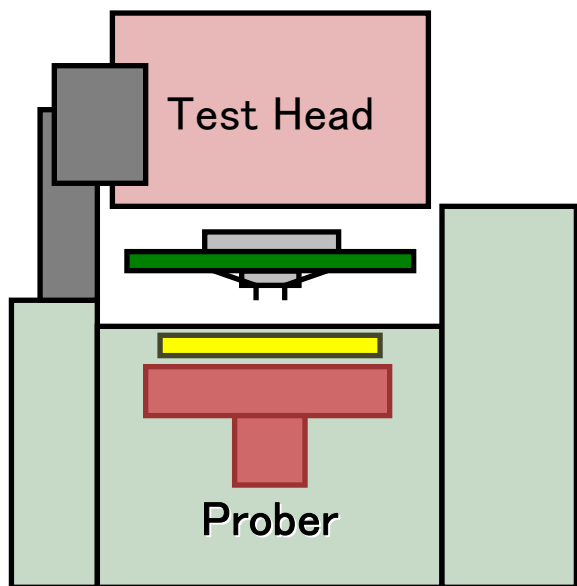
- ✓ 多種多様なデバイス
(MPU、SoC、マイコン、センサー、パワー、DRAM、NAND、ワイヤレス、各車載向け)
- ✓ 多数個同時テスト(2個～ウェーハー括)
- ✓ テスト温度(−55°C～+250°C)
- ✓ ウェーハサイズ(150mm～450mm)
- ✓ ウェーハ厚さ(350um～1000um)
- ✓ 高電圧、大電流

※本ページに記載している数字は2014年以降のデータを含む。

5. ITRS2013 テーブル改訂(ATE)

➤ Proberに対する主な要求／対応／今後の課題

※本ページに記載している数字は2014年以降のデータを含む。



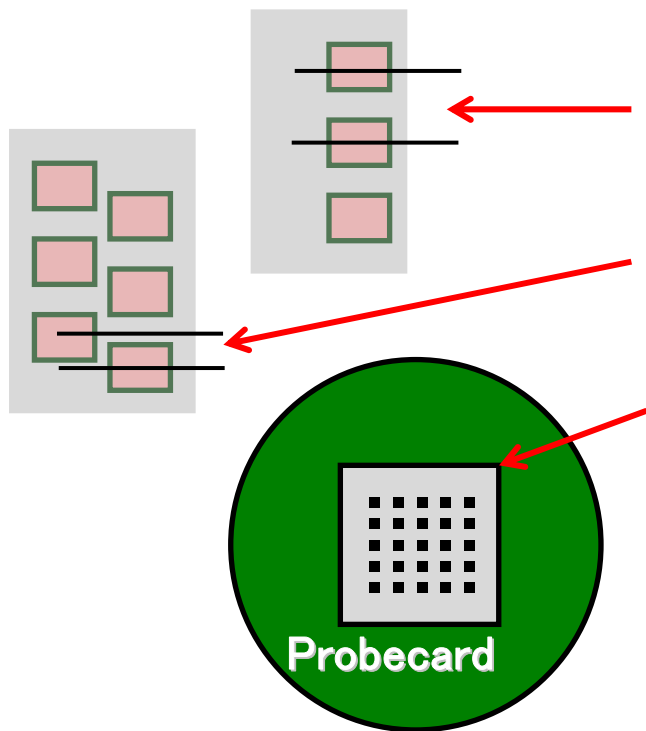
| | 200mm | 300mm | 450mm |
|-----------------|----------|-------|--------|
| ウェーハサイズ | 6, 8inch | 8, 12 | 12, 18 |
| テストヘッド重量(max) | 1000kg | 1000 | 1500 |
| プローブカードサイズ(max) | 580mm | 580 | 725 |
| XY精度 | 2.0um | 2.0 | 2.0 |
| Z精度 | 5.0um | 5.0 | 5.0 |
| チャック平坦度 | 7.5um | 5.0 | 5.0 |
| チャック耐荷重 | 60kg | 450 | 500 |
| 温度範囲 | -55~ | -55~ | -55~ |

- ・要求: 広範囲な位置決め精度、多個取り数増加による平坦度／耐荷重、車載要求による温度範囲、450mmウェーハ
- ・対応: アライメント(位置合わせ)精度向上、チャックのステージ強化、温度制御改善
- ・課題: 450mmウェーハで難易度up、プロービングシステム全体での最適化、プ

Work in Progress - Do not publish. 大口径化、重量増加に伴う装置運用の安全性確保

5. ITRS2013 テーブル改訂(ATE)

➤ Probecardに対する主な要求／対応／今後の課題



| MPU/ASIC | 2013 | 2015 | 2017 |
|----------|---------------------|---------|---------|
| 単列Padピッチ | 32um | 28 | 25 |
| Padサイズ | 25 × 40um | 20 × 40 | 18 × 35 |
| 千鳥Padピッチ | 22.5um | 20 | 20 |
| 針先端径 | 10um | 8 | 7 |
| 針立てエリア | 3600mm ² | 4800 | 5500 |
| 針立てピン数 | 36000ピン | 40000 | 40000 |

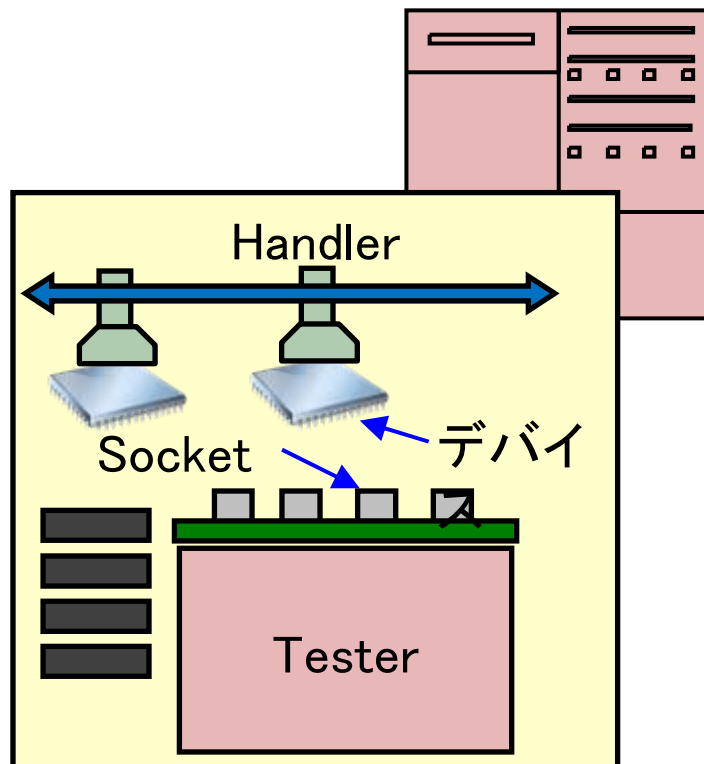
- ・要求: 針立ての狭ピッチ化、多ピン化
- ・対応: 針先端径の微細化、針位置精度向上、高さバラツキ低減
- ・課題: 狭ピッチになるとプローブカード製造やプローバでの針先認識が

困難

5. ITRS2013 テーブル改訂(ATE)

▶ ファイナルテスト工程

◆ 装置 & 治具 : Tester + Handler + Socket



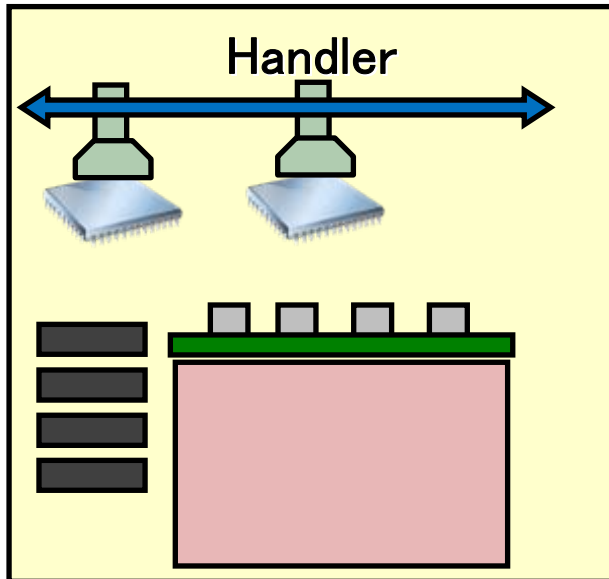
ファイナルテストに対する主な要求事項

- ✓ 多種多様なデバイス
- ✓ 多数個同時テスト
- ✓ テスト温度 (−55°C ~ +200°C)
- ✓ 多種多様なパッケージ
- ✓ 多種多様なHSIO (データレート高速化)
- ✓ 消費電力の散逸
- ✓ スループット向上

※本ページに記載している数字は2014年以降のデータを含む。

5. ITRS2013 テーブル改訂(ATE)

➤ Handlerに対する主な要求／対応／今後の課題

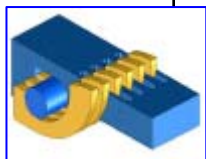
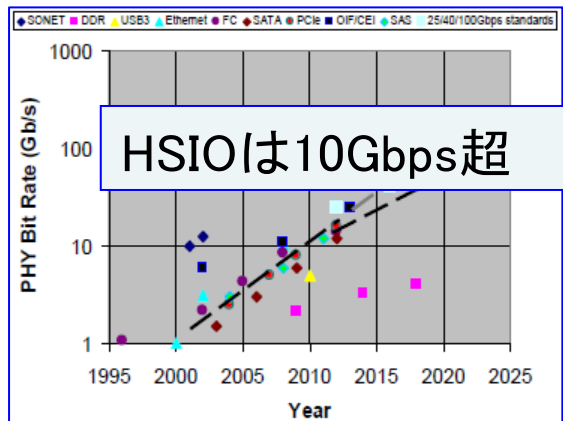


| 水平搬送 (Automotive) | 2013 | 2015 | 2017 |
|----------------------|----------------|--------------|--------------|
| テスト温度 | -55~ +175°C | -55~ +175 | -55~ +190 |
| Index時間 | 0.3秒 | 0.3 | 0.25 |
| 同時テスト数 | 1~32個 | 1~32 | 4~64 |
| 処理能力 | 2~30k/H | 2~30k | 2~30k |
| 消費電力散逸 | 300W/個 | 300 | 400 |
| パッケージサイズ | 2x2mm | 2x2 | 1x1 |
| パッケージ厚さ | 0.5mm | 0.4 | 0.2 |
| ピンピッチ | 0.35mm | 0.35 | 0.35 |

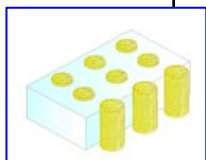
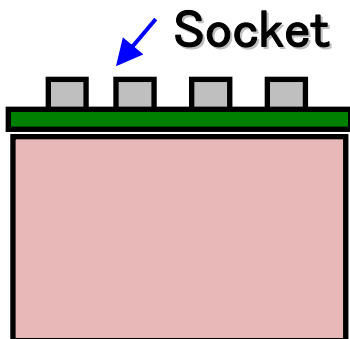
- ・要求: サイズが小さく薄いパッケージのハンドリング、車載向け温度範囲
- ・対応: ハンドリング方法やハンドラ内温度制御の最適化
- ・課題: 温度制御のレスポンスや精度、アプリケーション毎に対応した最適化

5. ITRS2013 テーブル改訂(ATE)

➤ Socketに対する主な要求／対応／今後の課題



| QFP/QFN-SoC Contact blade +Rubberタイプ | 2013 | 2015 | 2017 |
|--|----------|---------|---------|
| ピッチ | 0.3mm | 0.3 | 0.3 |
| データレート | 15GT/s | 15 | 20 |
| コンタクト力 | 0.2~0.3N | 0.2~0.3 | 0.2~0.3 |
| コンタクト抵抗 | 30mΩ | 30 | 30 |

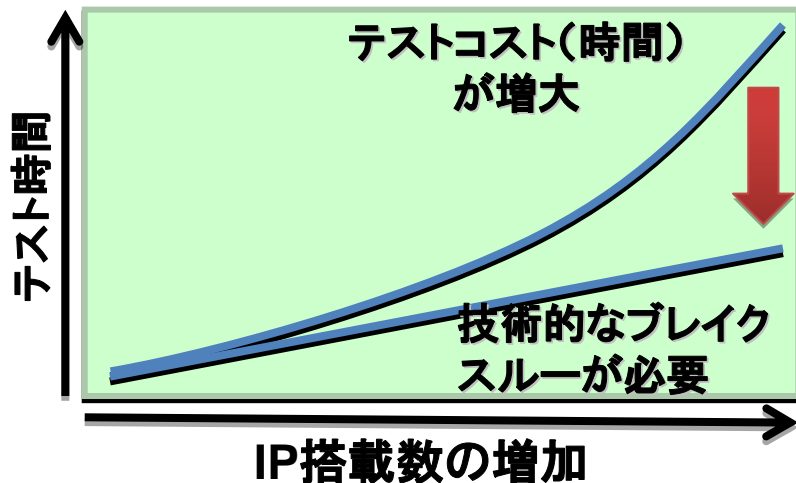


| BGA-SoC Rubberタイプ | 2013 | 2015 | 2017 |
|----------------------|---------|--------|-------|
| ピッチ | 0.3mm | 0.25 | 0.25 |
| データレート | 32GT/s | 56 | 56 |
| コンタクト力 | 0.15N以下 | 0.15以下 | 0.1以下 |
| コンタクト抵抗 | 50mΩ | 50 | 50 |

- ・要求:コンタクタ(通電部)の狭ピッチ化、データレート高速化
- ・対応:コンタクタの微細化、低インダクタンス化(導体長を短くする)
- ・課題:高速・高周波対応、Rubberの耐久性

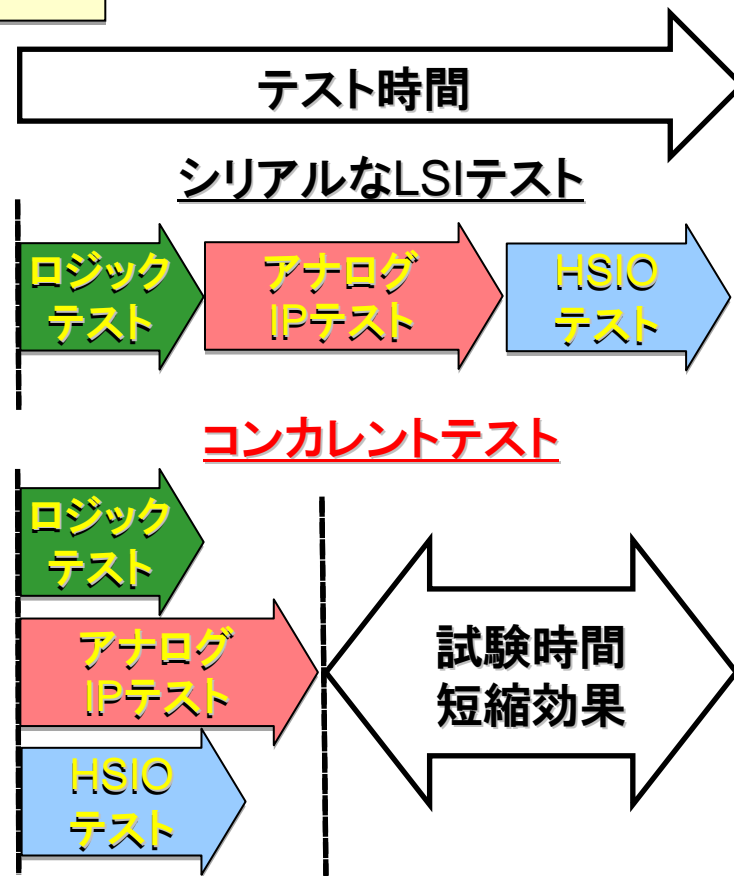
5. ITRS2013 テーブル改訂 (DFT)

テストスケジュールの課題: コンカレントテスト



コンカレントテストを用いた
テスト時間短縮が必須!

効率的なテストスケジューリングのための
仕組み(設計・ソフト)の実現が必要



ロジックもIP扱いし、各種IPの
テストを同時並列的に実行

※並列動作における電源ドロップ
などのノイズ考慮が必要

5. ITRS2013 テーブル改訂(DFT)

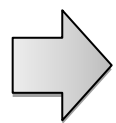
| No. | Features | Contents | | | | | | | | | | | | | | | | | | | | | | | | |
|--|--|---|-----|----------|----------|---|--|--|---|---|---|---|---------------------------|--|---|-------------------------------|---|---|--|---|---|-------------------------------------|---|---|-----------------------------------|--|
| 1 | External test pin/Allowance of terminal sharing | The basis of the external test terminals to perform core are five terminals of JTAG IF (TRST/TMS/TCK) external test terminals other than JTAG IF in each shared | | | | | | | | | | | | | | | | | | | | | | | | |
| 2 | Allowance to concurrent testing of structural viewpoint | The test that of | | | | | | | | | | | | | | | | | | | | | | | | |
| 3 | Allowance to concurrent testing of viewpoint of restrictions | Present the same etc.). | | | | | | | | | | | | | | | | | | | | | | | | |
| <table border="1"> <thead> <tr> <th>No.</th> <th>Features</th> <th>Contents</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>Large Number and Flexible Frequency range of Test Channels</td> <td></td> </tr> <tr> <td>2</td> <td>Mixed Treatment of Different Types of Test Data</td> <td>Capability of loading / unloading mixed test data of digital, analog and high-speed I/O data is required.</td> </tr> <tr> <td>3</td> <td>Measuring Accuracy of IPs</td> <td>Measuring accuracy of testing (e.g. high-speed I/O test) should be match with the specifications.</td> </tr> <tr> <td>4</td> <td>Test Data Handling Efficiency</td> <td>Test channel should have almost the of non-concurrent test.</td> </tr> <tr> <td>5</td> <td>Enough Number and Capacity of Power Supply</td> <td>Large number and capacity of power pins will enable large number of IPs be tested at the same time.</td> </tr> <tr> <td>6</td> <td>Consistency with Multi-Site Testing</td> <td>Capability that performs both die-level multi-site testing and IP-level concurrent testing at a time will enable efficient testing.</td> </tr> <tr> <td>7</td> <td>Software Capability and Usability</td> <td>Automated test scheduling software that can decide test scheduling configurations considering many constraints as above is required.</td> </tr> </tbody> </table> | | | No. | Features | Contents | 1 | Large Number and Flexible Frequency range of Test Channels | | 2 | Mixed Treatment of Different Types of Test Data | Capability of loading / unloading mixed test data of digital, analog and high-speed I/O data is required. | 3 | Measuring Accuracy of IPs | Measuring accuracy of testing (e.g. high-speed I/O test) should be match with the specifications. | 4 | Test Data Handling Efficiency | Test channel should have almost the of non-concurrent test. | 5 | Enough Number and Capacity of Power Supply | Large number and capacity of power pins will enable large number of IPs be tested at the same time. | 6 | Consistency with Multi-Site Testing | Capability that performs both die-level multi-site testing and IP-level concurrent testing at a time will enable efficient testing. | 7 | Software Capability and Usability | Automated test scheduling software that can decide test scheduling configurations considering many constraints as above is required. |
| No. | Features | Contents | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | Large Number and Flexible Frequency range of Test Channels | | | | | | | | | | | | | | | | | | | | | | | | | |
| 2 | Mixed Treatment of Different Types of Test Data | Capability of loading / unloading mixed test data of digital, analog and high-speed I/O data is required. | | | | | | | | | | | | | | | | | | | | | | | | |
| 3 | Measuring Accuracy of IPs | Measuring accuracy of testing (e.g. high-speed I/O test) should be match with the specifications. | | | | | | | | | | | | | | | | | | | | | | | | |
| 4 | Test Data Handling Efficiency | Test channel should have almost the of non-concurrent test. | | | | | | | | | | | | | | | | | | | | | | | | |
| 5 | Enough Number and Capacity of Power Supply | Large number and capacity of power pins will enable large number of IPs be tested at the same time. | | | | | | | | | | | | | | | | | | | | | | | | |
| 6 | Consistency with Multi-Site Testing | Capability that performs both die-level multi-site testing and IP-level concurrent testing at a time will enable efficient testing. | | | | | | | | | | | | | | | | | | | | | | | | |
| 7 | Software Capability and Usability | Automated test scheduling software that can decide test scheduling configurations considering many constraints as above is required. | | | | | | | | | | | | | | | | | | | | | | | | |
| 5 | Test data volume | The amount of the test | | | | | | | | | | | | | | | | | | | | | | | | |
| 6 | Test scheduling | Information testing 1. Test 2. Peak 3. Test | | | | | | | | | | | | | | | | | | | | | | | | |
| 7 | Interface of core access | The access cores | | | | | | | | | | | | | | | | | | | | | | | | |
| 8 | Defective IP identification | There shipment | | | | | | | | | | | | | | | | | | | | | | | | |

コンカレントテストの効率的な実現に関連する要因を抽出し(テスト章のテーブルに掲載済み)、解決策の調査を行った

DFTに関する要因

ATEに関する要因

現状技術を把握するため、文献調査を行うとともに、主要テスト装置ベンダと打合せた
 ベンダの見解:
 テスタとテスタS/Wは、コンカレントテストを行う十分な機能と性能があり、最新鋭のハイエンドテスタを使えばできる

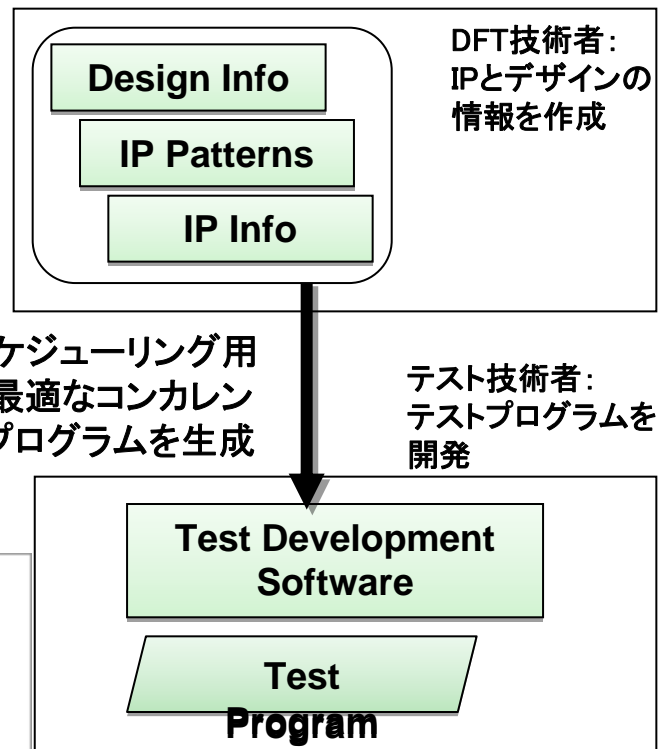
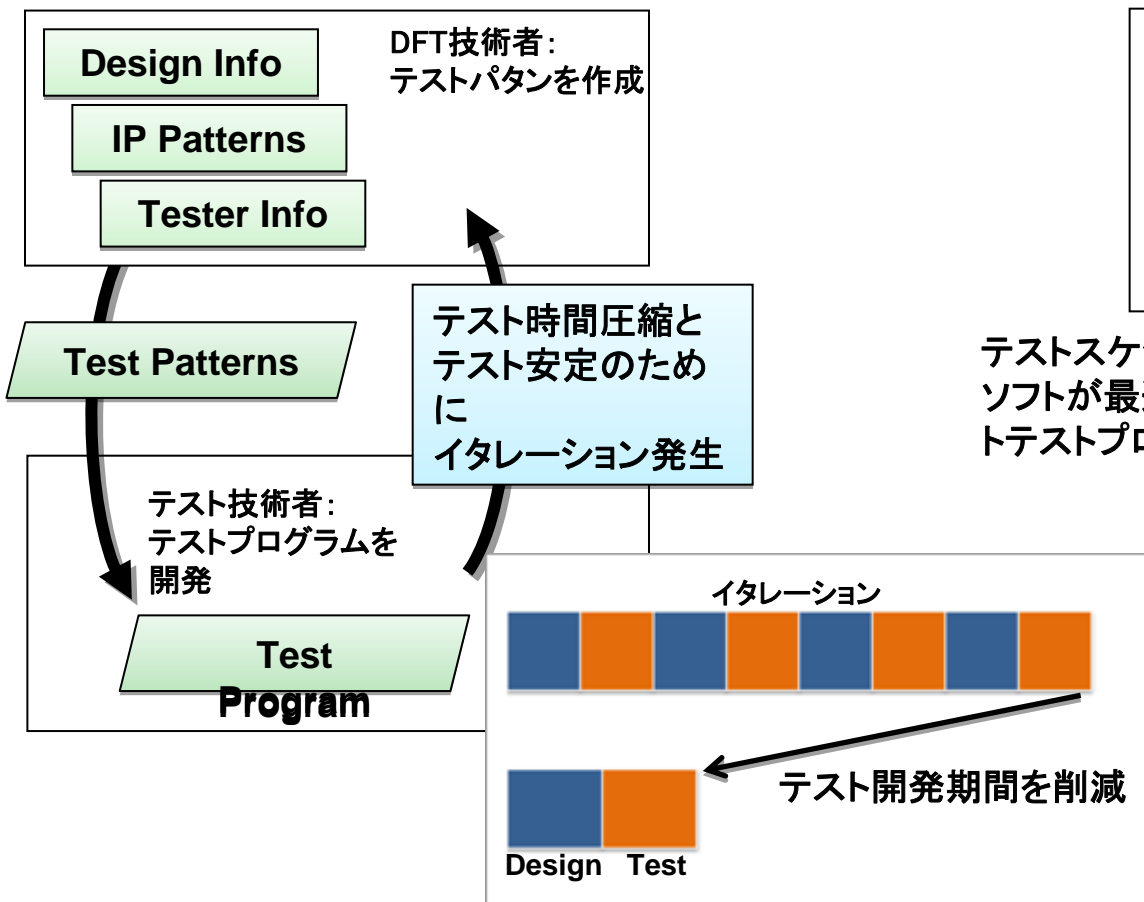


ユーザ側は、現存のテスト設備でコンカレントテストを実現し、テストコスト(投資含む)を低減させたい
 このためには、テスト設計(DFT)での対策が必要
 ⇒必要技術の実現課題を挙げ、技術開発要求をITRSテーブルに掲載する

5. ITRS2013 テーブル改訂(DFT)

テスト開発の従来手法:
設計とテスト間のイタレーションが多く
非効率

理想手法:
設計側から出す情報を用いて、テスト側
で効率的にスケジューリング

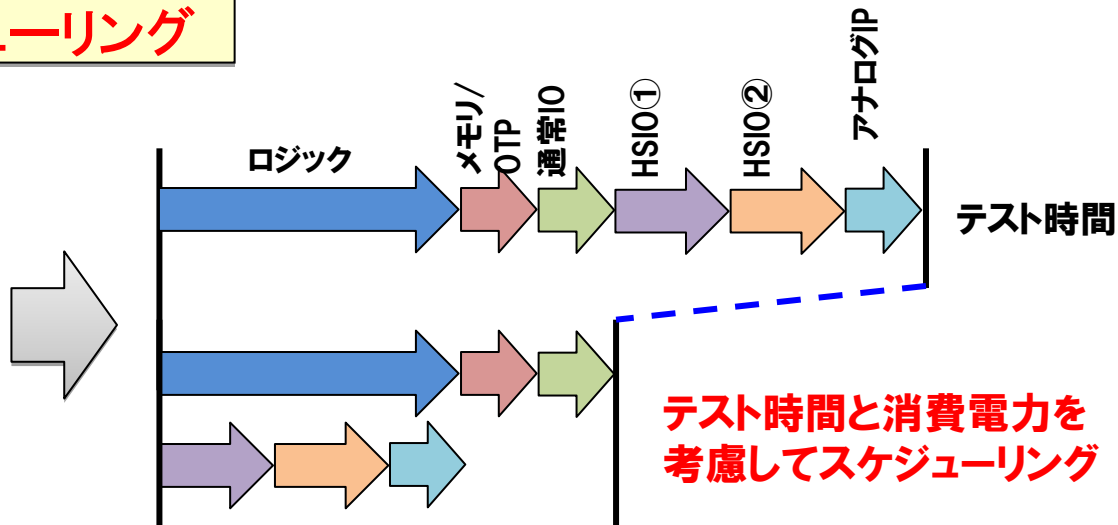
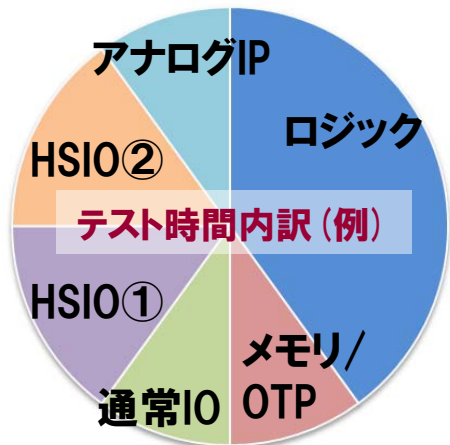


IPテスト設計標準化ベースの
フローによるテストスケジューリ
ング
効率化を、ITRSに提起した

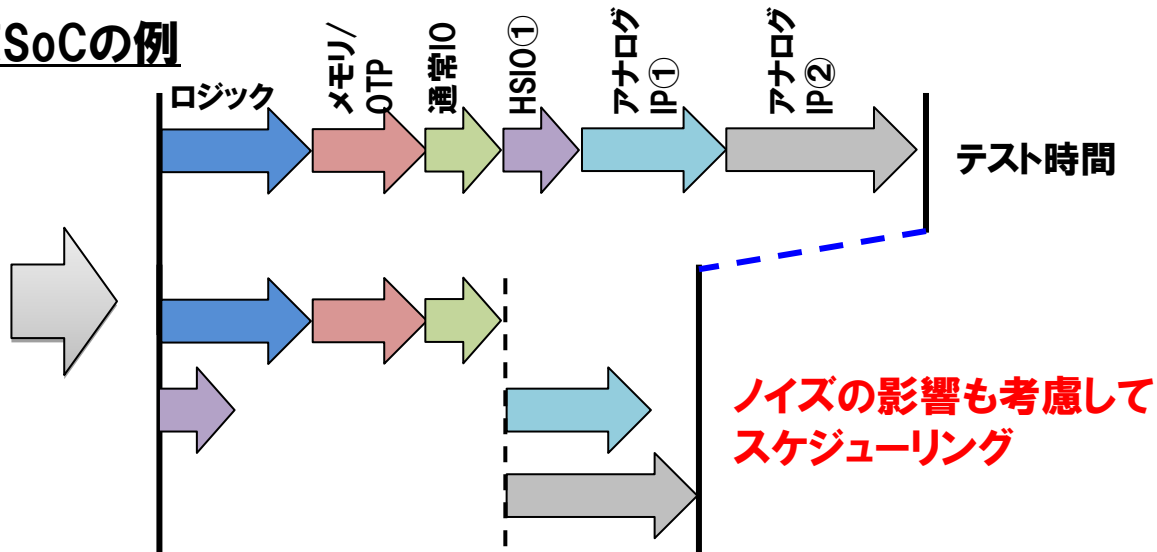
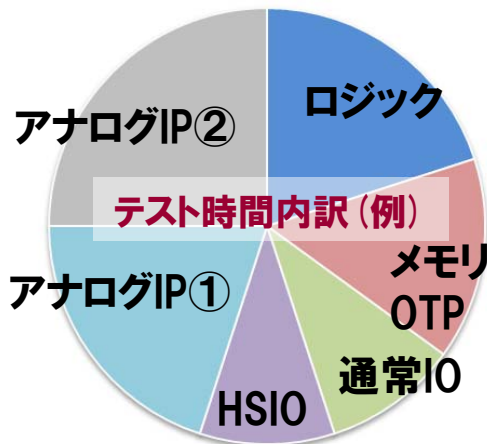
5. ITRS2013 テーブル改訂 (DFT)

コンカレントテストのスケジューリング

Case1: 大規模SoCの例



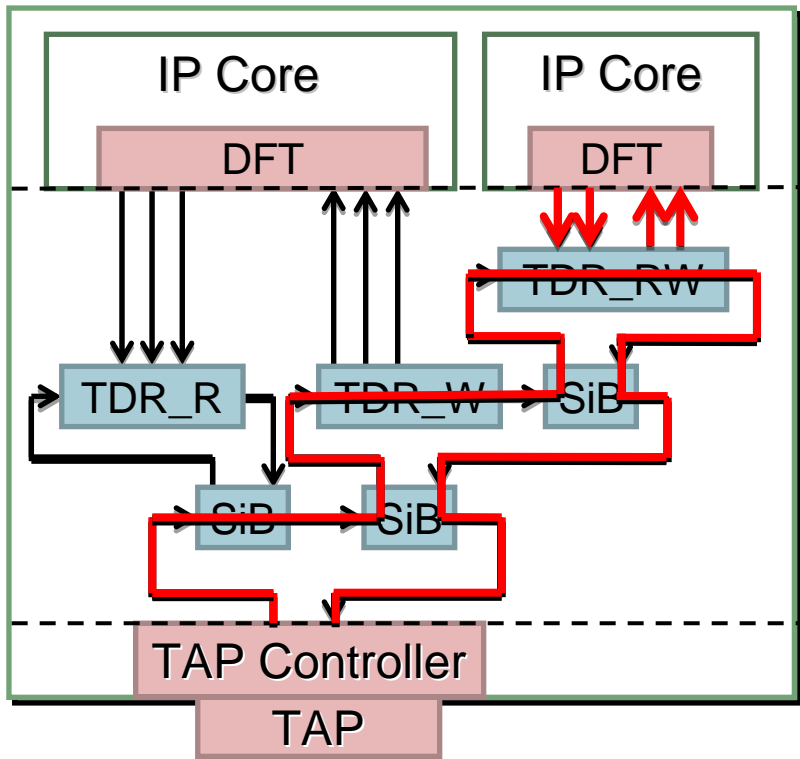
Case2: アナログリッチの小規模SoCの例



構成によって最適な並列テストの組合せを選択

5. ITRS2013 テーブル改訂 (DFT)

IPコアテスト標準化動向



TAP: Test Access Port, SiB: Segment Insertion Bit,
 TDR: Test Data Register
 TDR_R: Read Type TDR, TDR_W: Write Type TDR
 TDR_RW: Read/Write Type TDR

IEEE Std 1500:
 IPコアのテスト回路用インタフェースを定め、
 コアアクセス用Wrapperを標準化

IEEE P1687 (IJTAG):
 •IPコア内テスト回路へのアクセス方法規格。IEEE標準化承認の投票段階
 •STRJ
 •論文やEDAベンダ情報を調査中
 •高速I/Oやコンカレントテスト対応等、不明な点もあり必要に応じ要求を出す
 •EDAベンダ各社で対応の動きあり、機能調査の必要あり

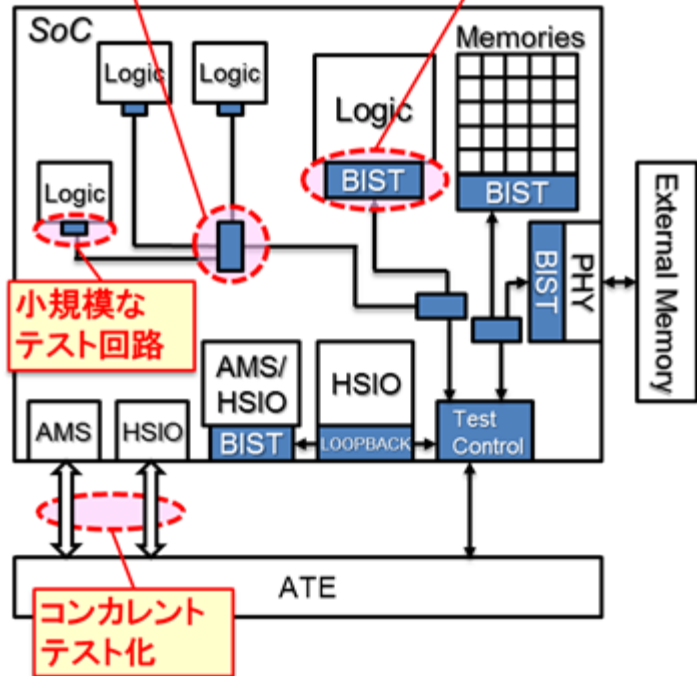
IEEE Std 1149.1x (JTAG):
 ボードテストの標準として、一般的に使用

標準化動向や有望技術についてWatchしていく

5. ITRS2013 テーブル改訂 (DFT)

効率的なテストアクセス回路

IPコアの自己テスト回路搭載を進める



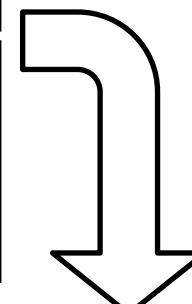
コンカレントテスト実現の課題

テスト装置・テストソフトウェア

- テストチャンネル数
- 同時テスト可能IPブロック数
- テスト精度 ...

設計 (DFT)

- 同時テスト可能なテスト回路設計
- IPコアへのアクセス方式
- 故障診断機能 ...



テストベンダの調査内容などを反映し、
コンカレントテストの技術要求を新規に追加

| 技術要求 | 2013 | 2015 | 2017 |
|---------------------------|------------------|------------|----------------|
| コンカレントテスト実現のためのDFT | デジタルIPのみ | デジタルIPのみ | アナログIP対応 |
| ATEでのコンカレントテスト用スケジューリング機能 | テストリソースとテスト時間を考慮 | 消費電力の考慮を追加 | ノイズの考慮を追加 |
| IPコアへのアクセス機構の標準化 | ロジック・メモリIP | ロジック・メモリIP | 高速I/OとアナログIPコア |

5. ITRS2013 テーブル改訂(DFT)

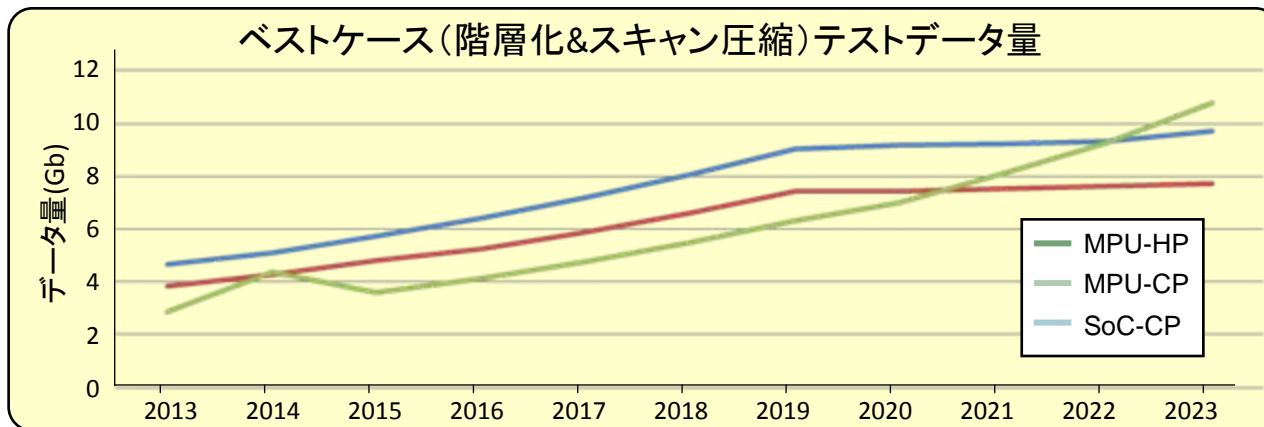
Logic テーブル (Table TST7-TST9)

- ・テーブル構成を単純化
 - ・ITRS2012: デバイスタイプごとに56種の値を記載
 - ・パラメータを本質的なもの限定 (Table TST7)
 - タイプ: 高性能MPU, 民生用MPU, 民生用SoC
 - ダイサイズ, トランジスタ数
 - コア, メモリ, ランダム論理のトランジスタ比率
 - 消費電力
 - スキャンピン数, スキャン速度, スキャンチェーン共用率
 - ・要求値を以下の項目に限定
 - 最小・最大テストデータ量 (Table TST8)
 - ATEへの要求: スキャンメモリ, テスト時間 (Table TST9)

Table TST8 Logic Test Data Volume

| Year | 2013 | 2016 | 2019 | 2022 | 2025 | 2028 |
|--|------|------|------|-------|-------|-------|
| Worst Case (Flat) Data Volume (Gb) | | | | | | |
| MPU-HP | 1458 | 3673 | 9256 | 17139 | 31737 | 58769 |
| MPU-CP | 885 | 2230 | 5620 | 10407 | 19272 | 35685 |
| SOC-CP | 461 | 1150 | 2907 | 7365 | 18662 | 47137 |
| Best-Case (Hierarchal & Compression) Data Volume (Gb) | | | | | | |
| MPU-HP | 4.7 | 6.4 | 9.1 | 9.3 | 9.9 | 10.5 |
| MPU-CP | 3.8 | 5.2 | 7.4 | 7.6 | 7.9 | 8.2 |
| SOC-CP | 2.8 | 4.1 | 6.3 | 9.3 | 13.6 | 20.9 |
| Best-Case Compression Factor | | | | | | |
| MPU-HP | 312 | 572 | 1022 | 1835 | 3201 | 5611 |
| MPU-CP | 231 | 425 | 758 | 1363 | 2425 | 4368 |
| SOC-CP | 162 | 278 | 461 | 795 | 1376 | 2259 |

MPU-HP - High Performance MPU
 MPU-CP - Consumer MPU
 SOC-CP - Consumer SOC



6. WG2活動まとめ

■ 2013年度活動結果

- ITRSのWG2担当節およびテーブルの改訂作業を行った
- **ATE:** SEAJ協力により、テスト装置やテスト治具の最新技術動向を調査し、テスト装置関連テーブルの見易さを追求した大幅な改訂に反映した
- **DFT:** IPコアベースSoCの技術調査とモデル検討を行った。またDFTテーブルおよびSoC節に、コンカレントテスト技術要求を新たに作成し追加した。またDesign章のDFT節についても改訂協力を行った