

2013年度STRJ Workshop

STRJ-WG4(配線)活動報告

Cu配線の微細化課題とブレイクスルー技術

2014年3月7日(10:55-11:20)

WG4 上野 和良

学校法人 芝浦工業大学

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2013年度活動内容概要

2. 2013年度活動内容

ITRS2013関連活動

- Low-kロードマップ: 側壁ダメージを考慮した実現可能な値の検討
- メタル: Cu抵抗率上昇、バリア膜の薄膜化限界
- Metallization Potential Solutionsの改訂
- 信頼性の改訂
- 3D集積化: TSVの電気特性モデルとロードマップ化の検討

STRJ独自活動(ヒアリング)

- 3D集積化技術の動向
- ALD技術の動向
- ナノカーボン配線の動向

3. 2013年度活動まとめと今後の活動予定

主な略語について

AR	Aspect Ratio	アスペクト比:(深さ または 高さ)/(幅 または 径)
BM(MB)	Barrier Metal(Metal Barrier)	拡散防止金属膜
CNT	Carbon Nano-Tube	カーボンナノチューブ
DB	Dielectric Barrier	拡散防止絶縁膜
EM	Electro-migration	エレクトロマイグレーション
SIV	Stress-induced Voiding	ストレス誘起ボイド
TDDDB	Time-dependent Dielectric Breakdown	経時絶縁破壊
ALD	Atomic Layer Deposition	原子層成長
J	Current Density	電流密度
J_{max}	Maximum Current	最大電流密度
J_{EM}	J Limited by EM Lifetime	EM寿命保証可能な最大電流密度
k	Dielectric Constant	比誘電率
Low-k	Low Dielectric Constant	低誘電率
PMD	Pre-Metal Dielectric	第1配線層下(コンタクト部の)層間絶縁膜
TSV	Through-Silicon Via	シリコン貫通ビア
MLG	Multi-layer Graphene	多層グラフェン

リーダー	上野 和良	[芝浦工業大学]
サブリーダー	柴田 英毅	[東芝]
	筑根 敦弘	[大陽日酸]
国際対応	山崎 治	[シャープ]
	磯林 厚伸	[東芝]
幹事	早川 崇	[SEAJ: 東京エレクトロン]
委員	中村 友二	[富士通セミコンダクター]
	松本 明	[ルネサスエレクトロニクス]
	庄子 礼二郎	[ソニー]
	中尾 雄一	[ローム]
関連会社	武田 健一	[日立製作所]
特別委員	辻村 学	[荏原製作所]
	嘉田 守宏	[AIST]
	小林 伸好	[SEAJ: 日本ASM]
	今井 正芳	[SEAJ: 荏原製作所]
	李 康旭	[東北大学]
	伊藤 浩之	[東京工業大学]

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2013年度活動内容概要

2. 2013年度活動内容

ITRS2013関連活動

- Low-kロードマップ: 側壁ダメージを考慮した実現可能な値の検討
- メタル: Cu抵抗率上昇、バリア膜の薄膜化限界
- Metallization Potential Solutionsの改訂
- 信頼性の改訂
- 3D集積化: TSVの電気特性モデルとロードマップ化の検討

STRJ独自活動(ヒアリング)

- 3D集積化技術の動向
- ALD技術の動向
- ナノカーボン配線の動向

3. 2013年度活動まとめと今後の活動予定

2013 ITRS INTC Team

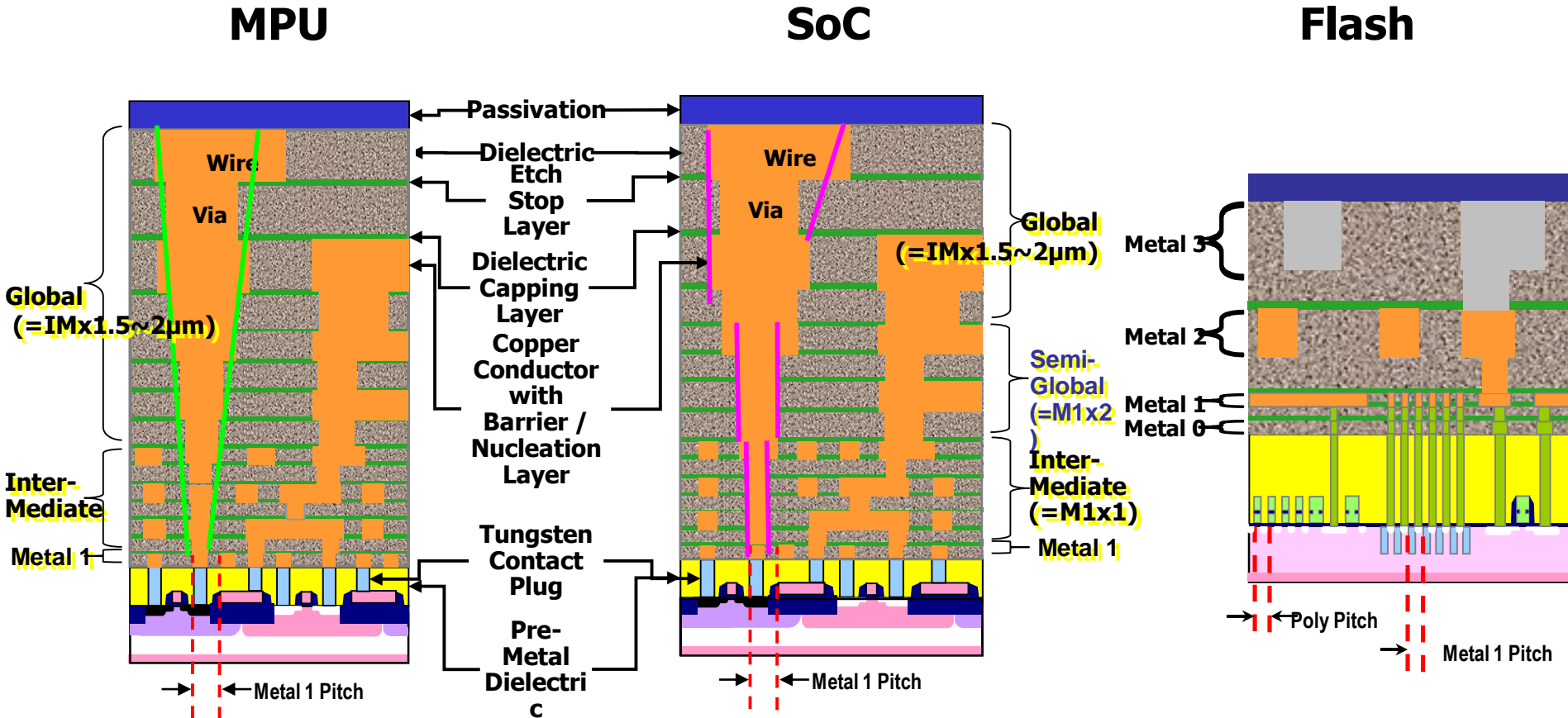


Category	US	Europe	Far East
Scope			
Introduction & executive summary, D/C Challenge Technology Requirement	Paul Zimmerman		山崎 治, 磯林 厚伸, 柴田 英毅
Dielectrics/ Air Gap	Mike Corbet, Boyan Boyanov, Geraud Dubois, Mehul Naik	Didier Louis, Michele Stucchi	磯林 厚伸 , 小林 伸好, 筑根 敦弘, 柴田 英毅, Tien-I Bao
Etch, Strip and Cleans	(from IBM and others...), Mehul Naik, Diane Hymes, Dave Maloney	Didier Louis	早川 崇
Surface Prep (FEP included)			今井 正芳
Reliability	Boyan Boyanov , Paul Ho	Lucile Arnaud, Heinrich Koerner, Michele Stucchi, Zsolt Tokei	上野 和良, 中村 友二
Planarization	Paul Feeney	Didier Louis	辻村 学
Conductors, Nucleation (seed), Barrier	Dan Edelstein, Boyan Boyanov	Cindy Goldstein	松本 明, 中尾 雄一, 筑根 敦弘, 柴田 英毅, 中村 友二 , Winston Shue
Systems and Performance	Urmi Ray	Hans Barth, Alexis Farcy, Michele Stucchi	伊藤 浩之
New Concept/Emerging	Azad Naeemi, Boyan Boyanov		上野 和良
Passive Devices		Hans Barth	
3D	Jon Candelaria, Sitaram Arkalgud, Sesh Ramaswami, Philip Garrou, James Lu	Michel Stucchi, Eric Beyne	嘉田 守宏, 李康旭, 武田 健一, 庄子礼二郎, Shin-Pu Jeng
Flash			磯林 厚伸 , 柴田 英毅
DRAM			Gilheyun Choi , Sang Hoon Ahn, Nohjung Kwak, Jaeyoung Yang, Hanchon Lee

Interconnect scope

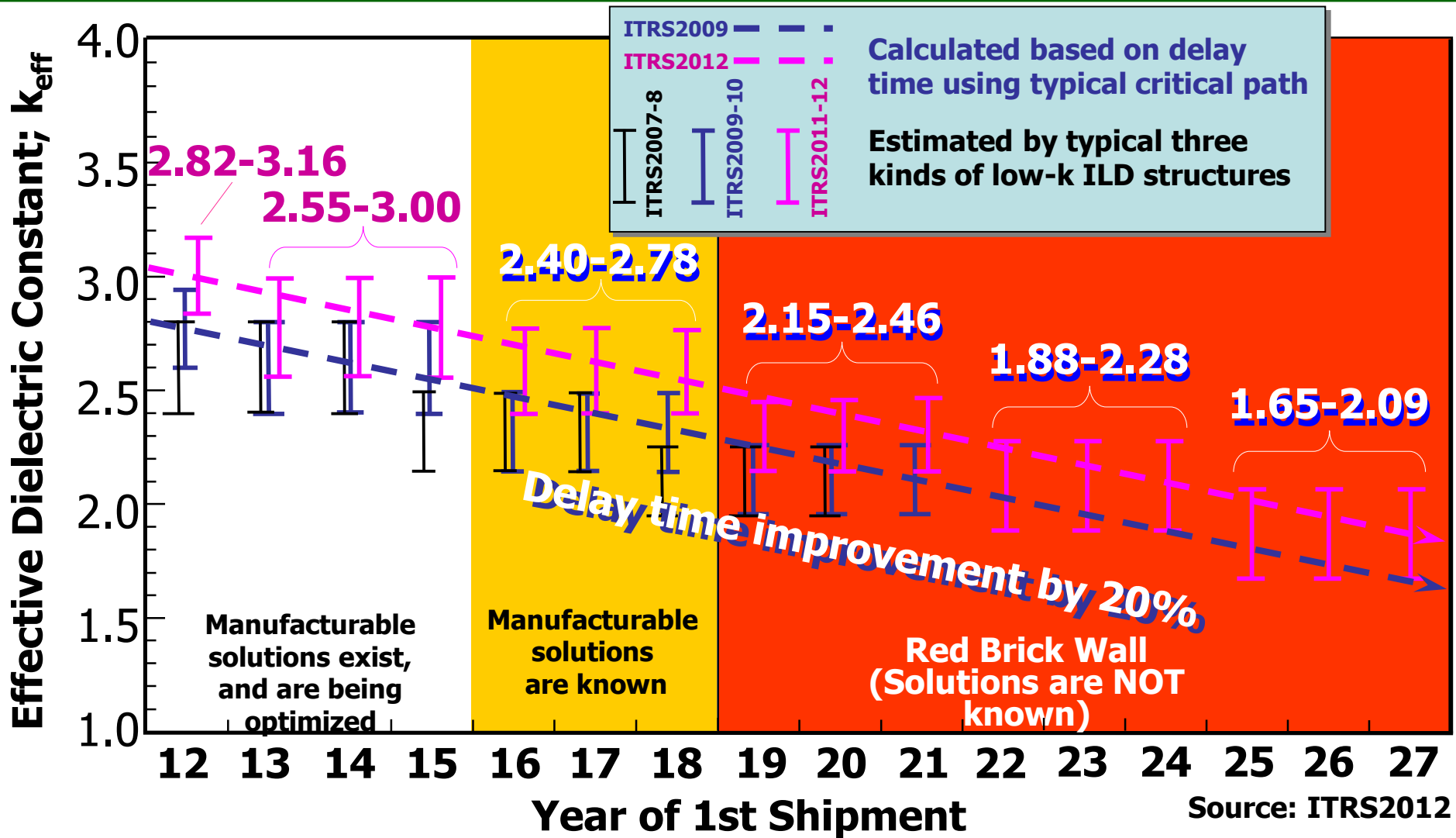
- Conductors and dielectrics
 - Metal 1 and contacts through global levels
 - Associated planarization
 - Necessary etch, strip, and cleans
 - Embedded passives
 - Global and intermediate interconnection for 3D
 - Reliability, system, and performance issues
 - “Needs” based replaced by scaled, equivalently scaled, or functional diversity drivers.
- ...メタルと絶縁膜
- ...平坦化(CMP)
- ...加工・洗浄
- ...受動素子
- ...TSV
- ...信頼性, 性能
- ...More than Moore

対象とする配線の断面構造



- 1) MPU: 徐々に配線幅が変化
- 2) SoC: 段階的に配線幅が変化
- 3) Flash: M1が微細化のテクノロジードライバー

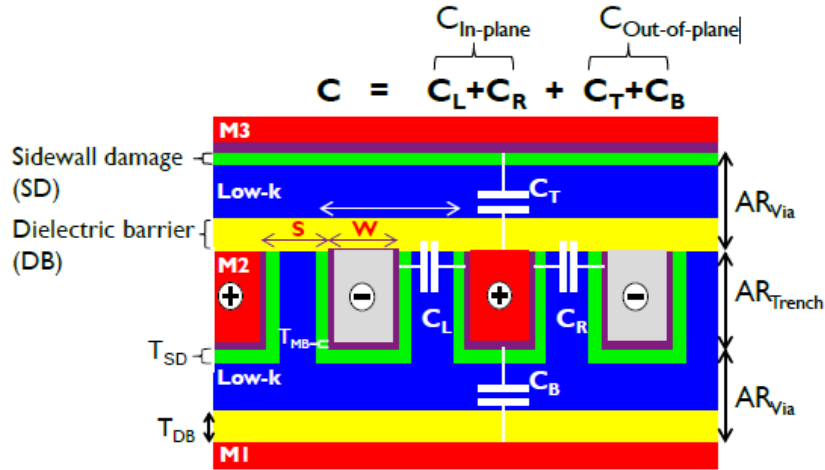
2012 Low-k Roadmap Update



変更なしだが、ダメージの影響を考慮した実現可能な値に向け議論中

Ultra-Low-k (ULK)の側壁ダメージ

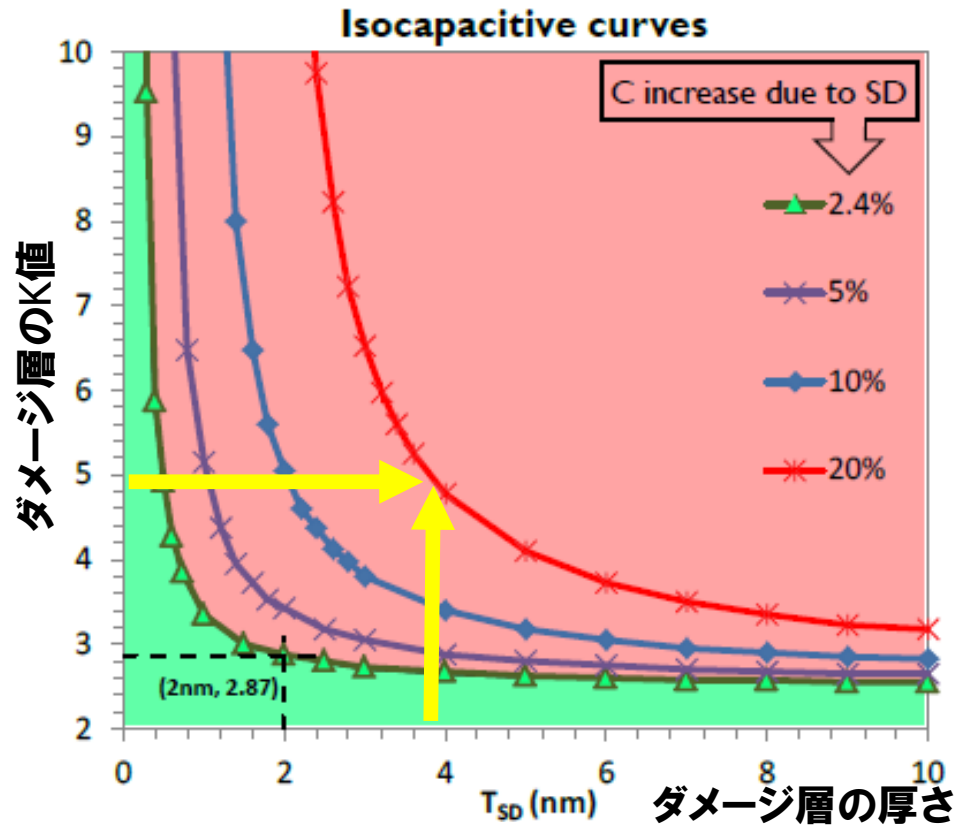
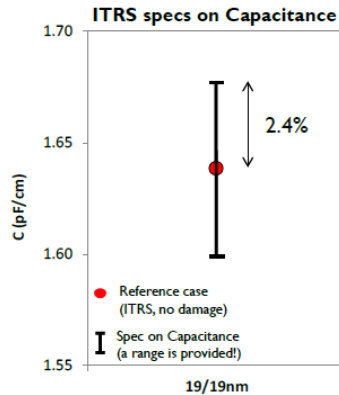
RIEや洗浄でk値がシフト



ケース

4-6年後

Reference case	
W/S	19/19nm
AR _{Trench}	2
AR _{Via}	1.8
K _{Low-k}	2.475
K _{DB}	3
T _{DB}	15nm
T _{MB}	1.7nm



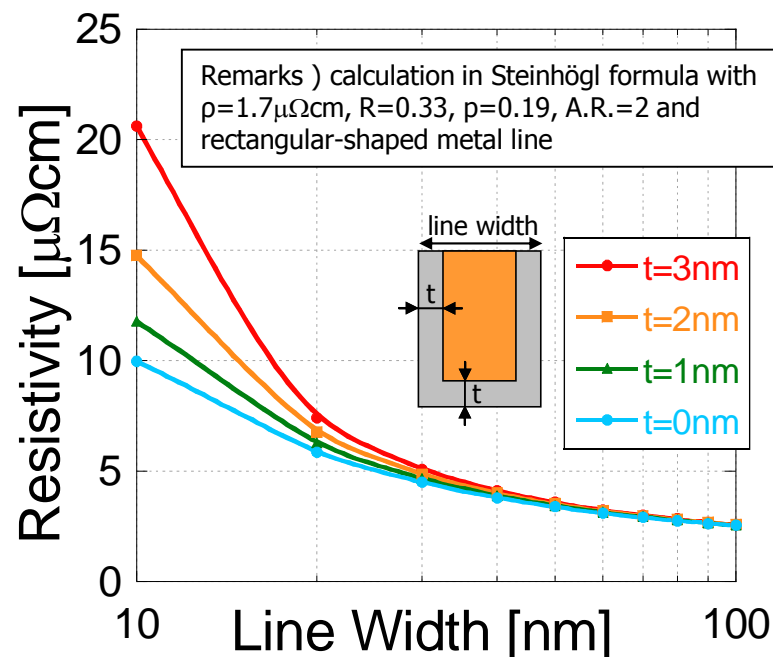
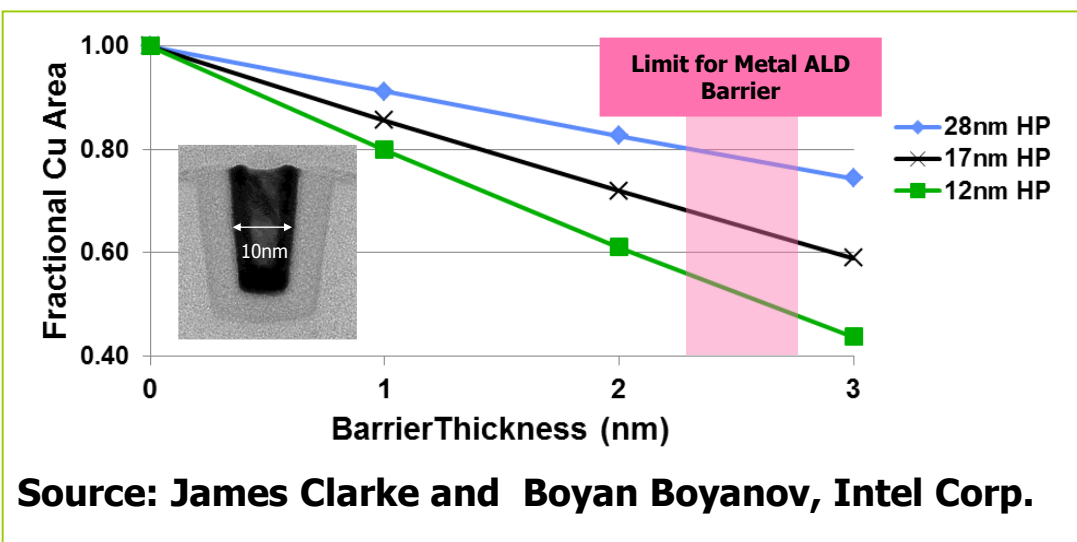
Source: Ivan Ciofi, IMEC

ULKでは側壁ダメージによる容量増加が無視できない.側壁ダメージを定量評価し、 k_{eff} ロードマップに反映を検討中.

要因 (i) サイズ効果 (ii) バリア膜の薄膜化限界

Table INTC2 MPU Interconnect Technology Requirements

Year of Production	2012	2013	2014	2015
METAL 1				
Barrier/cladding thickness (for Cu Metal 1 wiring) (nm) [3]	2.6	2.4	2.1	1.9



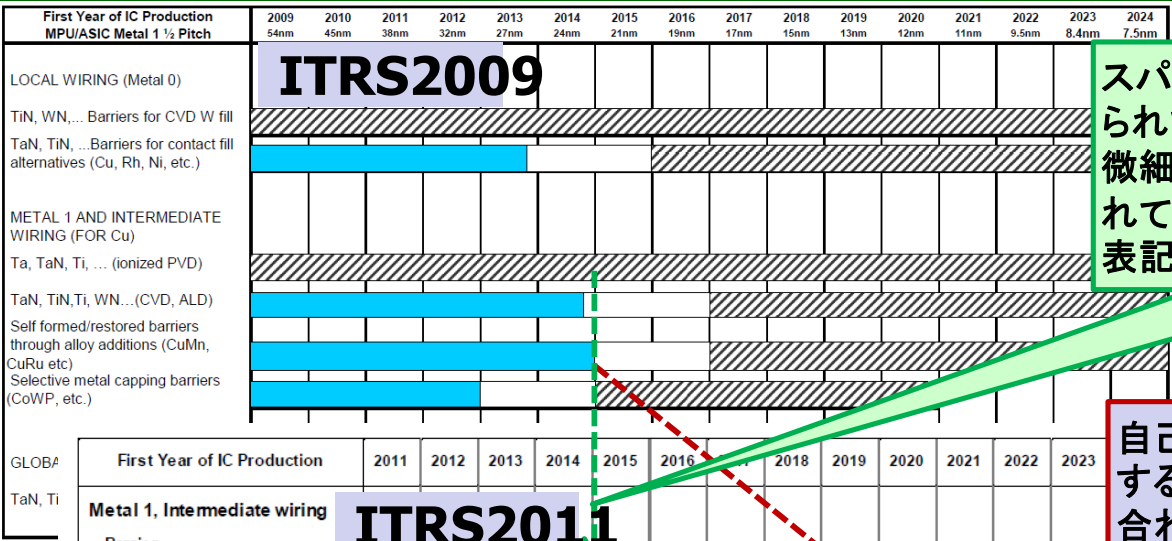
- ・現状2.5nm前後までが限界。1nm以下のバリア膜か、バリアレスの導体が必要。
- ・バリアはALDが本命だが、k2.5以下ではしみこみの問題があるので、ポアシール (Mnもその一つ)との複合技術が重要になる

Barrier metal / Nucleation / Conductor

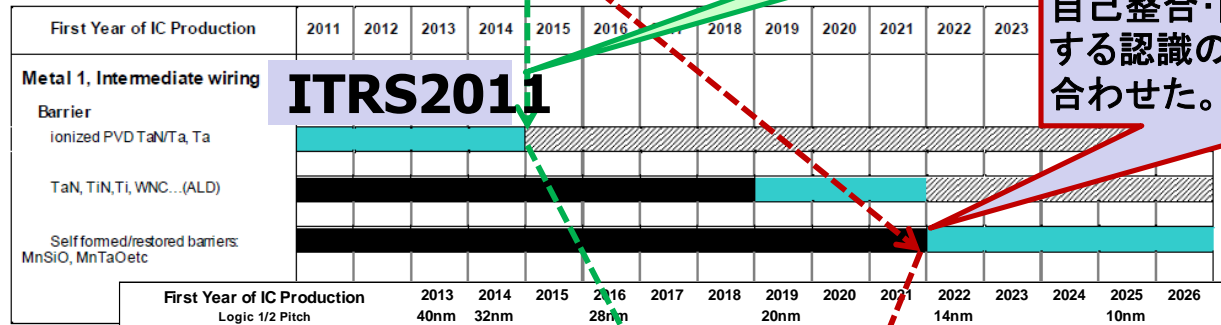
改訂の経緯とポイント

- **2009年版**: 大幅改訂(日本)
 - P.S.候補として、使われる見込みのない材料を削除
 - RuTa、RuW、RuMn等、Barrier metal /Nucleationの新規材料を新たな候補に追加
- **2011年版**: 方針変更と、それに伴う大幅な見直し (TWG全体で検討)
 - Research Required(研究), Development Underway(開発), Qualification / Pre-Production(試作), Continuous Improvement(量産)の定義を変更
 - ✓ 量産で使われ続ける材料は削除
 - ✓ 量産使われている材料であっても、微細化に伴う改良が必要な場合は、開発段階とした。
- **2013年版**: 一部材料の開発・試作状況を見直し(日本)
 - 例・ Barrier metal: Self formed/restored barriers (**MnSiO**)
2021年まで研究 → 2018年まで開発へ変更
 - Conductor: Alloy additions to Cu for reliability improvements (**CuAl, CuTi**)
2015年まで研究 → 2015年まで開発へ変更

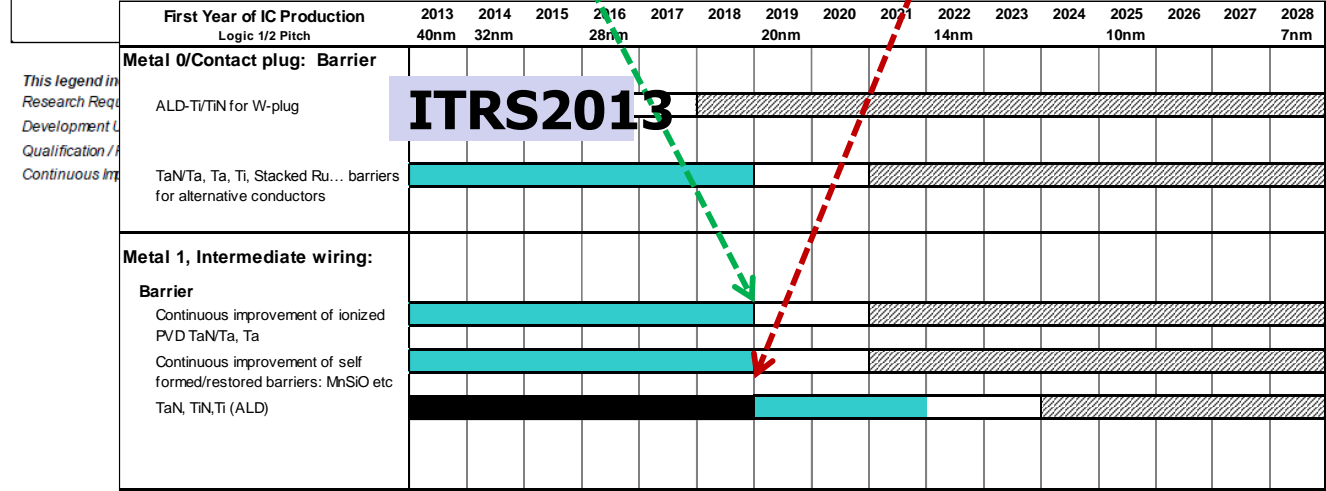
例: Barrier Metal Potential Solutions改訂状況



スパッタTa, TaN, Tiは、既に使い続けられている材料。微細化に対応するため、開発も行われている。それが、いつまで続くかを表記する。



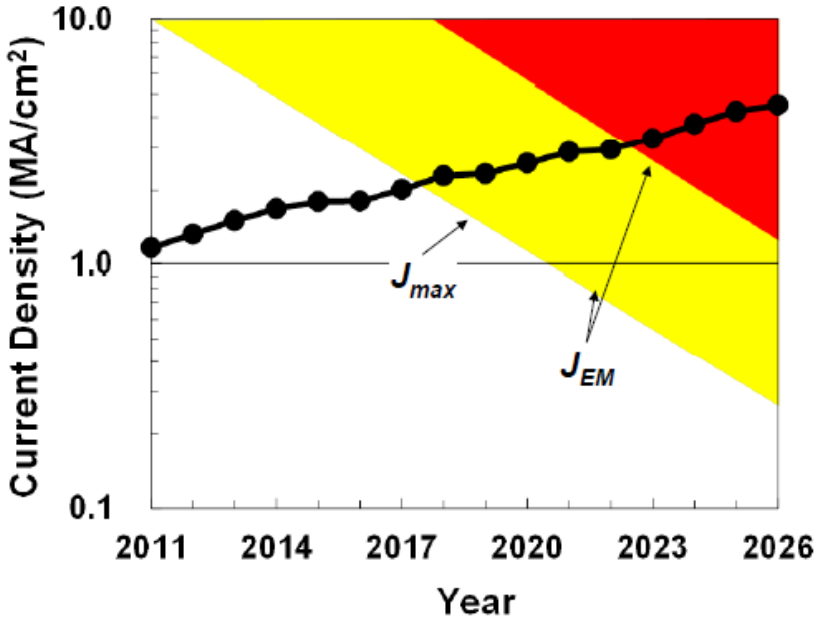
自己整合・回復バリアの実用化に対する認識の違い。日本WGの認識に合わせた。



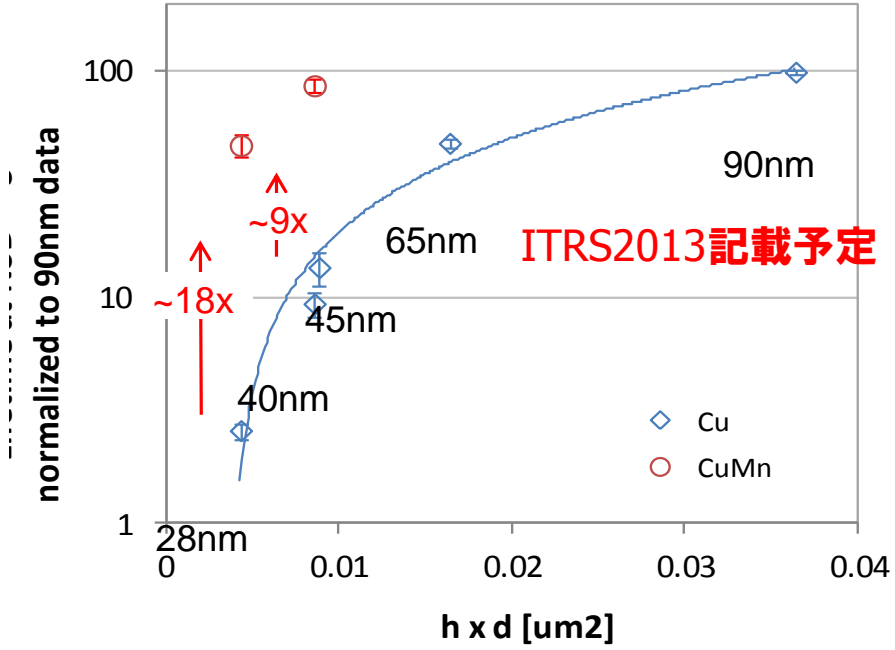
- 研究
- 開発
- 試作
- 量産

- J_{max} (電流密度の要求値)の改訂はなしだが、
クロック周波数が近年 一定か低減傾向との記述を追加
- J_{EM} (EM限界電流密度)は**EM耐性向上技術**
(CuAl, CuMn合金, メタルキャップ等)により改善
- **実装EM**(ビア, TSV), SIVの記述を充実

J_{max} と J_{EM} のスケーリング動向



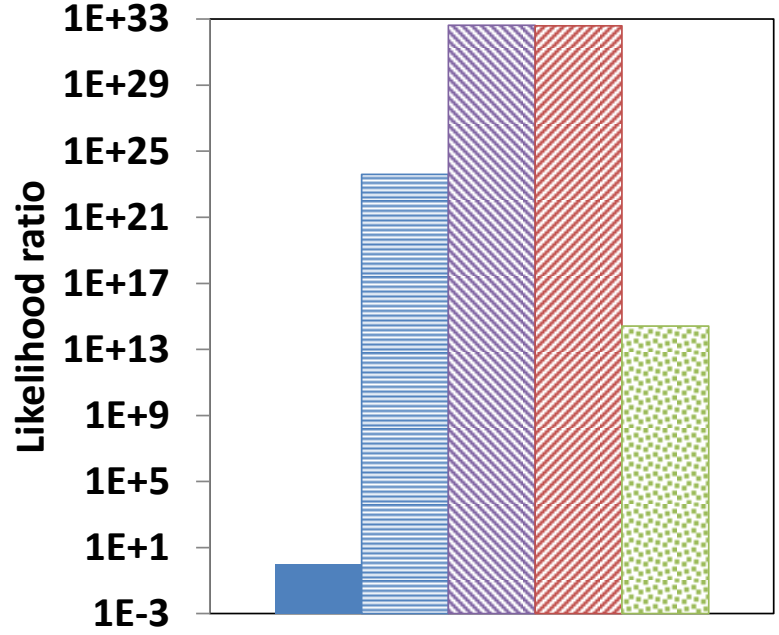
CuMnによるEM寿命改善



- ・全面的に記述を改訂、配線TDDDBの現状レビュー
- ・配線TDDDB寿命の高精度予測モデルが論点

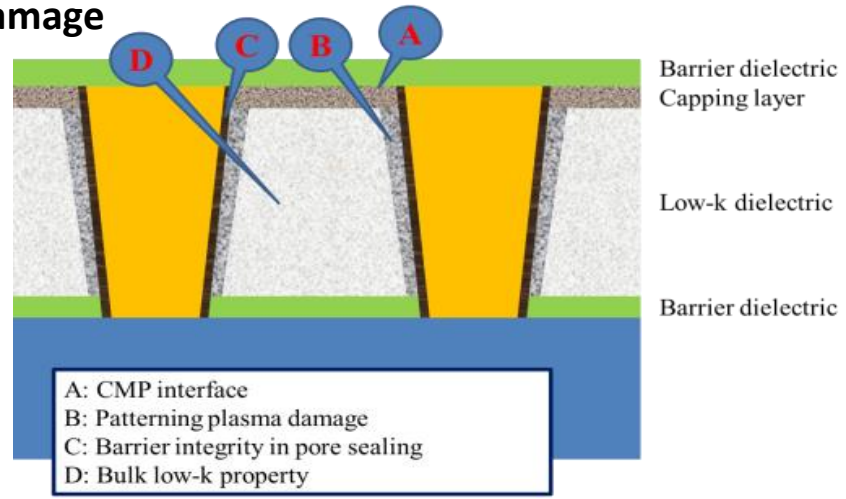
モデルの適合性比較

ITRS2013記載予定



- E
- ▨ vE
- ▨ Impact Damage
- ▨ Em
- ▨ 1/E

TDDDB劣化要因



K. Croes et al, "Low field TDDDB of BEOL interconnects using >40 months of data," IEEE IRPS, 2013

Design WGからの要求に基づき, TSV電気特性(R, C, L)のロードマップ化をimecが提案。STRJ WG4内で検討開始。

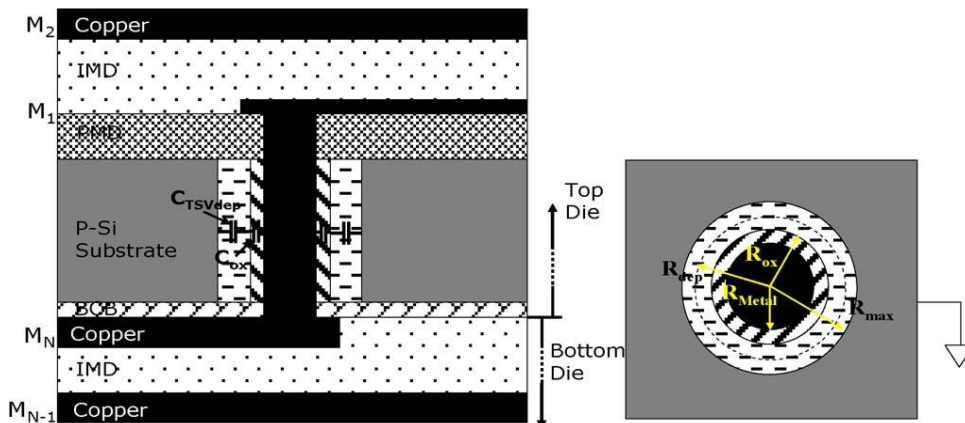
• imec 提案(Still in Discussion)

追加が提案されている項目

ITRS data			TSV dimensions			R, C, L ranges (min-max)				
Year	TSV external diameter range	TSV length range	Radius Cu [um]	Radius Si [um]	Radius of max depl. [um] (for depletion capacitance, calculated separately with solver)	R [mohm]	C _{acc} [fF]	C _{at_max_dep} [fF]	C _{TSV_min} [fF] (C _{acc} in series with C _{at_max_dep})	L [pH]
2011-2014	4-8 um	20-50 um	1.9-3.9	2-4	2.605-4.618	7 - 75	89 - 450	50 - 229	32 - 152	8 - 37

Source: Michele Stucchi, IMEC

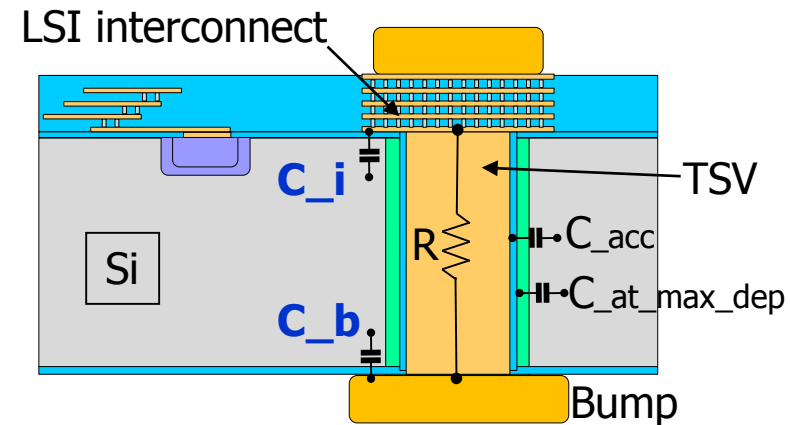
• TSVモデル構造



R: TSV抵抗
 C_{acc}: Liner膜による静電容量
 C_{at_max_dep}: 空乏層容量
 L: 自己インダクタンス

日本側は、回路設計の点では、その他寄生成分(下記)の考慮も重要と主張。Roadmap化に関し、今後、Design WGと議論予定。

議論中の電気特性	Imec提案	日本側意見
抵抗	TSV部分のみの真性抵抗(R)	左記に加え、配線/バンプ、および、接触抵抗への配慮が必要との立場
容量	ライナー膜の静電容量(C_{acc})と空乏層容量($C_{at_max_dep}$)	左記に加え、TSV接続配線の寄生容量(C_i)、および、バンプの寄生容量(C_b)も考慮すべきとの立場
インダクタンス	部分自己インダクタンス(L)	インダクタンス記載の是非、および、記載すべきインダクタンス成分に関して再考が必要との立場



次回改訂を念頭に、国内のDesign WGとの議論を通じて、Roadmap化すべき項目の具体化を行う方針

※評価方法・構造に関しても、具体的な指針が必要。

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2013年度活動内容概要

2. 2013年度活動内容

ITRS2013関連活動

- Low-kロードマップ: 目標値から実力値へ(側壁ダメージの影響)
- メタル: Cu抵抗率上昇、バリア膜の薄膜化限界
- Metallization Potential Solutionの改訂
- 信頼性セクションの改訂
- 3D集積化のRCモデルとロードマップ化の検討

STRJ独自活動(ヒアリング)

- 3D集積化技術の課題
- ALD技術の動向
- ナノカーボン配線の動向

3. 2013年度活動まとめと今後の活動予定

3D集積化方法の選択

- ・ビアファースト : CMOS形成前にTSV
- ・ビアミドル : BEOLプロセス前にTSV
- ・ビアラスト : BEOLプロセス後にTSV

3D集積化の課題

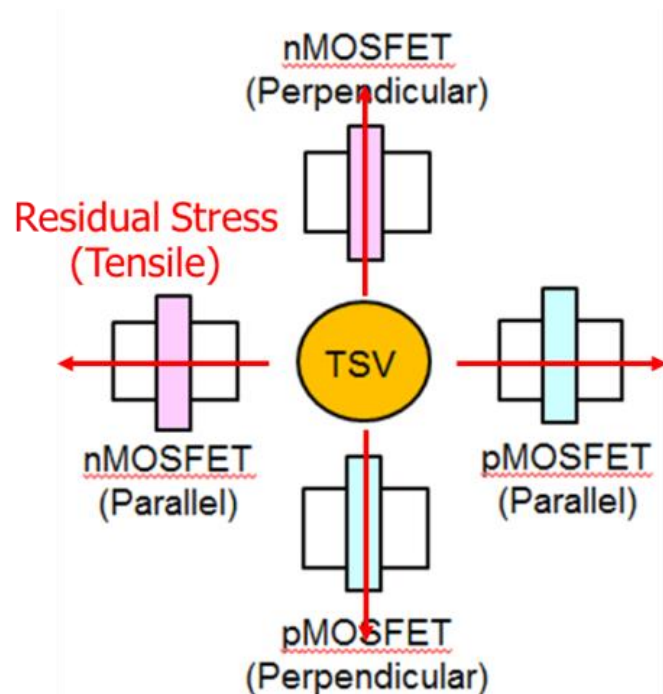
- ・ストレスによるトランジスタ特性変動、Cuビアのポップアップ
- ・Cu汚染による信頼性劣化 : Boschプロセスの影響

TSVのスケーリングに伴う課題

- ・Si薄膜化の影響 : ヤング率低下、DRAM保持時間の劣化

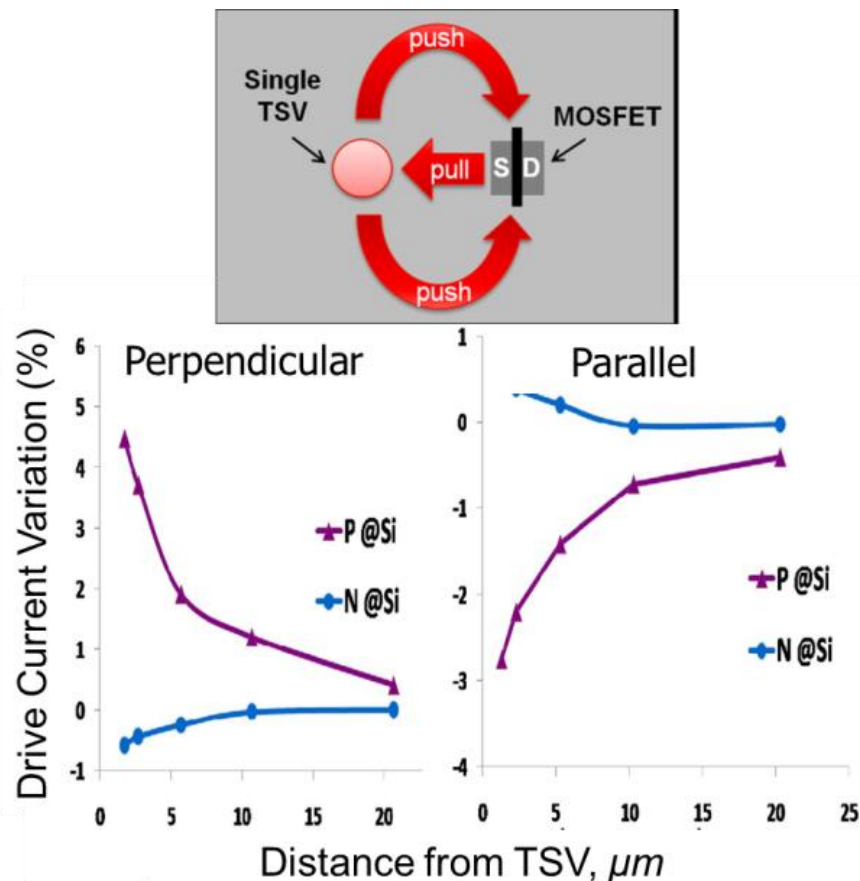
Cu TSVからのストレスによるトランジスタ特性の変動

TSV周辺に置かれたMOSFET



	nMOSFET	pMOSFET
Perpendicular	Decrease	Increase
Parallel	Increase	Decrease

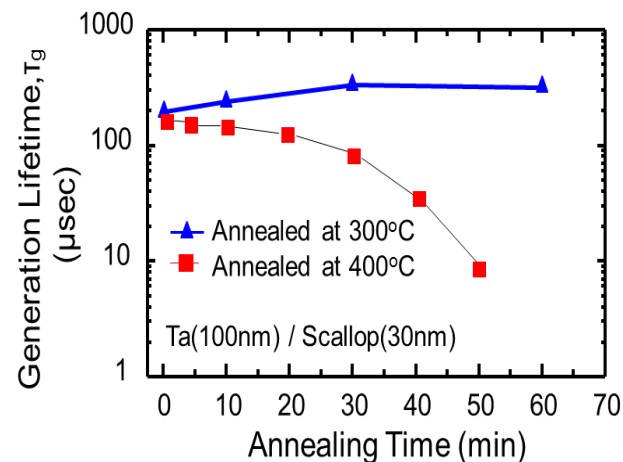
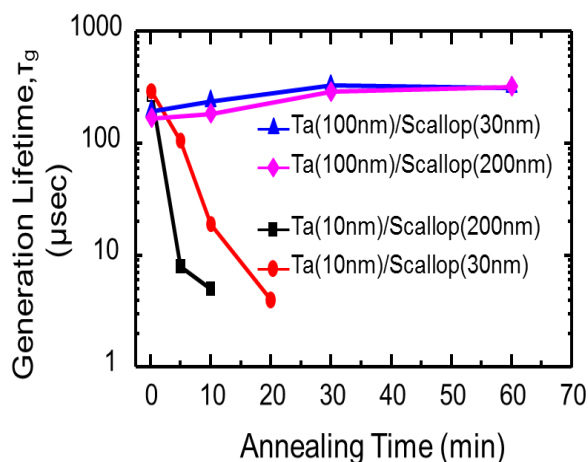
MOSFET電流の変動



IMEC, IEEE IEDM 20

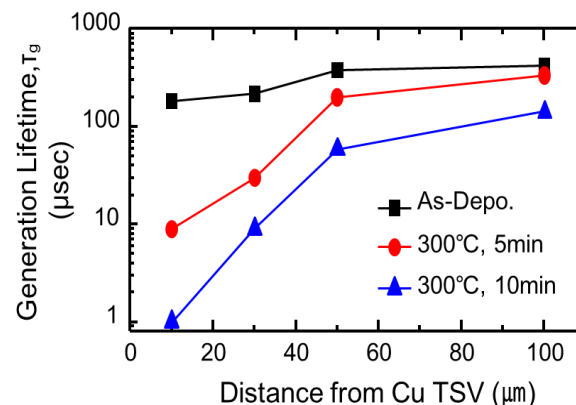
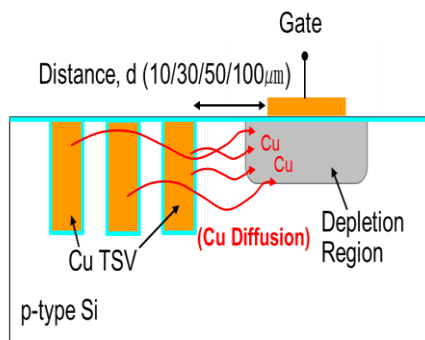
TSVからのCu汚染によるデバイス特性への影響

300, 400°Cアニール後の異なるTaバリア膜厚のCuTSV近傍のMOS容量のキャリア寿命



Cu拡散によるキャリア寿命変化(CuTSVとの距離依存性)

Ta(10nm)/SiO₂(200nm)/Si-Sub.(200-nm Scallop), 300 °C

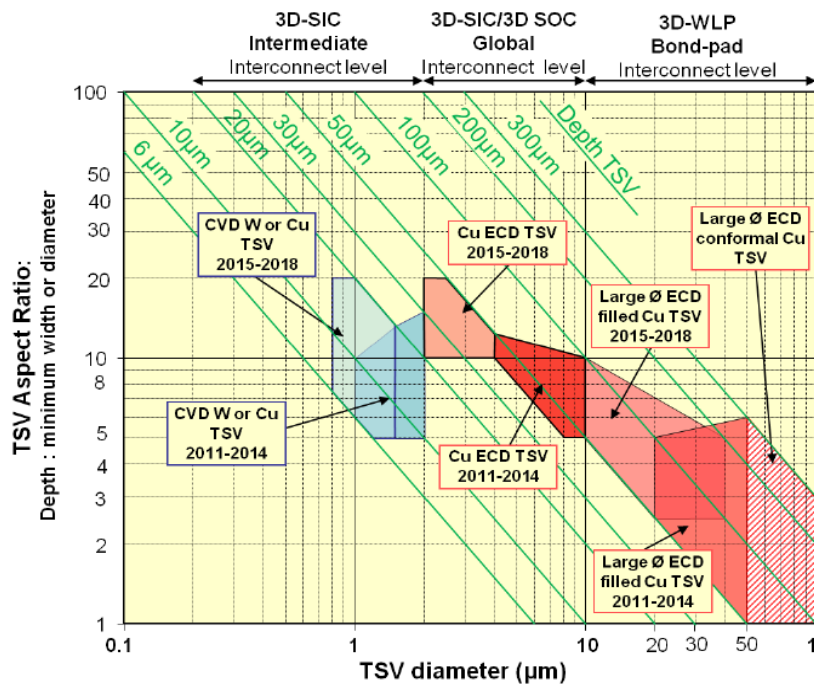


K.W. Lee et al., IEEE IRPS 2012

Si薄膜化による影響 :

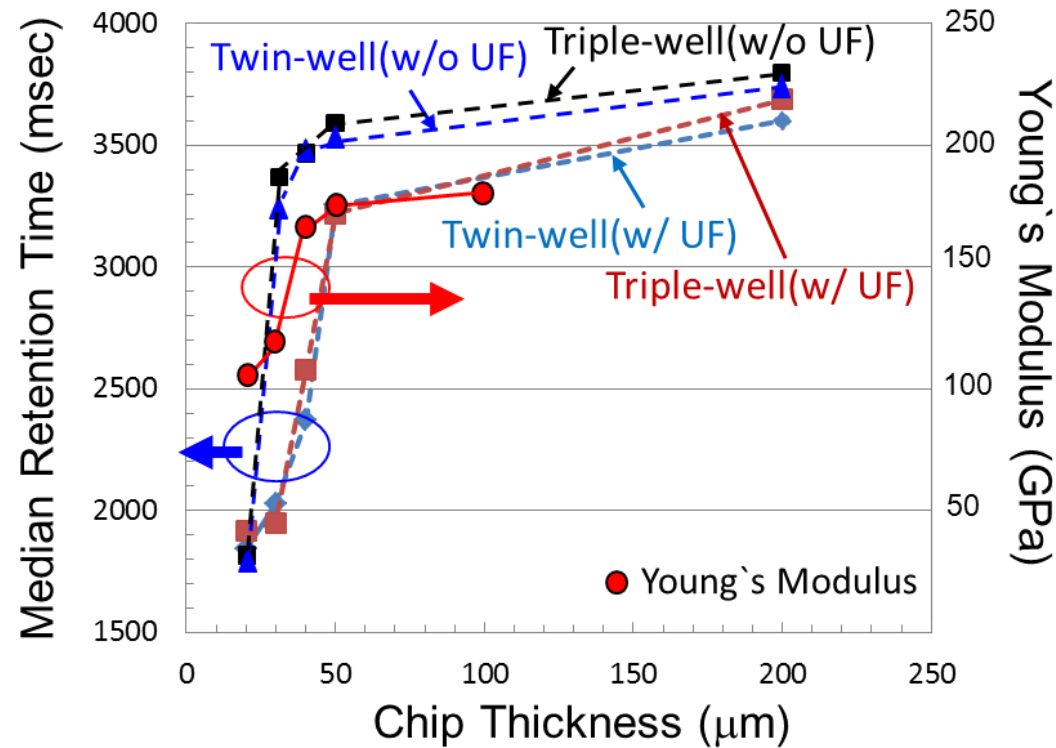
ウエハを50 μ m以下に薄化すると、ヤング率、DRAM保持時間が低下

TSVの径とアスペクト比



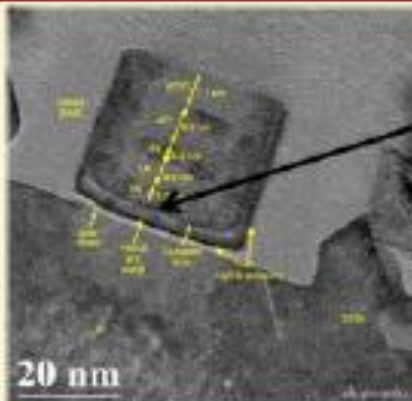
ITRS 2011, Figure INTC23

ウエハ厚とDRAM保持時間



K.W Lee, et al., IEEE T-ED 2014

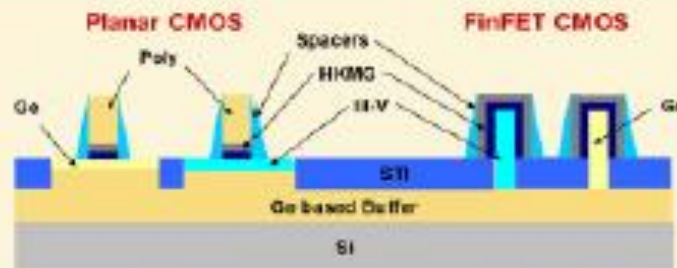
トランジスタ (High-k, Metal G)



High-k and
Metal Gates

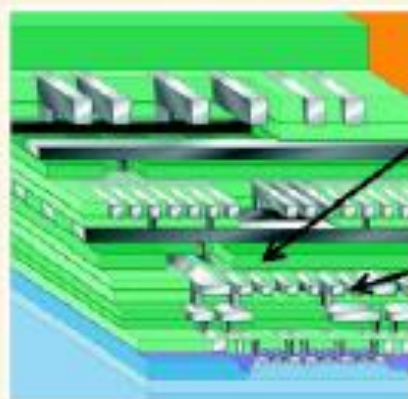
DRAM, RF,
decoupling
capacitors

トランジスタ (Spacer)



Strain and new Channel Materials
New metal contacts

配線 (Barrier metal)



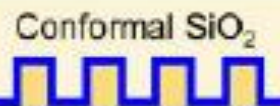
(Porous)
Low-k Materials

Improved
Metals

微細化 (SDDP/SDQP)



EUV delays lead to
double patterning
(SDDP/SDQP)

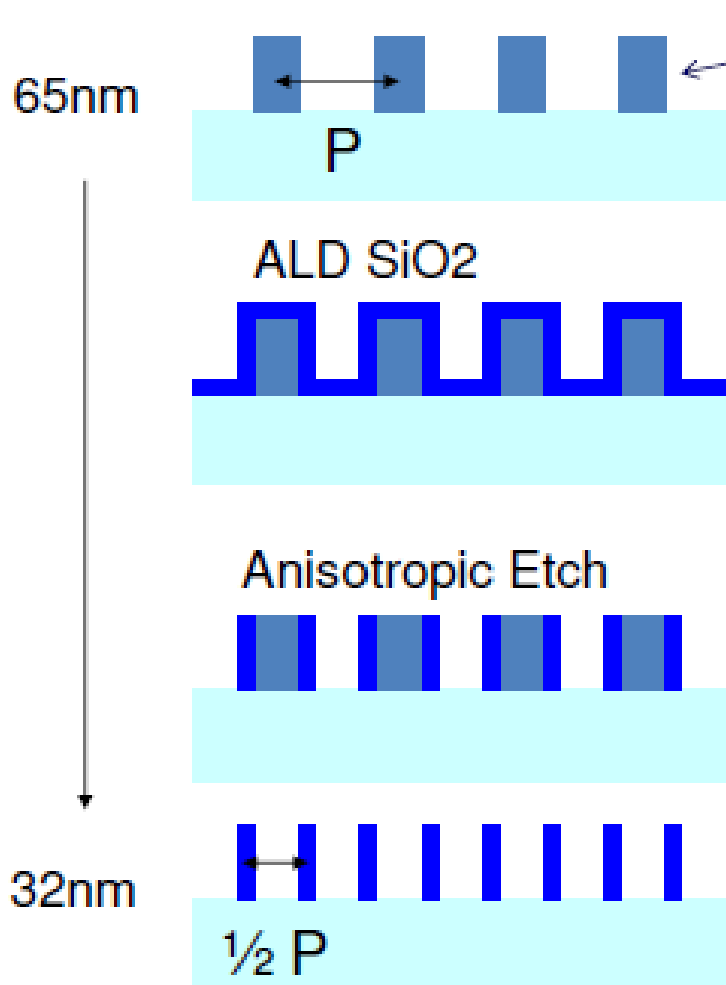


Anisotropic Etch

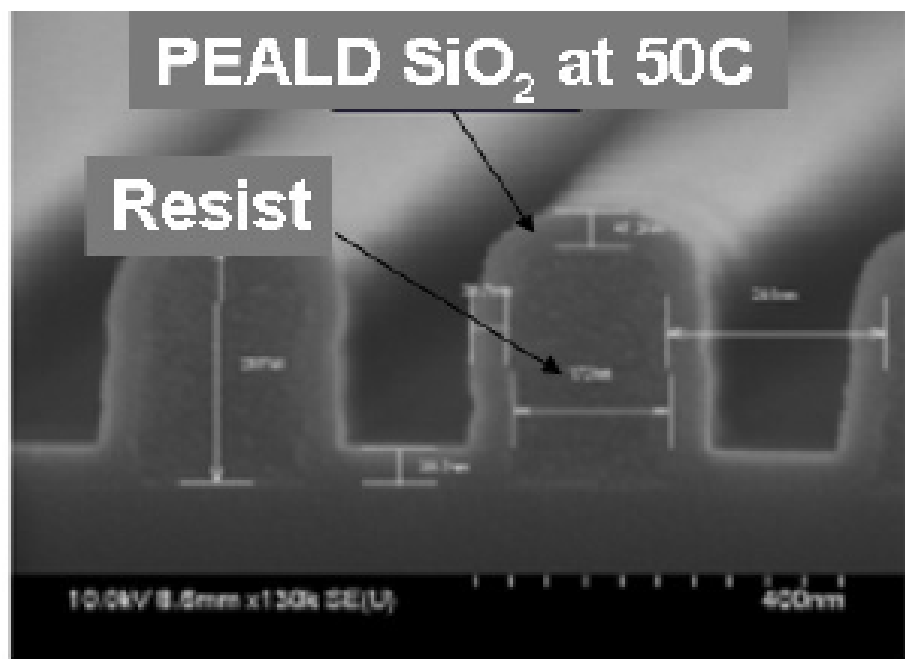
Pitch/2

ASM 小林委員資料より

SDDP: Self Defined Double Pattern



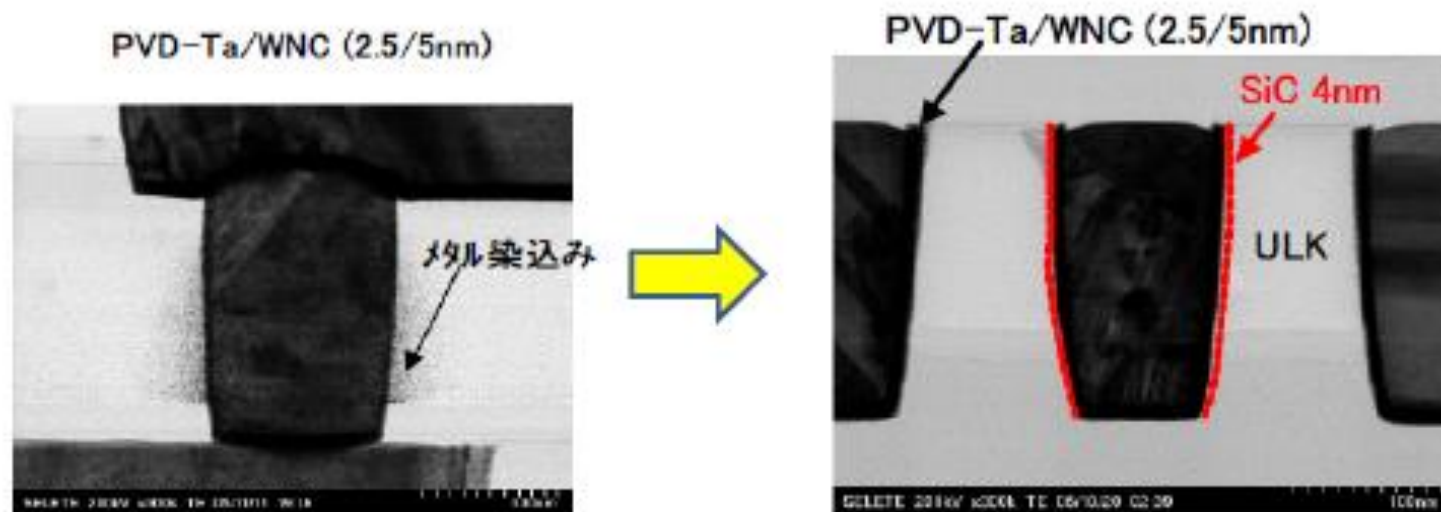
Litho-formed template in resist



微細化技術として量産適用

ASM 小林委員資料より

ALD WNCバリア: SiC pore sealによるメタル染込みの防止



ALDメタルバリアの量産化課題

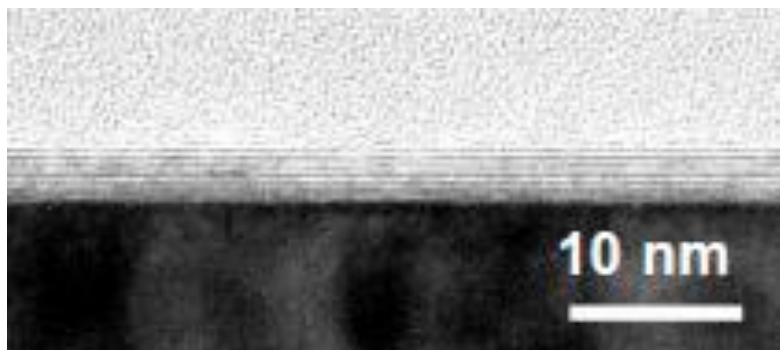
- porous low-kへのメタル染込み => pore seal膜の形成
- バリア性の薄膜化限界 < 2nm => 表面処理(表面凹凸減少)
- Cu配線の信頼性 => バリア性/めっき濡性/接着性確保

ASM 小林委員資料より

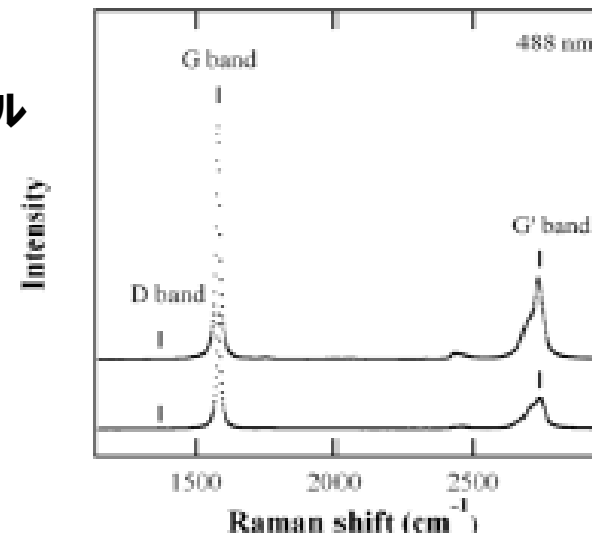
多層グラフェン(MLG)配線

エピタキシャルCo触媒を用いた～10層のMLG

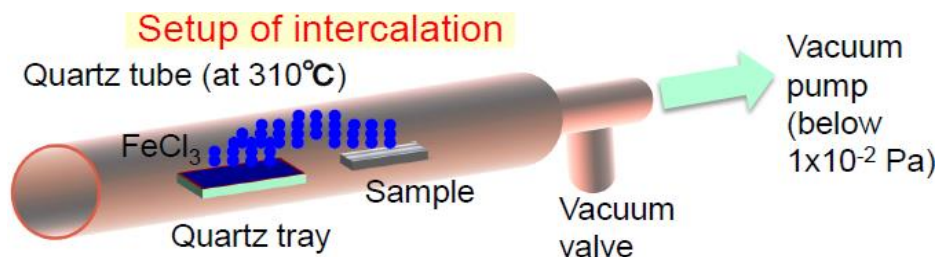
断面TEM



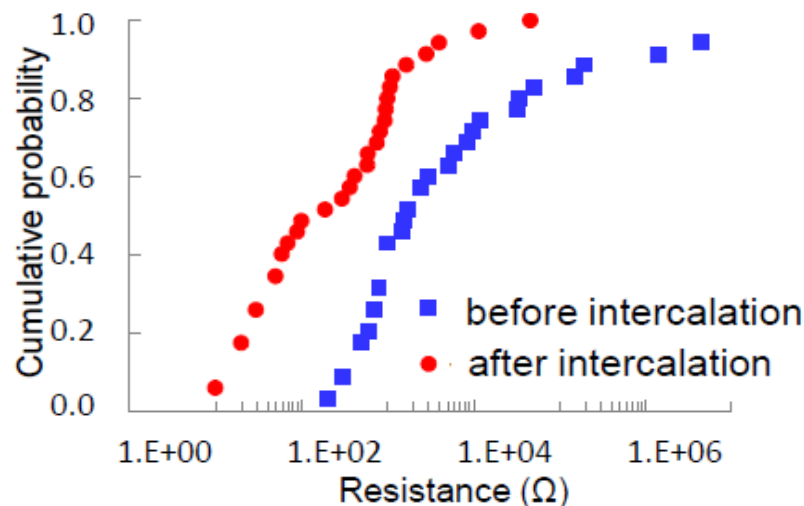
ラマンスペクトル



FeCl₃インターカレーションドーピング



転写したMLG配線の抵抗



**最小抵抗率～4.1μΩcm
:バルクCuと同等**

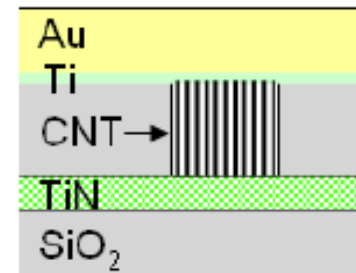
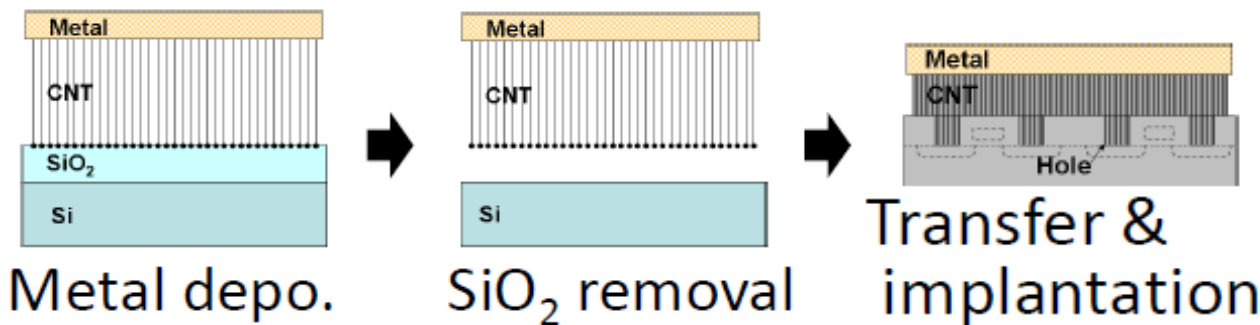
多層グラフェン配線の性能

	産総研 GNC	Stanford/SAINT Sejong Univ. (VLSI2012)	SUNY (IEDM2011)
Formation method	Epitaxial CVD and transfer of MLG	CVD & transfer of MLG	CVD & multiple transfer of graphene
Substrate size	75 mm	100 mm	Cu foil (size unknown)
Interconnect dimension (width x length)	2-20 μ m x 2-10 μ m	3 μ m x 100-400 μ m	0.5-3 μ m x 2-10 μ m
Thickness	~10 layers	10-15 layers	Max. 5 layers
Resistivity	Minimum: ~50 μ Ω cm After intercalation: ~4.1 μ Ω cm	Average: 104 μ Ω cm (Minimum: 70-80 μ Ω cm)	~170 μ Ω cm
Reliability	No failure after 150hrs @ 10MA/cm ² , 250°C	Failure after 6 hrs @ 20MA/cm ² , 280°C	Breakdown current: 1000MA/cm ²

D. Kondo et al., IIITC 2013, SSDM 2013

インプラントによるCNTビア

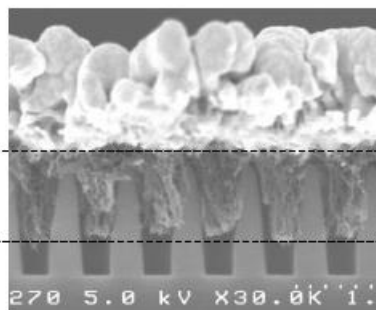
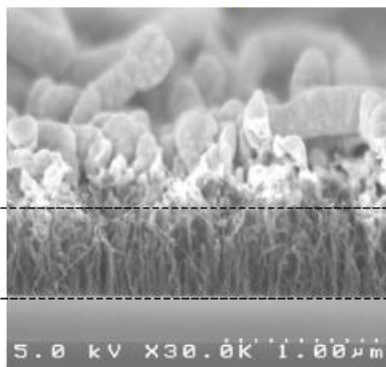
成長したCNTをビアパターンに埋め込む新プロセス



断面SEM写真

Before implant

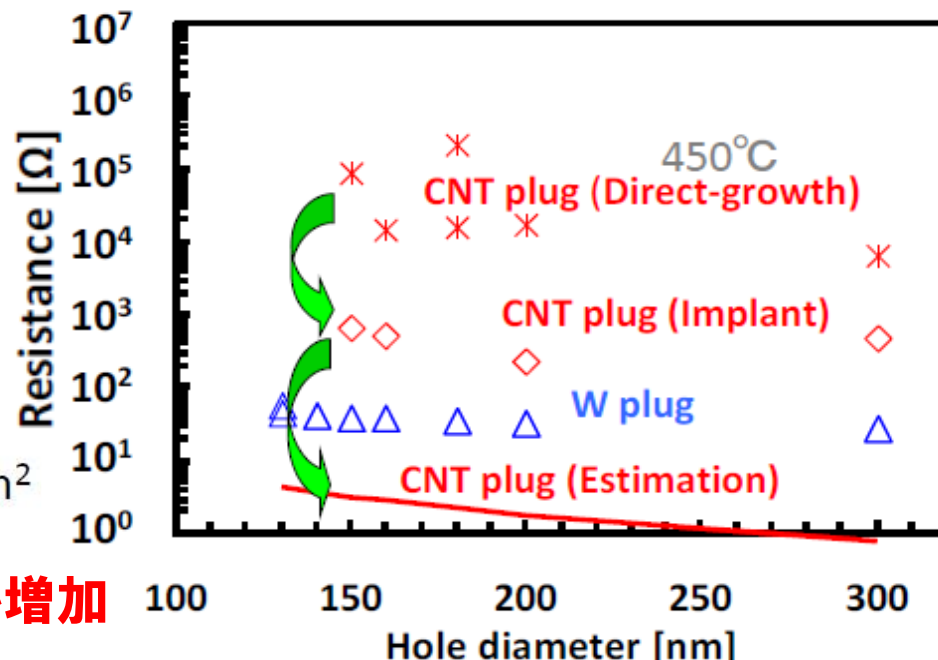
After implant



3×10^{11} tubes/cm²

1.2×10^{12} tubes/cm²

ビア抵抗



- ・インプラントによりビア内のCNT密度が増加
- ・直接成長したCNTビアより低抵抗

M. Sato et al., IEDM 2013

◎ 2013年度の主な活動

★ ITRS2013関連活動

- Low-kロードマップの側壁ダメージの考慮(検討中)
- Metallization P.S.の改訂
- 信頼性の改訂
- 3D集積化のTSVのモデリングとロードマップ化(検討中)

★ STRJ独自活動(技術動向調査)

- 3D集積化技術
- ALD技術
- ナノカーボン配線

◎ 2014年度の活動予定

★ ITRS関連活動: Low-k, TSVの検討

★ 独自活動: 微細化とMore than Mooreの配線技術動向の調査