

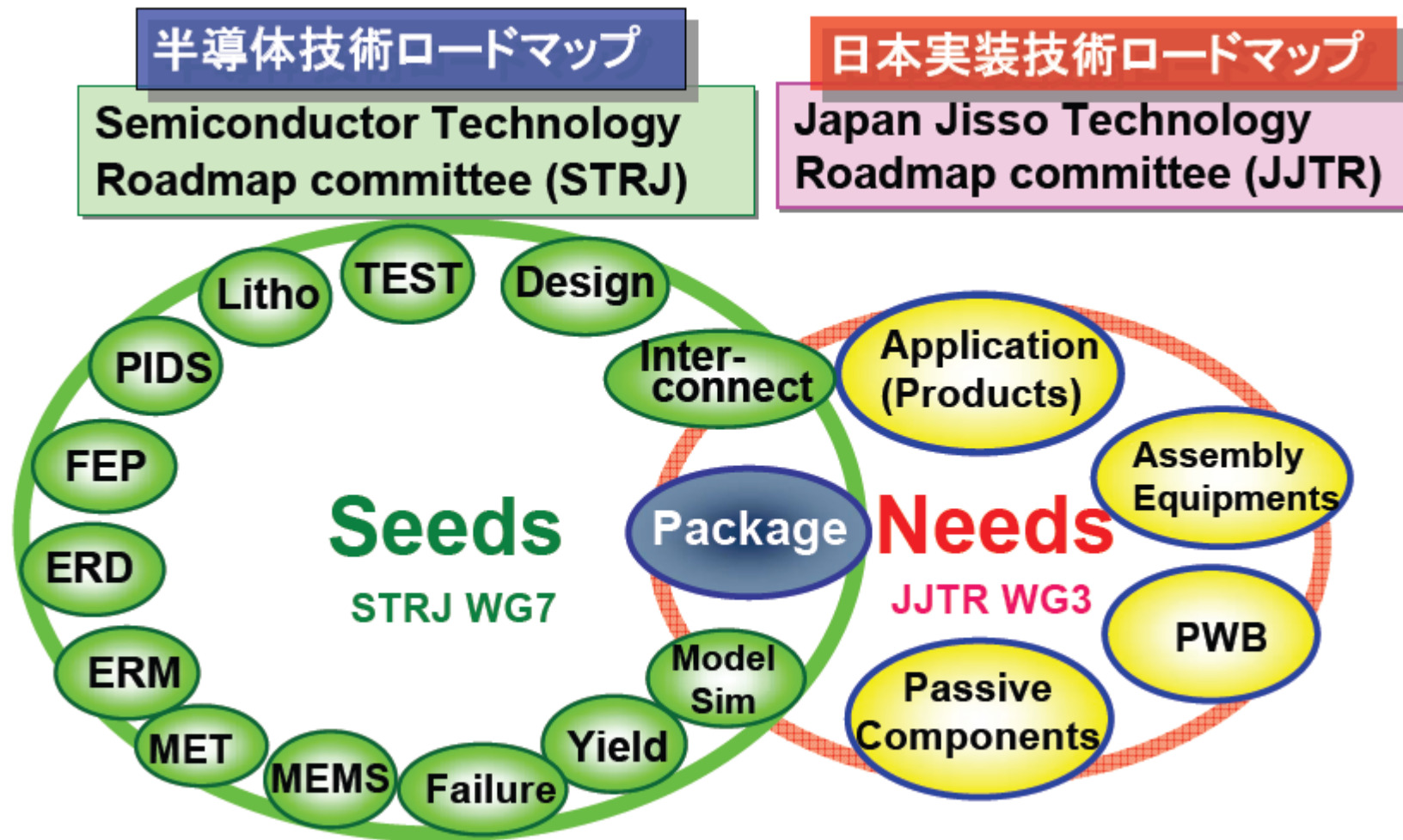
ウェアラブル機器・センサーネットワークの台頭に向けた 小型低コストパッケージング技術

2014年3月7日

WG7リーダー： 杉崎吉昭 (株)東芝

半導体パッケージのロードマップ活動

STRJ WG7(実装)は、電子機器セットのニーズと半導体技術のシーズの両面からロードマップを検討している



半導体パッケージのロードマップ活動



	STRJ-WG7	JJTR-WG3
杉崎吉昭(東芝)	リーダー	主査
尾崎裕司(ソニー)	サブリーダー	副主査
今村和之(富士通セミコンダクタ)	サブリーダー	副主査
萩原靖久(ルネサスエレクトロニクス)	委員	委員
奥村弘守(ローム)	委員	委員
濱崎浩史(東芝)	委員	委員
藤木達広(ナミックス)	特別委員	委員
久田隆史(日本IBM)	特別委員	委員
竹内之治(新光電気工業)	特別委員	特別委員
若林猛(HTL)	特別委員	特別委員
高橋守(旭硝子)	オブザーバー	オブザーバー

半導体パッケージ動向の変化

小さく、安く、大量に **STRJ**

チップサイズ
例えば150mm²のCPU

チップサイズ
例えば6mm²のMEMSセンサー

今後

- フィジカル領域へ分散して情報ネットワークを形成
- 多様化(More than Moore)
- 小型化

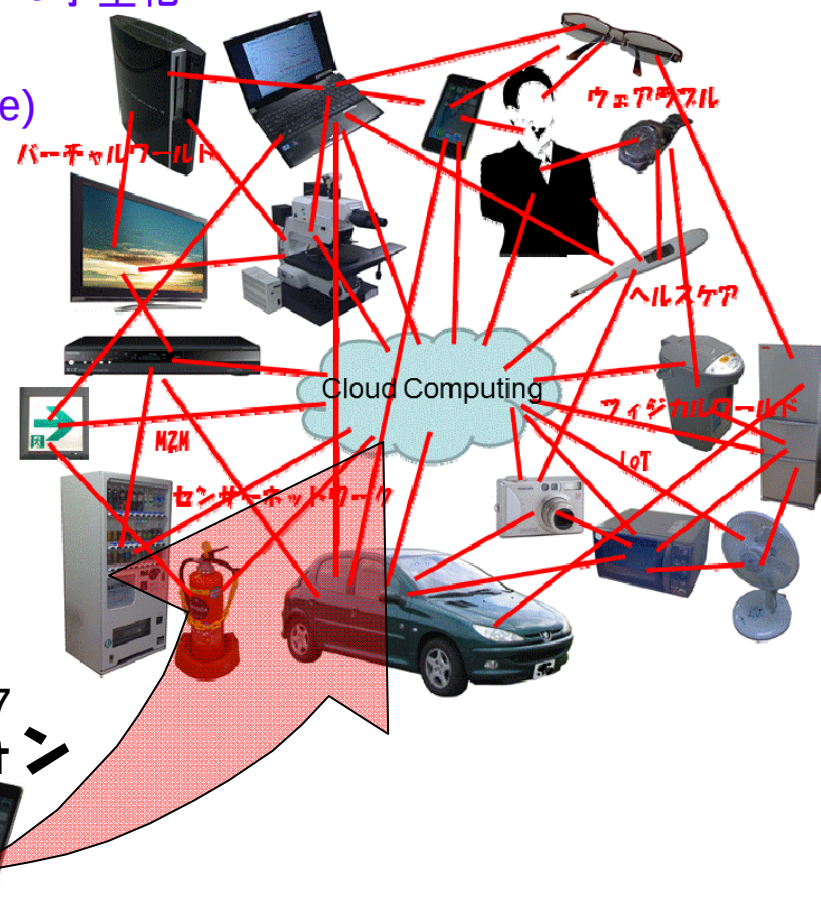
1964
メインフレーム
これまでの半導体/PKGの進化

- 微細化・スケーリング(More Moore)
- 機能集積・高密度実装

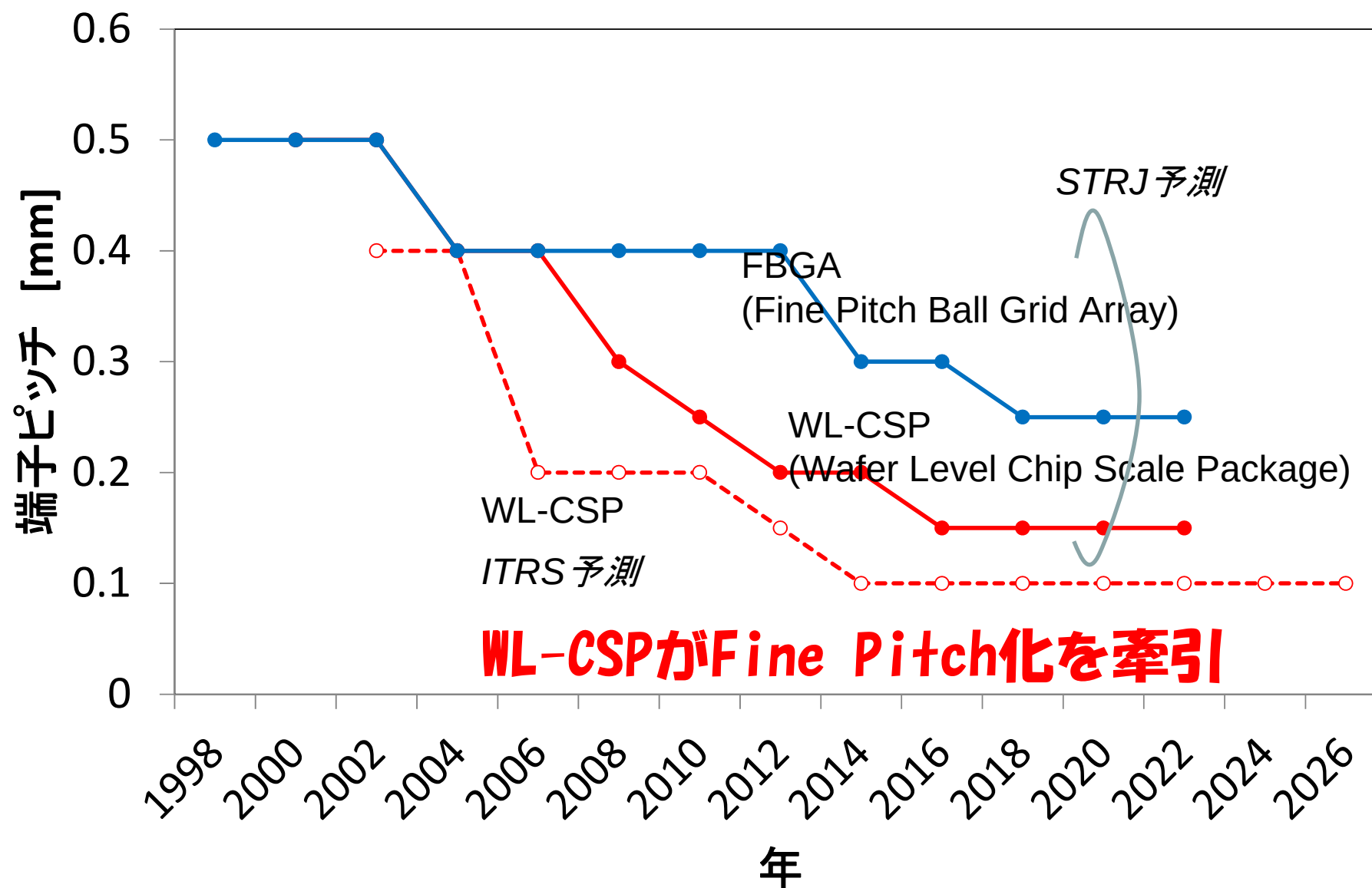
1990年代

パーソナルコンピュータ

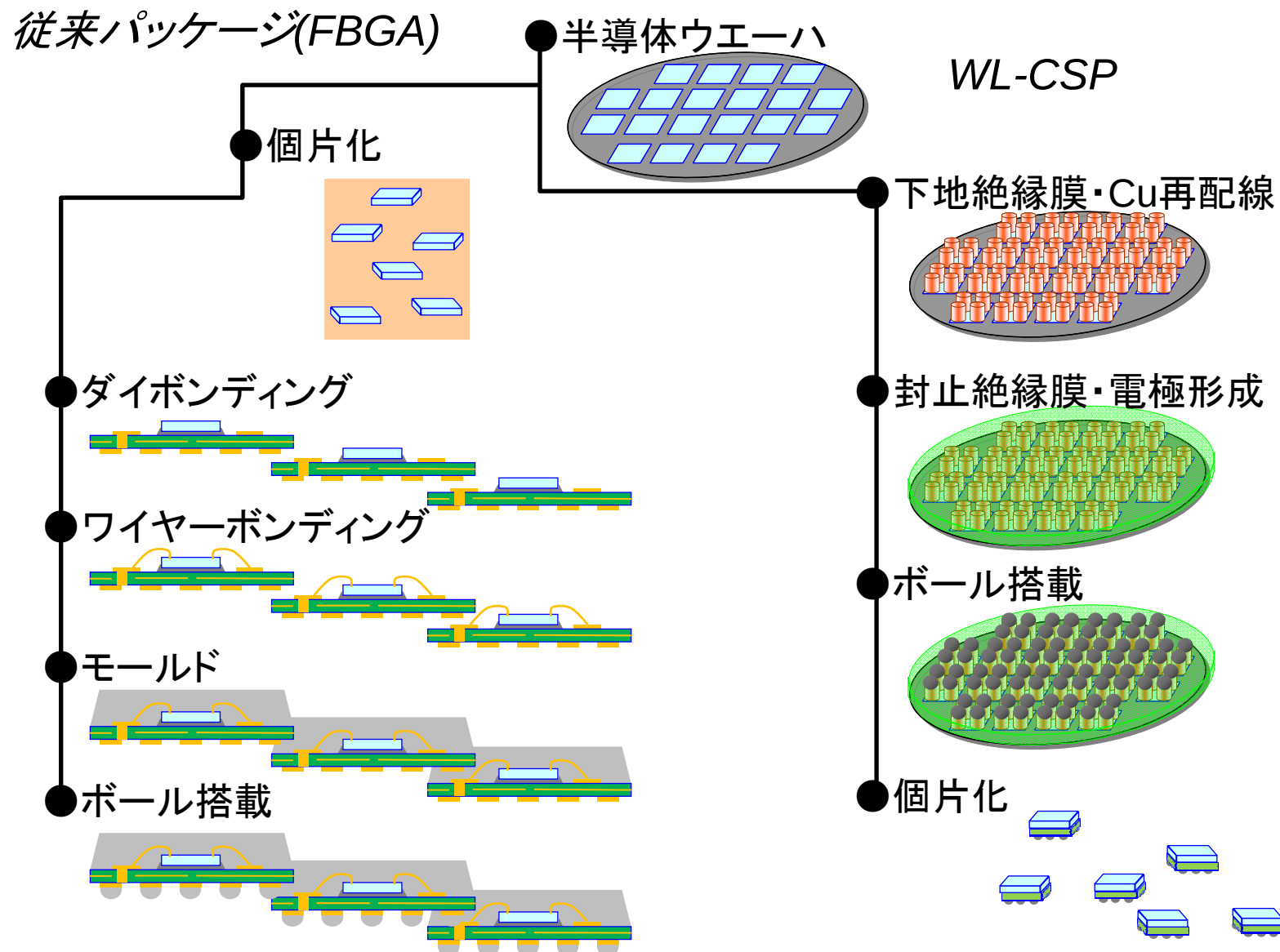
2007
スマートフォン



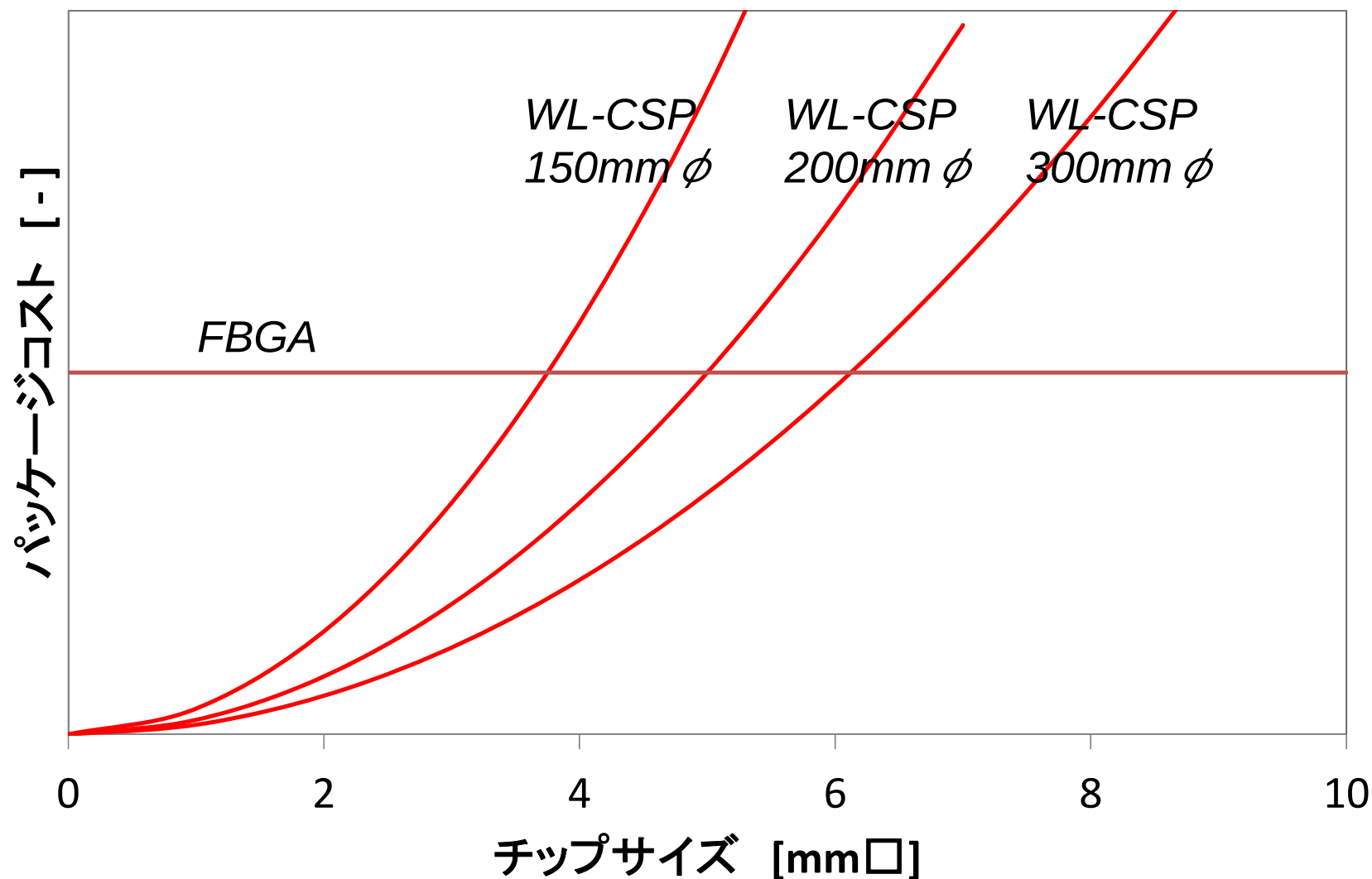
半導体パッケージの外部端子ピッチの動向



WL-CSPとは



チップサイズとコストの関係(イメージ)



5mm²チップで200mm ϕ WL-CSPがFBGAと同額になるという前提で試算

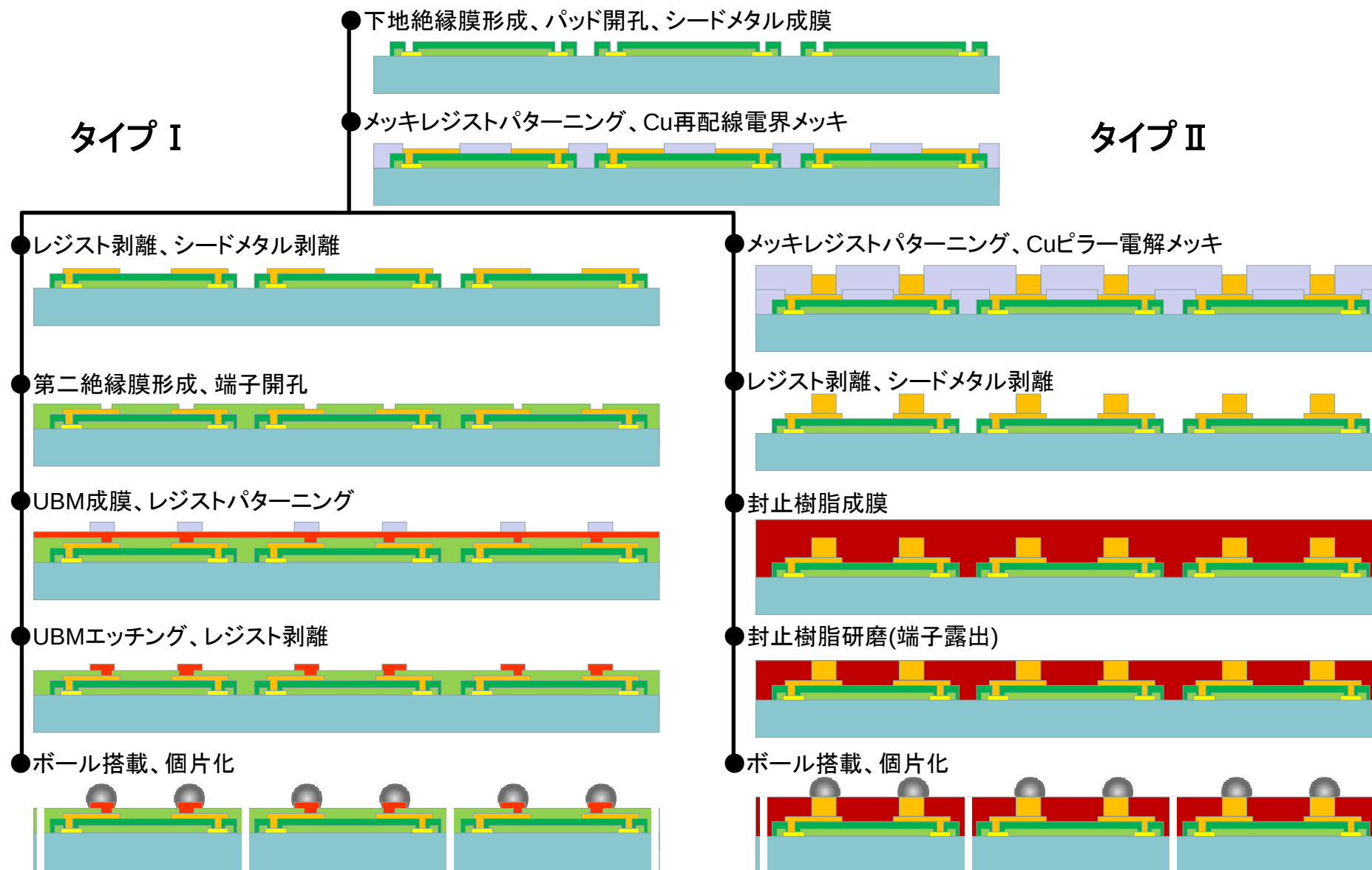
WL-CSPの構造とその比較

WLPの構造 主な種類の分類 (端子部分の断面構造) 絶縁層: ポリイミド、PBO等 パッシベーション: SiN膜等 再配線層: 銅メッキ等		タイプ I	タイプ II
信頼性レベル 比較	温度サイクル	vv	vvv
	湿度	v	vv
	落下衝撃	vv	vvv
	光遮蔽	機能無し	vv
	Low-k 保護	vv	vvv
構造と プロセスの 比較	第1絶縁層	マスク1	マスク1
	再配線	薄膜1+マスク2	薄膜1+マスク2
	第2絶縁層	マスク3	
	UBM*	薄膜2+マスク4	
	銅ポスト+封止		マスク3
	はんだボール	ボール搭載	ボール搭載

v: v印が多い方がより優れていることを示す (相対的な比較)

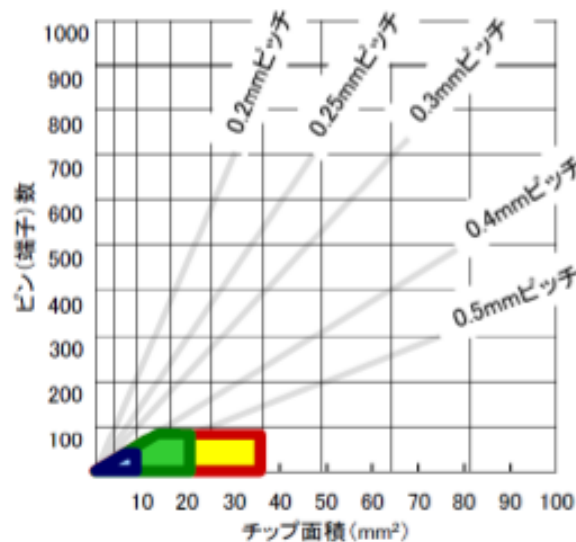
*UBM: Under Bump Metallurgyの略で、はんだボールの台座構造により強度を向上

WL-CSPのプロセスフロー

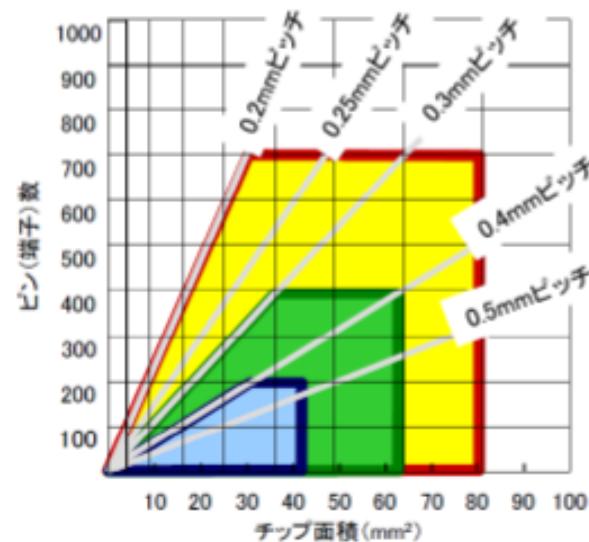


WL-CSP適用領域の拡大

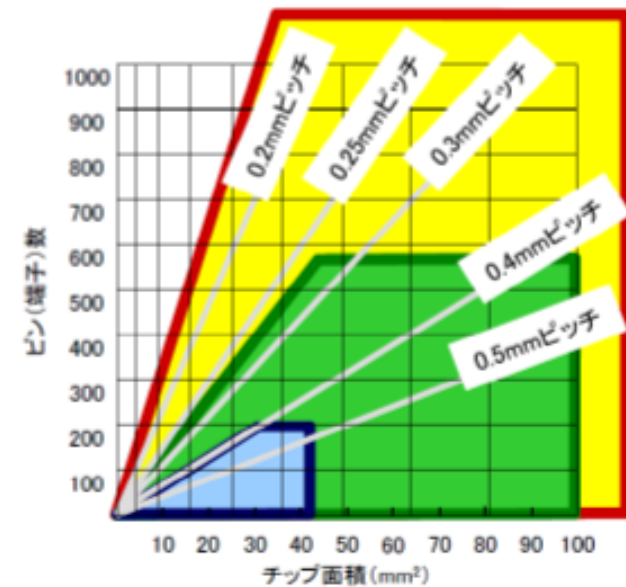
- チップ寸法が大きいものまでアンダーフィルなしで実装できるWL-CSPの範囲が拡大する。そのためのストレス緩和構造の開発が必要
- アンダーフィルありと部品内蔵基板への応用範囲も広がる



2002年



2012年



2022年

タイプ I
通常 SMT

タイプ II
通常 SMT

タイプ II
アンダーフィル
含む基板に内蔵するWL-CSP

WL-CSPのロードマップ

- 適用されるチップサイズ=パッケージサイズは、100 mm² を超える
- アンダーフィルの併用や基板内蔵で適用サイズは先行する
- 端子ピッチは、150 μ mレベル（パッケージとしての扱い易さ）
- 2013-2014年には、端子数が 1000 を超える領域のデバイスに拡大する
- 用途や実装手法に依存するが、最薄は、100 μ mレベルになる

		2012 年	2014 年	2016 年	2018 年	2020 年	2022 年
最大パッケージ寸法 (mm ²)	A1	36	49	64	81	100	100
	A2	64	100	144	225	324	324
	B	64	144	196	324	400	625
最小端子ピッチ (μ m)	A1, A2	200	200	150	150	150	150
	B	200	150	150	150	150	150
最大端子数		700	1000	1500	2000	3000	4000
最薄パッケージ厚さ (μ m) 端子ボール除く	A1, A2	200	150	150	100	100	100
	B	150	100	100	100	80	80

＜実装での利用方法＞

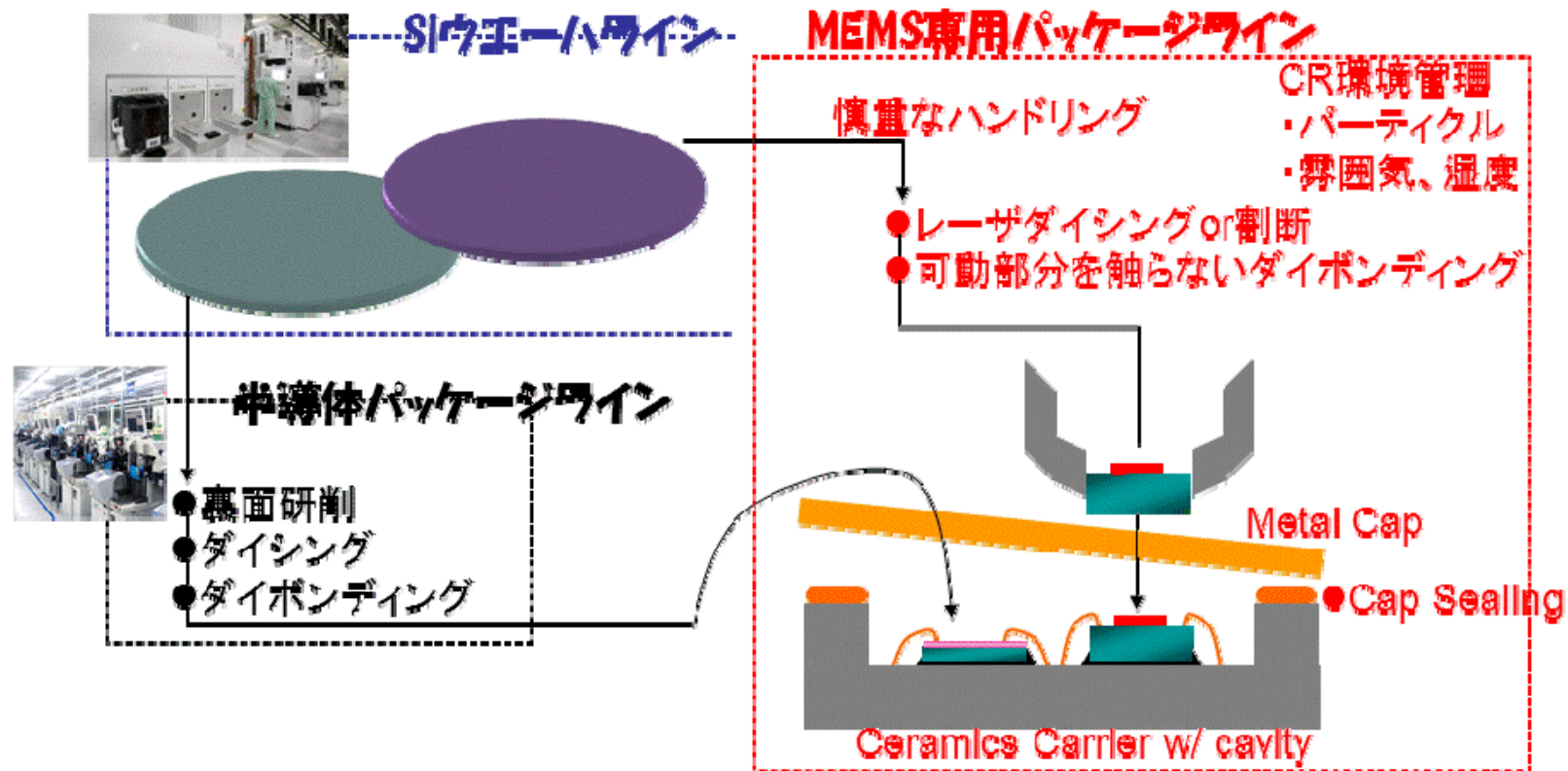
A1: モジュール用途（アンダーフィル無し）

A2: モジュール用途（アンダーフィル、オーバーモールド等利用）

B: 有機基板への内蔵

MEMSのパッケージ技術

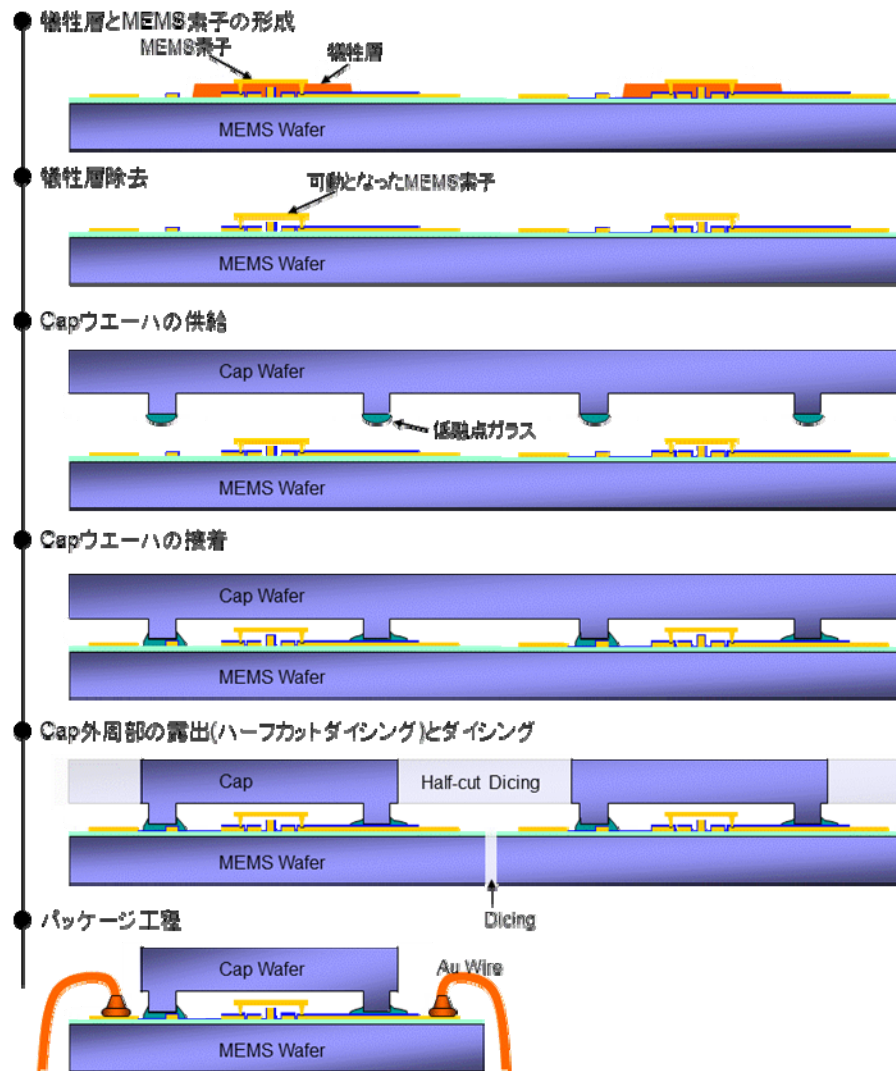
- ✓ 可動部分を持つMEMSウエーハから製品にするためには特殊なパッケージ製造ラインが必要
- ✓ MEMS製品コストの80%はパッケージコストである、という悪評



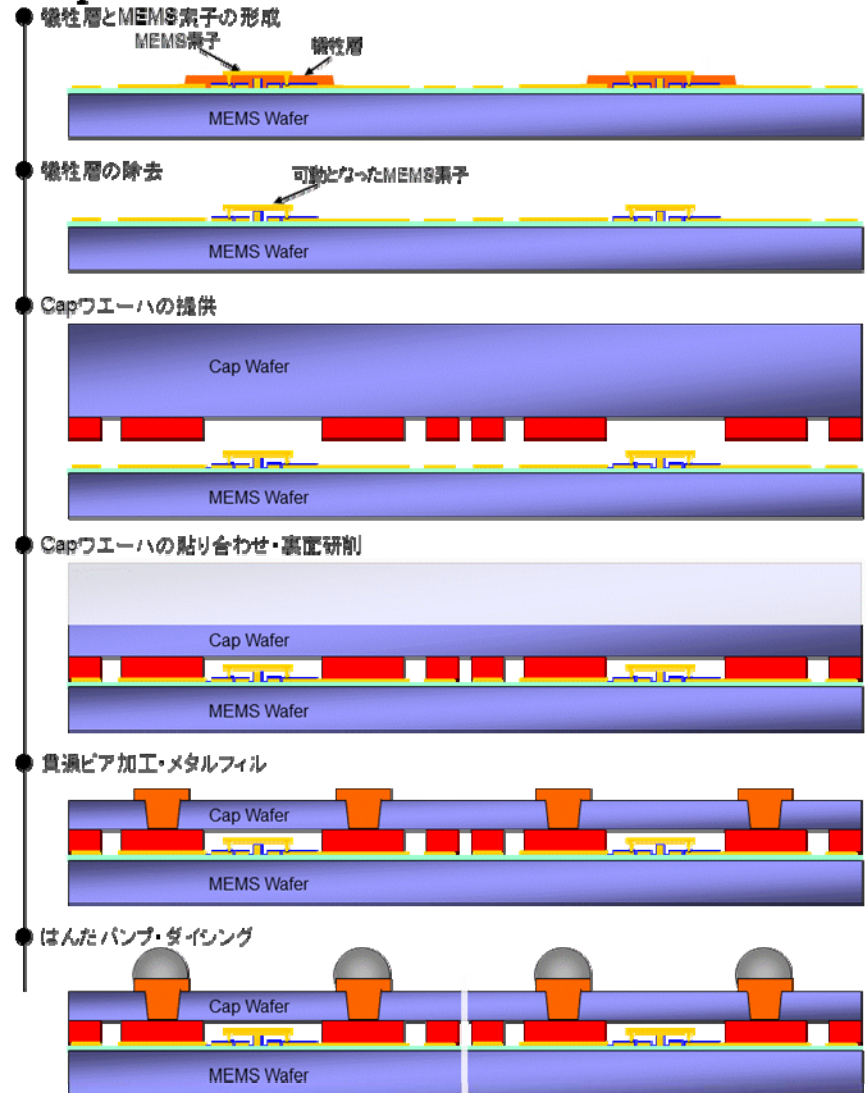
WLP(ウエーハレベルで可動部分を封止)が必要

Si Capウェーハを用いたWLP

Capの外側に引き出し端子を作るもの



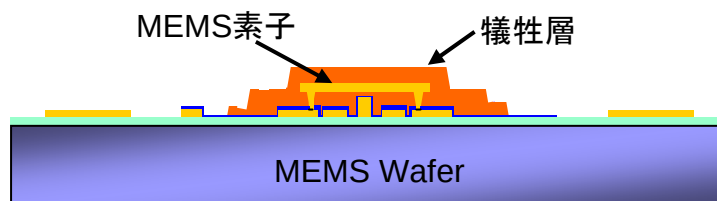
Capの背面にTSV等で端子を引き出すもの



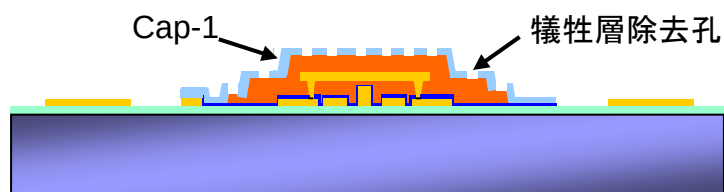
薄膜ドームプロセスを用いたWLP



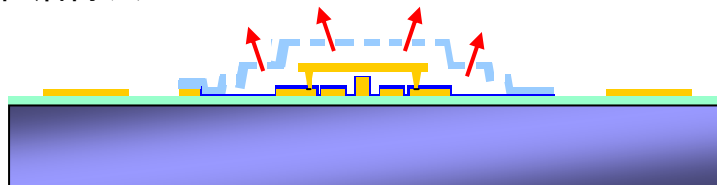
● MEMS素子/犠牲層形成



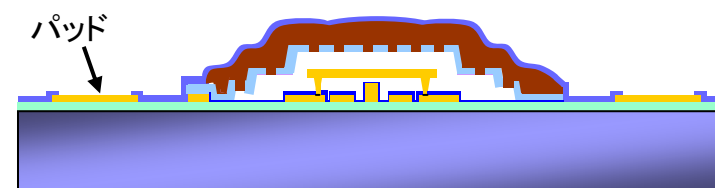
● 薄膜ドーム1層目形成



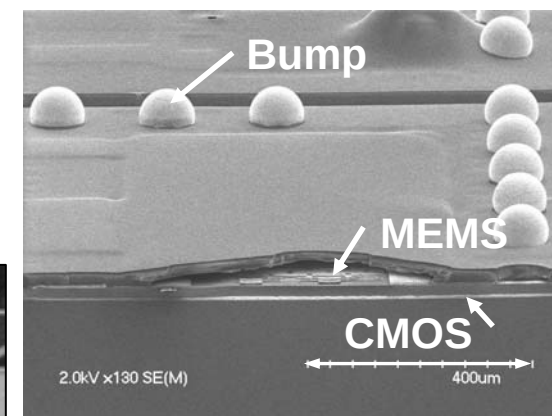
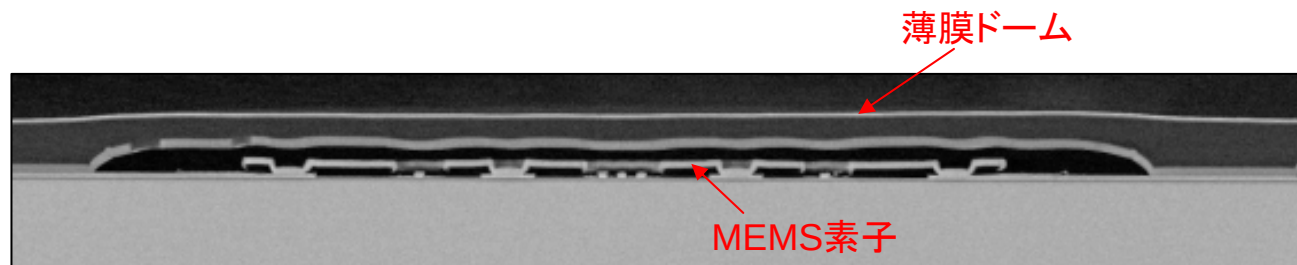
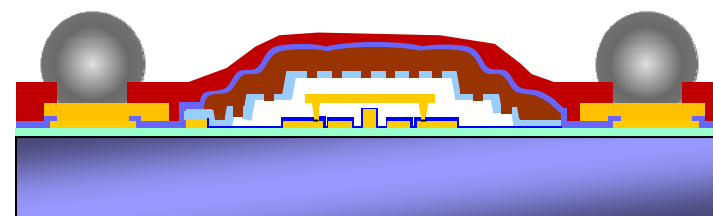
● 犠牲層除去



● 犠牲層除去孔封止、パッド開孔



● はんだバンプ/ダイシング



(出典: 東芝)

まとめと今後の活動方針

- ウェアラブル機器・センサーネットワークに必要とされる小型パッケージとして、WL-CSPが需要が増大
- センサーとして用いられるMEMSのパッケージには、WLPによる可動部分の保護が重要
- 困難な課題

項目	困難な課題	潜在的解決策	解決策に必要な条件
WL-CSP	実装信頼性向上	ストレスバッファ層を導入 表面の保護層を厚くする	
	FO-WLPの競争力向上	パネル化によるコスト低減 マルチチップ化による付加価値増	Siウエーハ用設備から パネル設備への切り換え
MEMS	低コストMEMSパッケージング技術	ウエーハレベル気密封止技術	デバイスとのプロセス親和性

- 2014年度の活動予定
 - FO-WLP/パネルパッケージの検討
 - 日本実装技術ロードマップ 市場調査WGへの参画

FBGA	: Fine Pitch Ball Grid Array
FO-WLP	: Fan-out Wafer Level Package
MEMS	: Micro Electro Mechanical System
PBO	: Poly-Benzo-Oxazole
SMT	: Surface Mount
TSV	: Through Si Via
UBM	: Under Bump Metallurgy
WL-CSP	: Wafer Level Chip Scale Package
WLP	: Wafer Level Packaging