

WG12 (Emerging Research Devices: ERD)

ERD動向とERDのための Emergingアーキテクチャ

◦浅井哲也（北大）

品田賢宏（産総研）

辰村光介（東芝）

屋上公二郎（ソニー）

目次

- 2013年度活動方針
- 2013年度 WG12 (ERD)メンバー
- Extended CMOS
- ERD動向（ハイライト）
 - ERDロジック
 - ERDメモリ
- ERDのためのEmergingアーキテクチャ
- まとめ
- 用語集

2013年度活動

活動方針

- 10年～20年先に要求されるロジック、メモリの研究動向、技術動向をサーベイし、ベンチマークすること。
- ERDのためのEmergingアーキテクチャ、EmergingアーキテクチャのためのERDをディレクションすること。
- “Extended CMOS”の浸透を図ること。
- 日本で開発されているERDのプレゼンスを示すこと。

活動内容

- 会合開催（通算85回、2013年度は7回開催）。
- 国際会議、電話会議対応。
- 有識者へのヒアリング（2013年度は7件、ERMとの合同含む）。
- ITRS 2013年版執筆分担 & 和訳（予定）。

2013年度メンバー

25名（企業：8，大学：10，国研等：7）

リーダー 木下敦寛（東芝）

サブリーダー 品田賢宏（産総研）

幹事 笹子佳孝（日立）

Strategy G 平本俊郎（東大）

ロジックG リーダー 辰村光介（東芝）

佐藤信太郎（産総研），河村誠一郎（JST），野田 啓（京大）
内田 建（慶應大），大野雄高（名古屋大），川端清司（ルネサス）
藤原 聡（NTT），白根 昌之（NEC），日高睦夫（産総研）

メモリG リーダー 屋上公二郎（ソニー）
長谷川剛（NIMS），秋永広幸（産総研）

アーキテクチャG リーダー 浅井哲也（北大）
ペパー・フェルディナンド（NICT）

MtM G TBD

アドバイザー 竹内 健（中央大），栗野祐二（慶應大），高木信一（東大）
菅原 聡（東工大），遠藤哲郎（東北大），林 重徳（パナソニック）

Extended CMOS

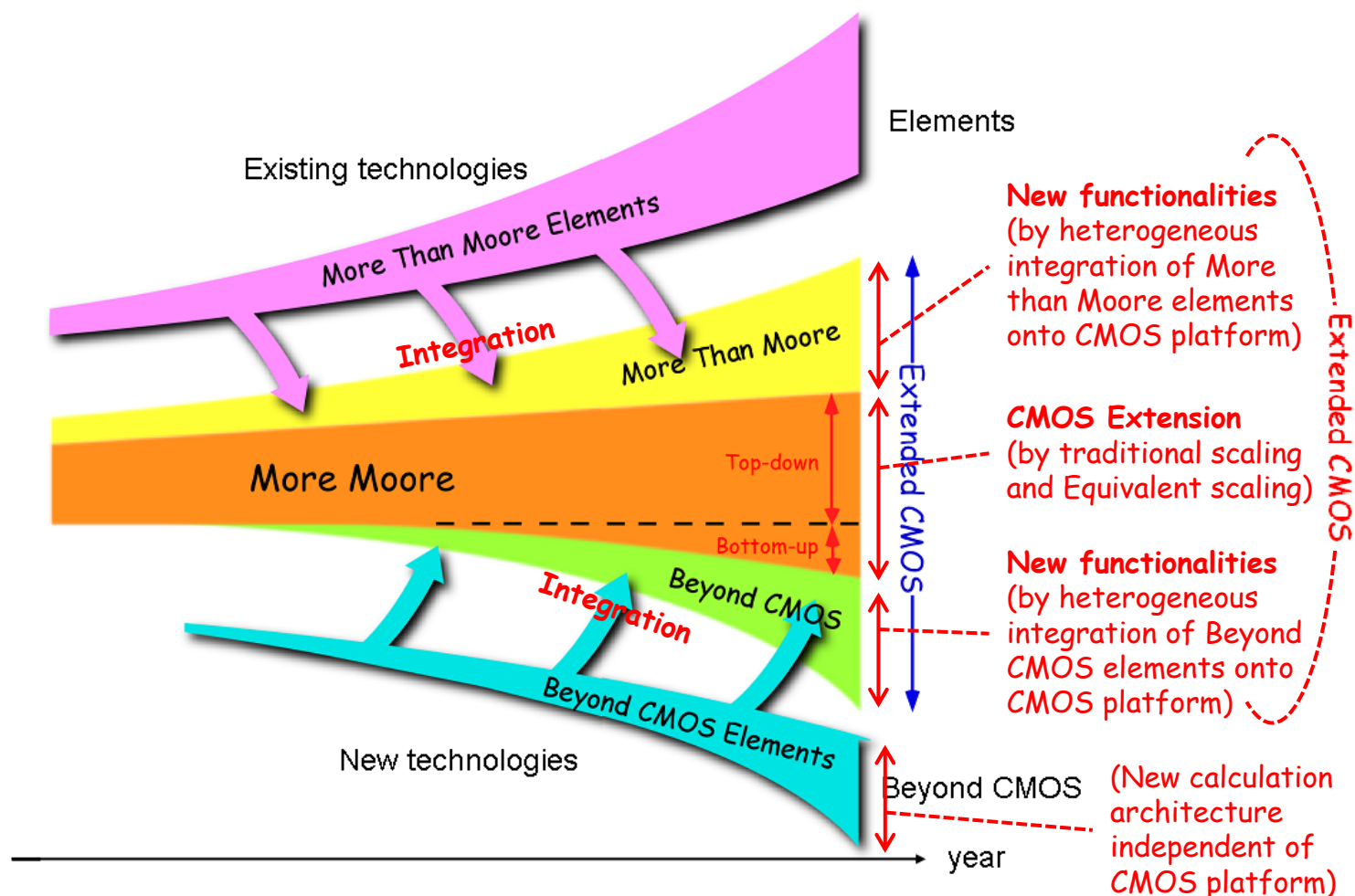


Figure ERD1 Relationship among More Moore, More-than-Moore, and Beyond CMOS.

- ERDロジックの分類図(new)
- ERDロジックの進捗ダイジェスト
- ERD注目トピックス： TFET (Tunnel FET)

2013 ERD Logic Taxonomy

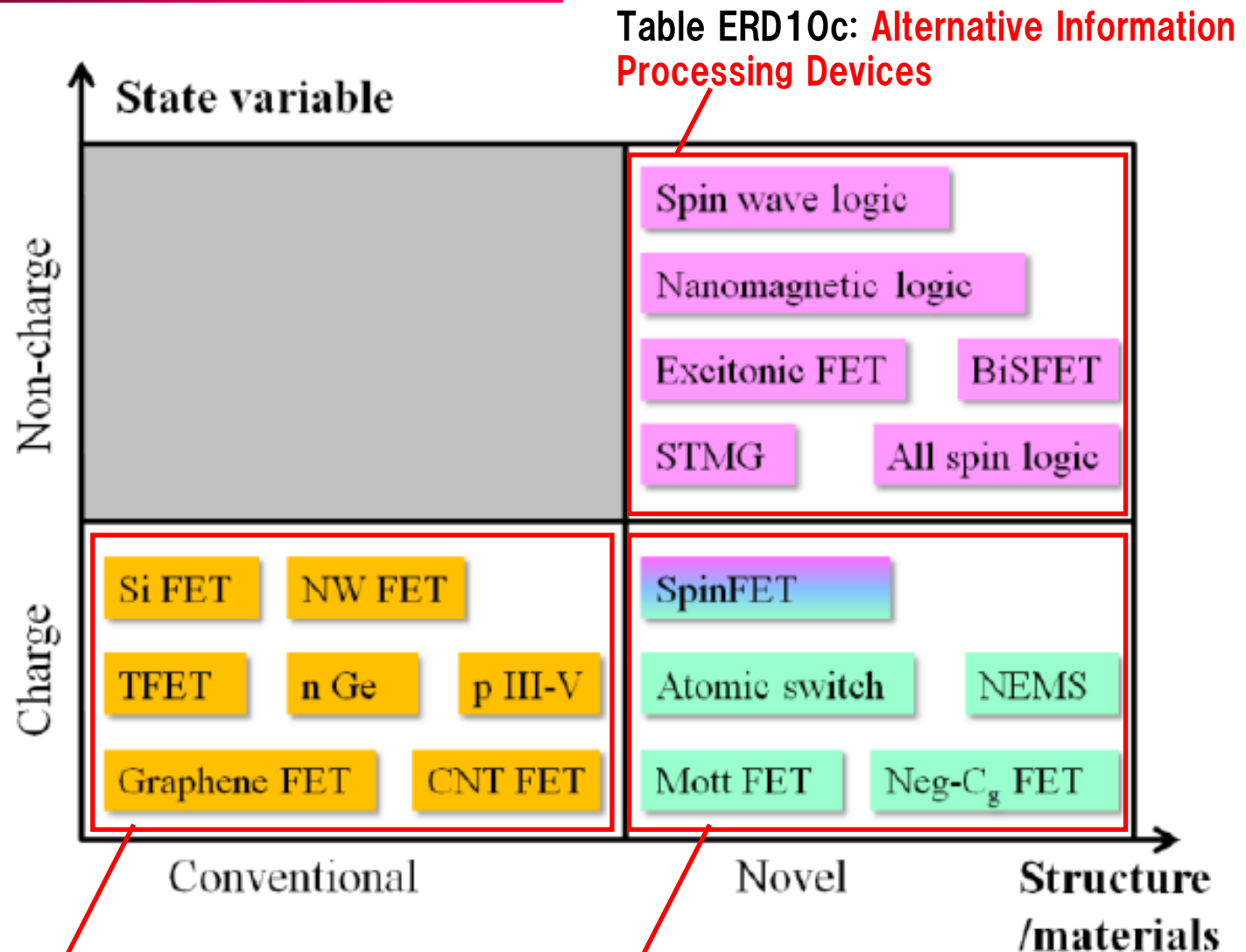
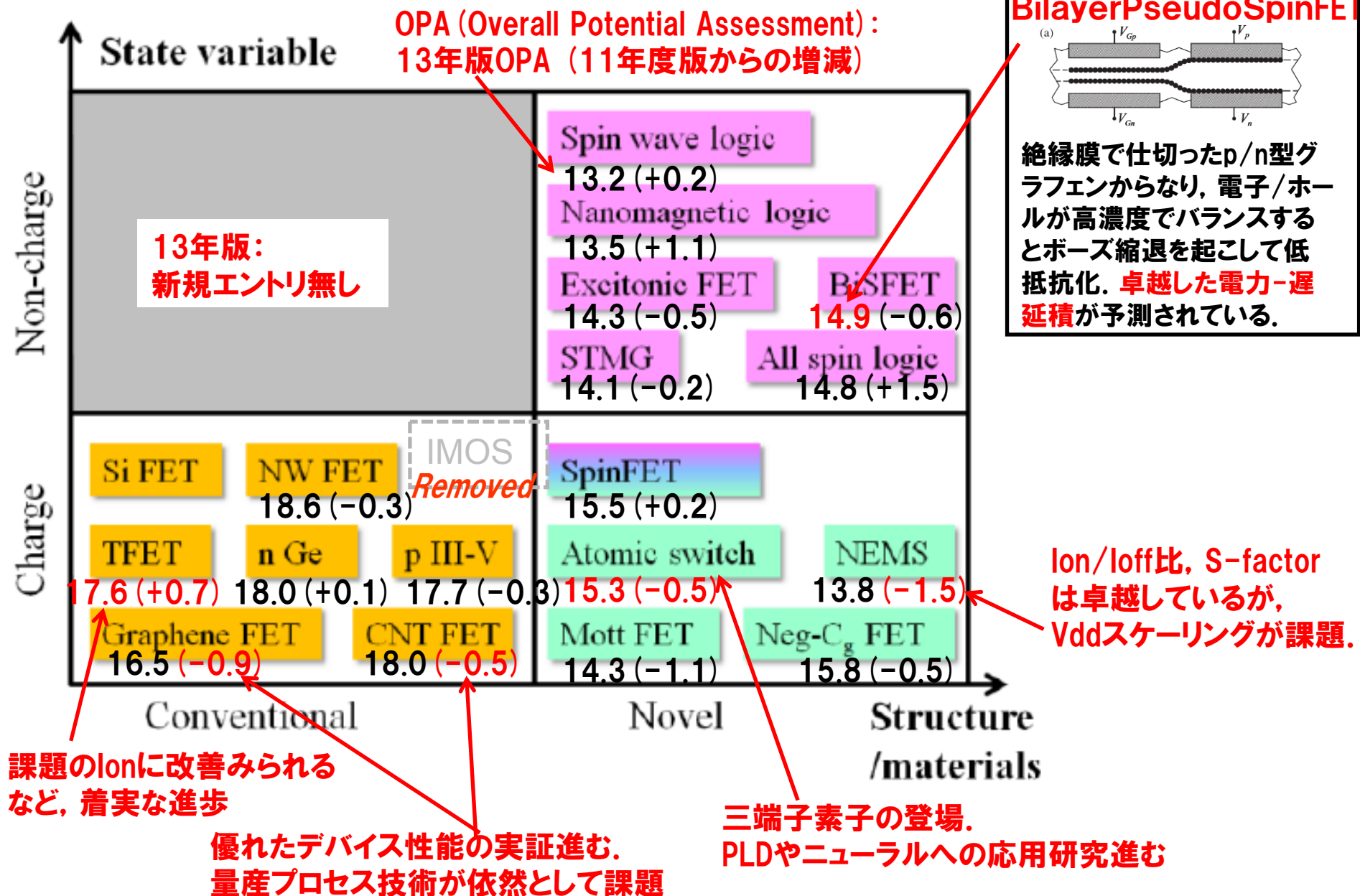


Table ERD10a: **Extending MOSFETs** to the End of the Roadmap

Table ERD10b: **Charge-Based Beyond CMOS**: Non-Conventional FETs and Other Charge-Based Information Carrier Devices

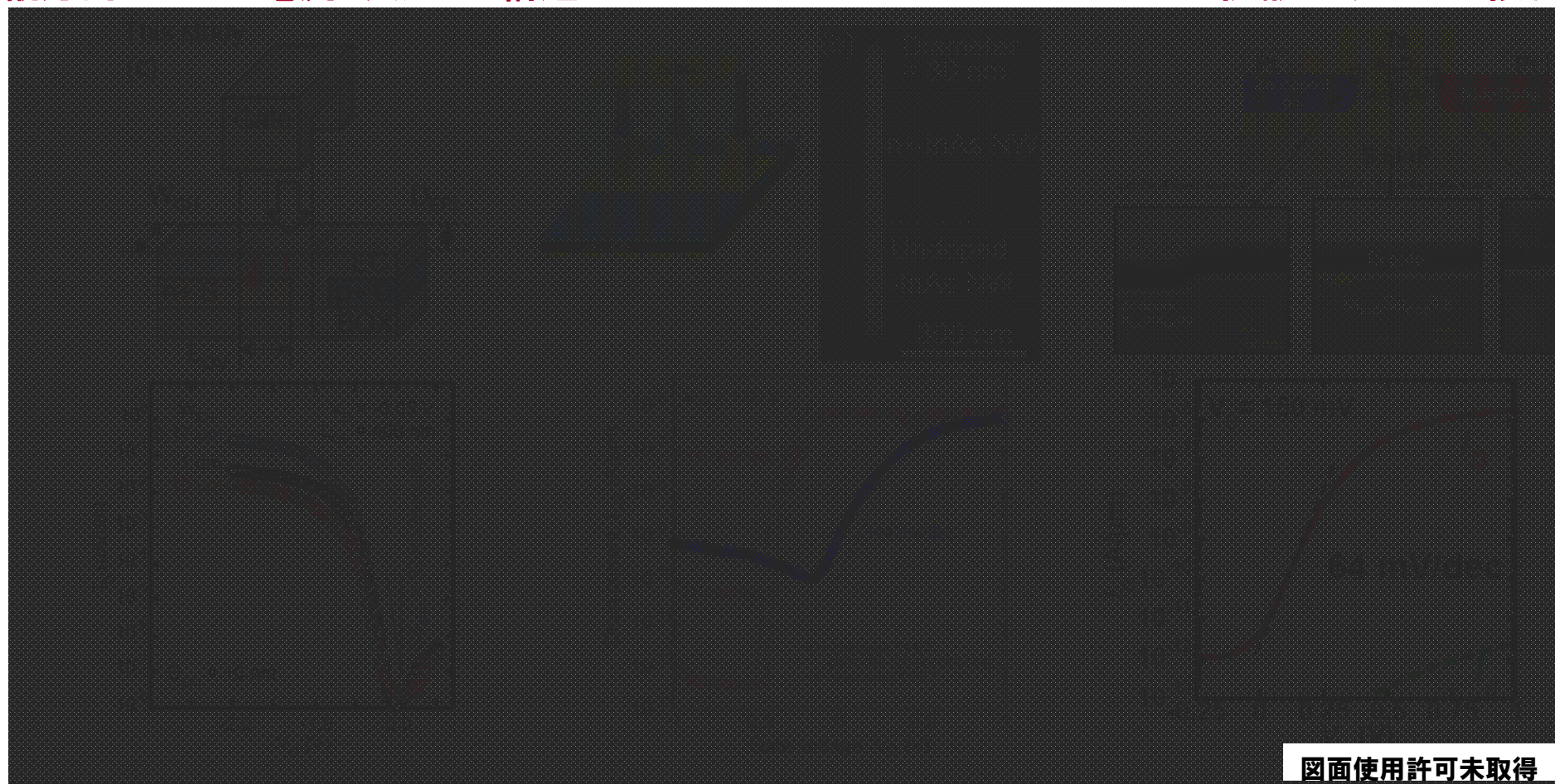
2013 ERD Logic: Performance Evaluation



ERD Logic 注目トピックス: Tunnel FET



縦方向トンネル電流3次元Fin構造 III-Vナノワイヤ/Siヘテロ接合 Zn拡散急峻ソース接合



図面使用許可未取得

Y. Morita, (AIST), VLSI symp.
2013

K. Tomioka (北大), VLSI symp.
2012

N. Noguchi (東大), et. al. IEDM
2013

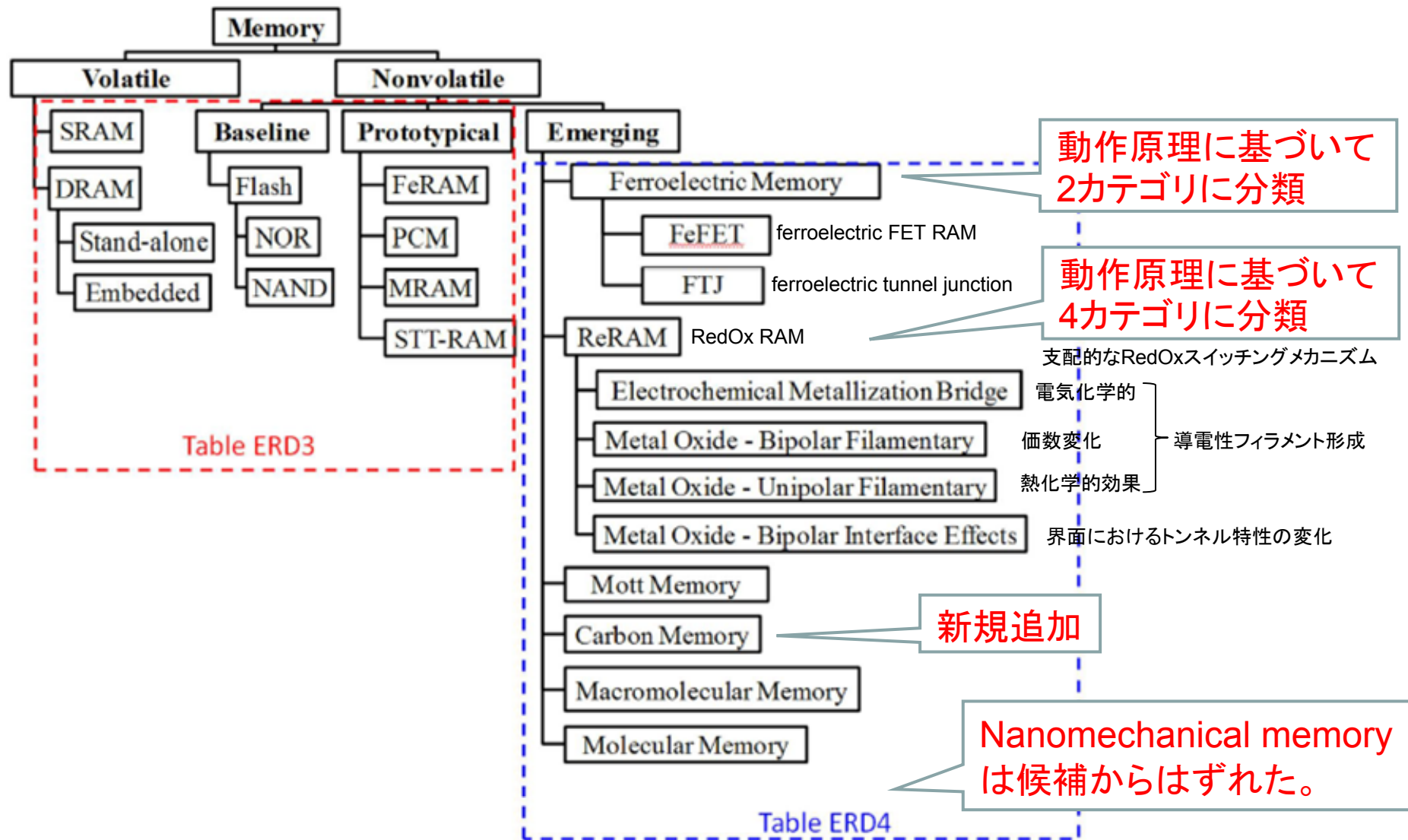
立体構造や狭バンドギャップ材料を利用する新技術により, 急峻Sファクタ実証とともにオン電流 (I_{on}) の改善が進む(日本アクティビティ高い)

□ERDメモリ

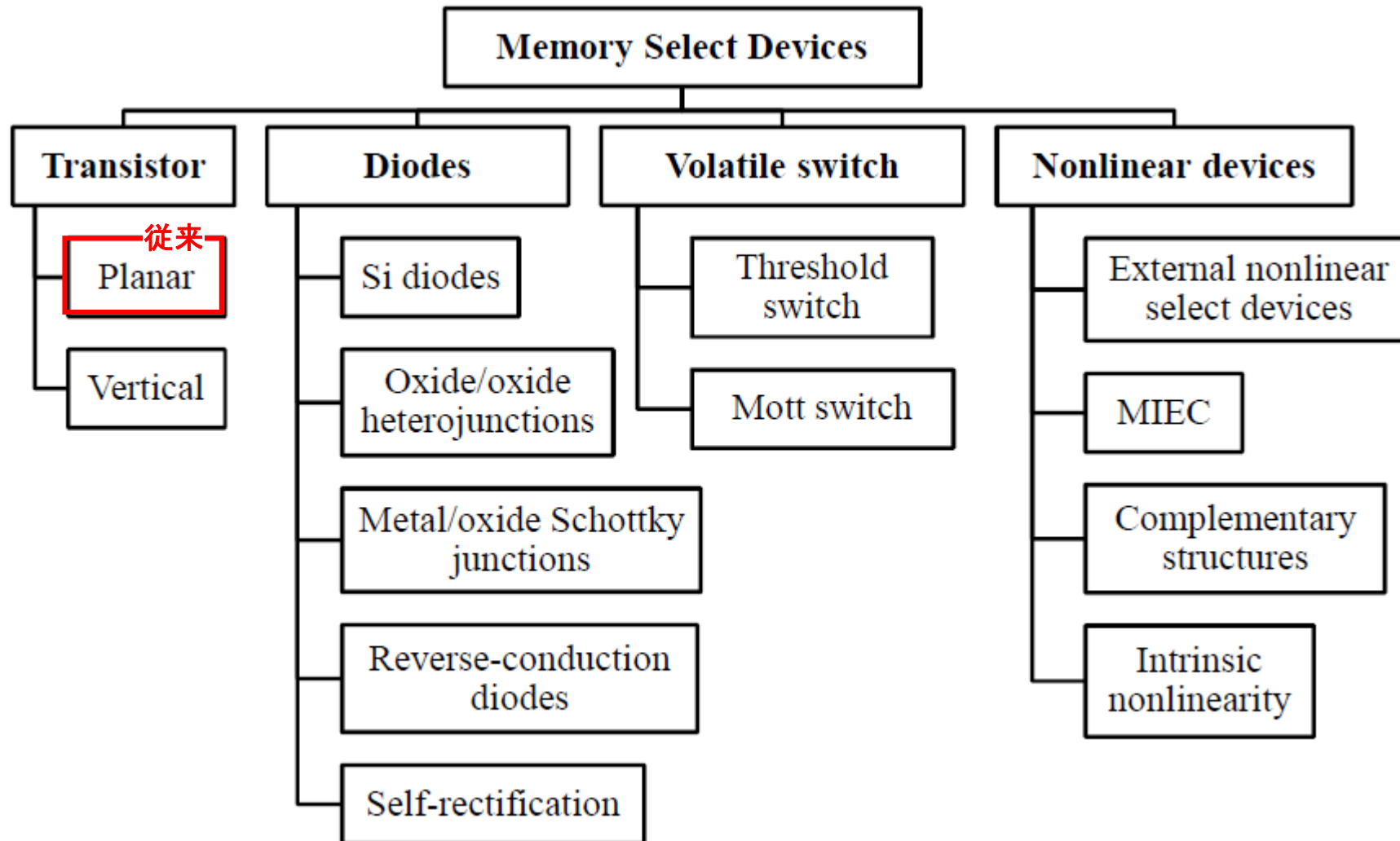
□メモリ選択デバイス

□“Storage Class Memory”

2013 ERD Memory Taxonomy



Memory Select Device Taxonomy



メモリ集積度は選択デバイスで決まる。流せる電流量とON/OFF比が重要。

➡ 面内→縦型、Tr →ダイオードへ。さらに“Selector-less” memory cell (自己選択性) へ。

ERD Memory Technology Assessment for Storage-Class Memory Application

	Prototypical (Table ERD3)			Emerging (Table ERD4)					
					Redox RRAM				
Parameter	FeRAM	STT-MRAM	PCRAM	Emerging ferroelectric memory	Conducting bridge	Metal Oxide: Bipolar Filament	Metal Oxide: Unipolar Filament	Metal Oxide: Bipolar Interface Effects	Carbon-based Memory, Mott Memory, Macro-molecular Memory, Molecular Memory
Scalability									
MLC									
3D integration									
Fabrication cost									
Retention									
Latency									
Power									
Endurance									
Variability									

- **Memory-type** SCM (DRAMとSSD間のlatencyの隙間を埋める) ⇒ 要求仕様が大きく異なる
- **Storage-type** SCM (NAND代替/ハイブリッド)



デバイス及びアーキテクチャ双方の視点から検討が進められている

新探求素子(ERD)のための新概念アーキテクチャ

・これまでのERDアーキテクチャ(ITRS 2007, 2009)

アーキテクチャ	実装	演算要素
メニーコア	対称コア	CMOS
異種融合コア	非対称コア	CMOS
	CMOL	CMOS + 分子スイッチ
	分子Cross-bar	分子スイッチ
	Checkpoint	CMOS + 強誘電体
Morphic	CNN	CMOS + センサ
	連想メモリ	FG-FET, SET
	Bio-inspired	MFTD, スピン

ITRS 2007 ERD-ERA Chapter

- ・特定ERDアーキテクチャのベンチマーク
- ・メモリアーキテクチャ
- ・推論アーキテクチャ
(for Beyond-Neumann Computers)
- ・情報処理のパフォーマンス限界の見積もり

ITRS 2009 ERD-ERA Chapter

- ・ERDメモリアーキテクチャ
- ・新概念計算アーキテクチャ(Morphic)
- ・情報処理の分類(Beyond Neumannほか)

ITRS 2011 ERD-ERA Chapter

議論1: ERDを用いてどのような演算が可能になるか?

- ・MOSFET + 不揮発 (ReRAM, MTJ) : 再構成可能論理演算, アナログ素子のばらつき補正
- ・Molecular Devices/Elements: 分子の相互作用を利用した超並列演算 / 知的演算

議論2: ERDの利用機会がある情報処理の模索

- ・脳型計算アーキテクチャ(単電子, 抵抗変化メモリ, ナノディスク, CMOL, CMOS)
- ・セルラーアーキテクチャ(セルオートマトンとその計算理論)

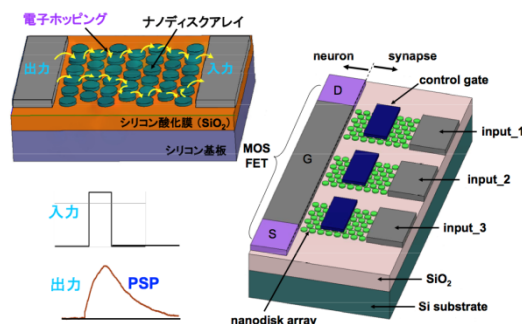
議論3: 情報処理の分類とERDー計算科学からのアプローチ

- ・出口目的 / 試行のアーキテクチャ分類に向けた準備

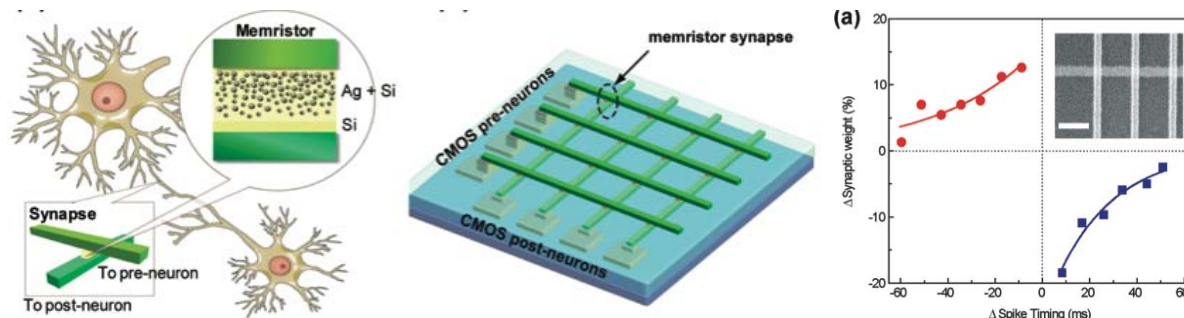
脳型アーキテクチャの現在の開発動向

アプリケーション分野		現在開発されているアーキテクチャ
特定用途演算		連想メモリ・CAM (CMOS, SET), データマイニングと推論マシン (CMOS), 特徴抽出 (CMOS), 雑音駆動型情報処理 (次ページ参照), 運動制御 (CMOS), ほか
センサ	画像	輪郭強調 (CMOS, SET), 動き検出 (CMOS, SET), ステレオビジョン (CMOS), 視覚対象追従制御 (CMOS), 適応型ゲイン調整 (CMOS), 方位検出 (CMOS), 超高速撮像 (CMOS), ほか
	その他	シリコン蝸牛 (CMOS), 音波による位置検出 (CMOS), 聴覚系におけるノイズキャンセルと選択的注意 (CMOS), 嗅覚センセ (CMOS), ほか
人工生命		反応拡散コンピュータ (CMOS, SET), 人工魚脳 (CMOS), 人工鰭脳 (CMOS), ほか
実装技術		CrossNets (Molecular), アドレスイベント駆動 (CMOS), CDMAニューラルネット (CMOS), 人工神経細胞 (CMOS, SET), 人工シナプス (ReRAMほか), 三次元実装, Brain-machineインターフェース, ほか

シナプスデバイス(単電子, ナノディスク)



神経細胞 & シナプスデバイス(ReRAMをアナログ的に利用し、CMOSと組み合わせて構成)



Work in Progress - Do not publish

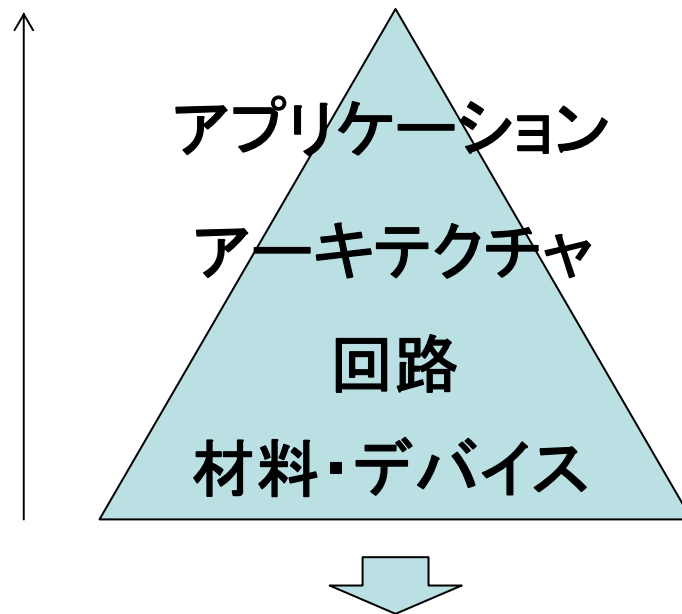
STRJ WS: March 7, 2014, WG12 ERD

情報処理システム構築の現在とこれから

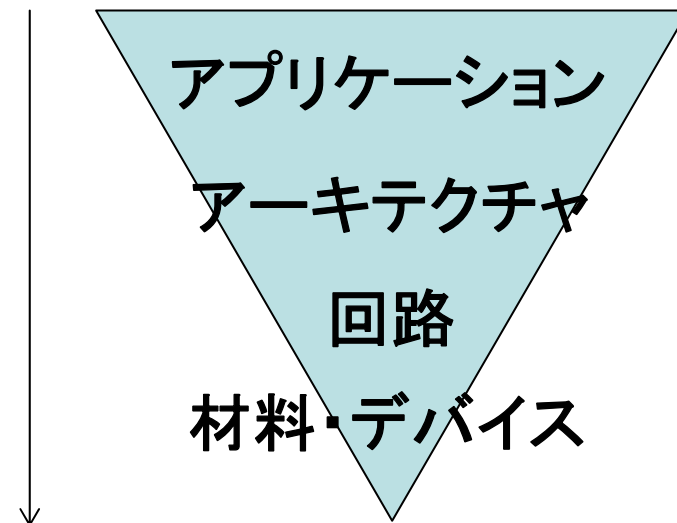


これまで: 高速・小面積スイッチ、およびメモリさえあればよかった

これまで(ボトムアップ)



これから(トップダウン)



- ・情報処理の世界では、機能はビルドアップにより拡張していくもの(ハード・ソフトともに)
(役に立つものを作ろうとすると、普通はこうなる)
 - ・「材料・科学」の世界では、自然に(または突然)あらわれるもの？
- (何ができるか、最初はわからない。何らかの機能が生まれた後で、応用を探してゆく)



情報処理アーキテクチャの分類

More than Neumann (MtN)

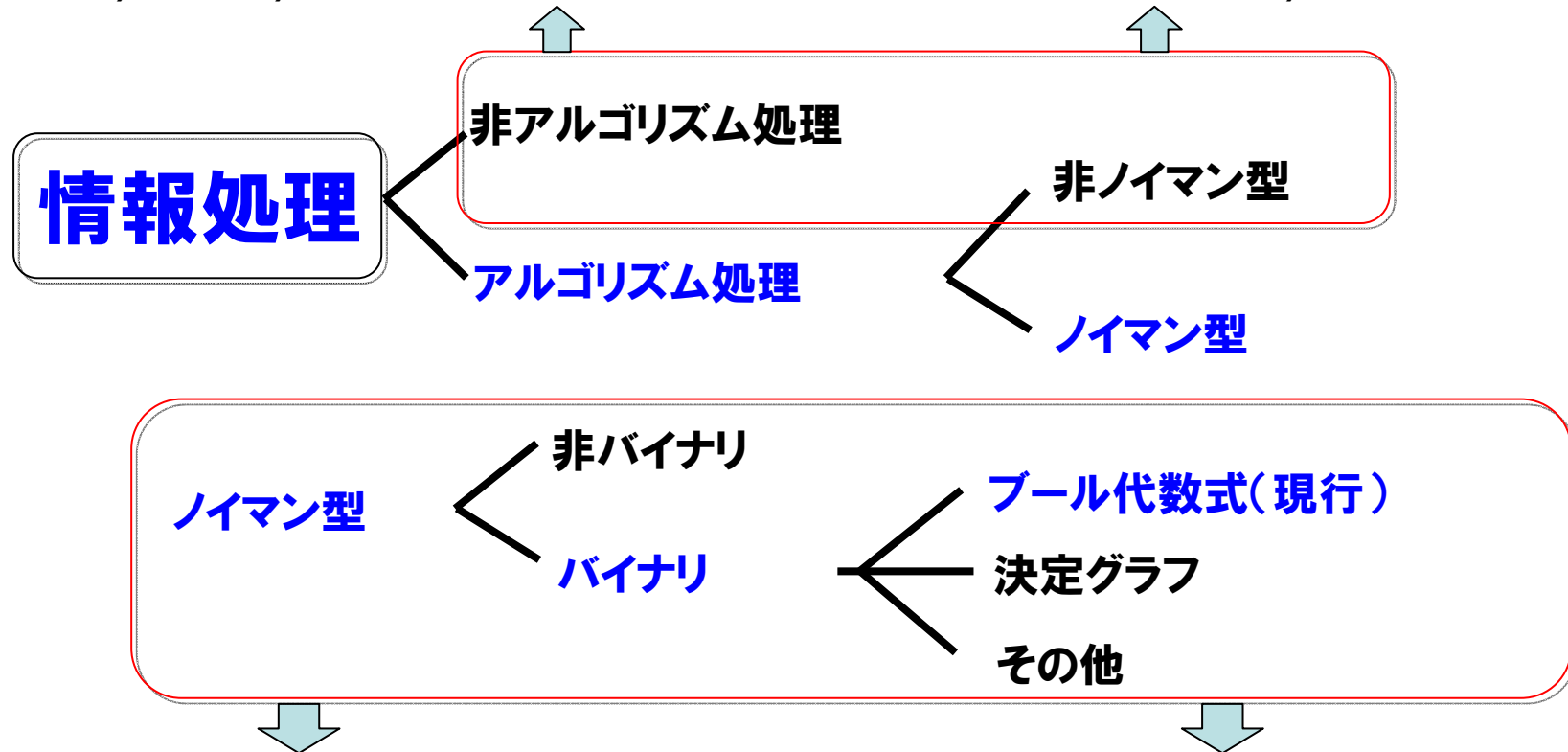
LtMの大規模集積による並列演算

例: CA, Neuro, データフローほか(創発的)

Beyond Neumann (BN)

MN, MtNよりも圧倒的に速い演算

例: 量子コンピュータ, アナログ計算ほか



More Neumann (MN)

ノイマン型の延長, CMOSの独壇場

例: 現在のメニーコア, GPU, HAほか

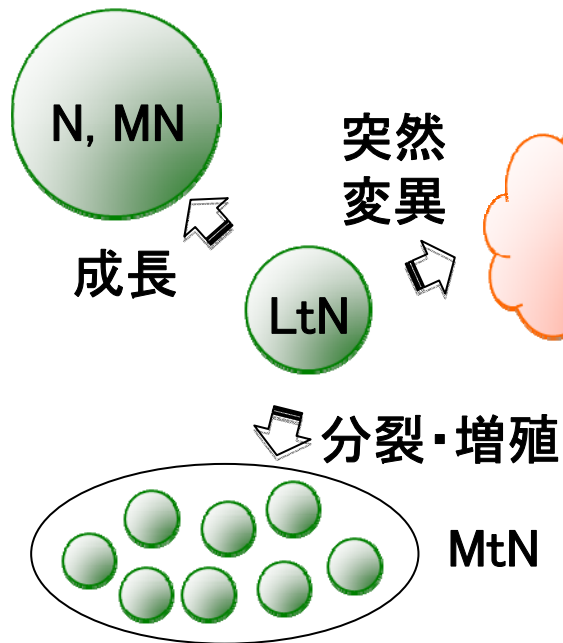
Less than Neumann (LtM)

極小規模なノイマン型: 小規模メモリ

+演算素子またはアナログ要素(創発の種)

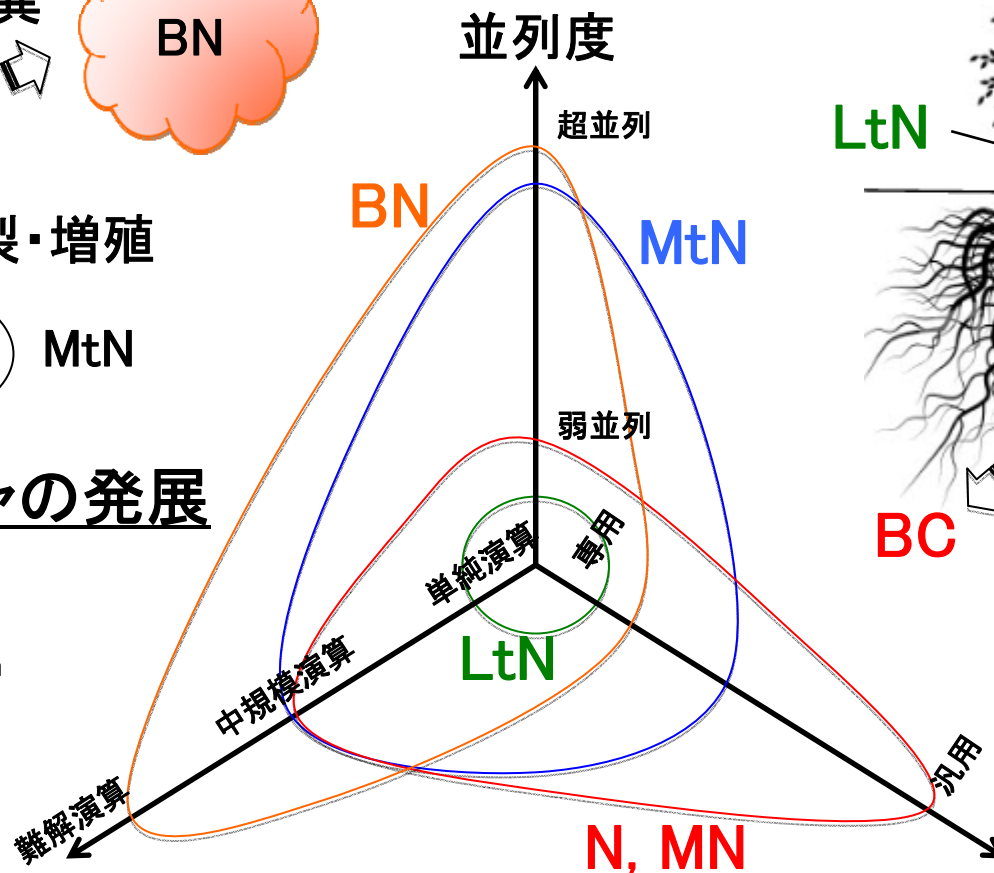
情報処理アーキテクチャの演算能力の新分類学

(計算学の観点から)



アーキテクチャの発展

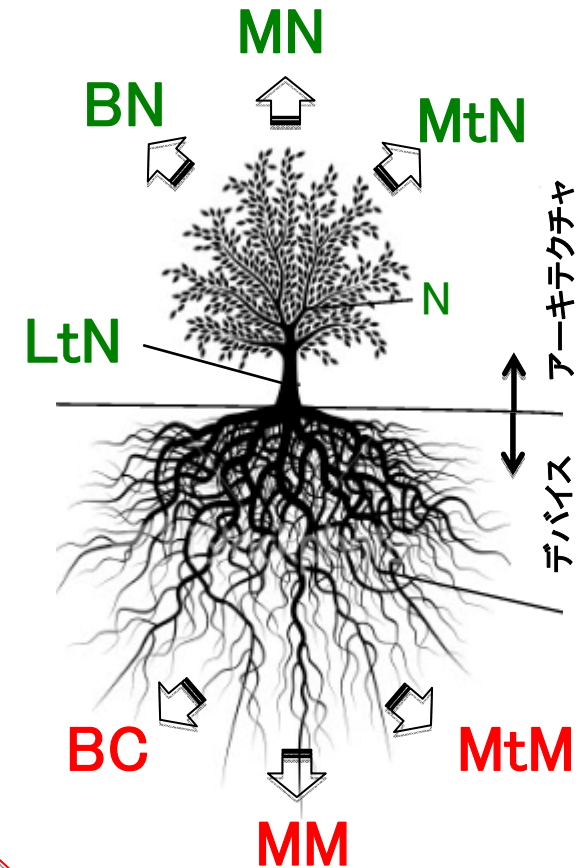
BN : Beyond Neumann
MtN : More than Neumann
MN : More Neumann
N : Neumann
LtN : Less than Neumann



演算能力

演算方法の評価

汎用度



ノイマンの木 w/ ERDの根

機能の創発とは？

「情報処理」と「創発」の世界に共通する「機能の創発」とは何か？

前提：情報処理という言葉が付いて回る限り、CMOSを凌駕する何かがないといけない。前述の群知能、パターン生成などは(学術的には面白いけど)現時点では除外すべき

創発により、

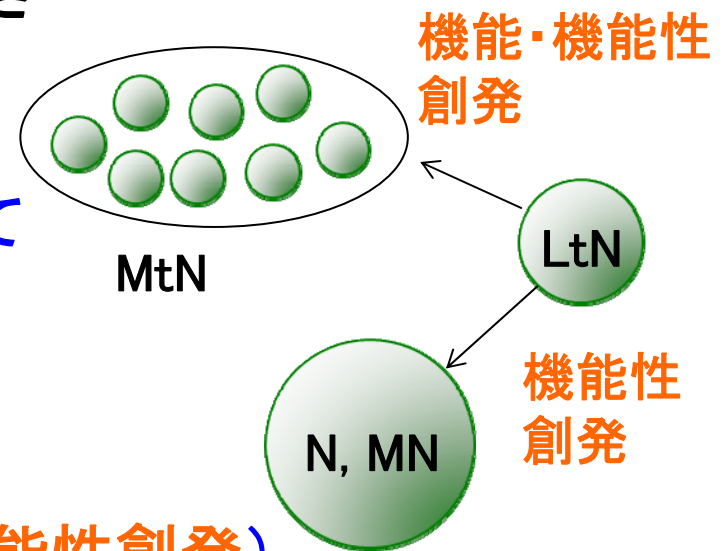
- ・情報処理に有用な「驚くべき機能」が出てくる(機能創発)

例：脳のような機能(CMOSでは無理)

- ・機能はありきたり(既知)でも、驚くべき「機能性(パフォーマンス)」が出てくる(機能性創発)

例1：機能としては単純な論理ゲートであるが、CMOSより低電力

例2：機能としてはセンサであるが、CMOSより高感度、など



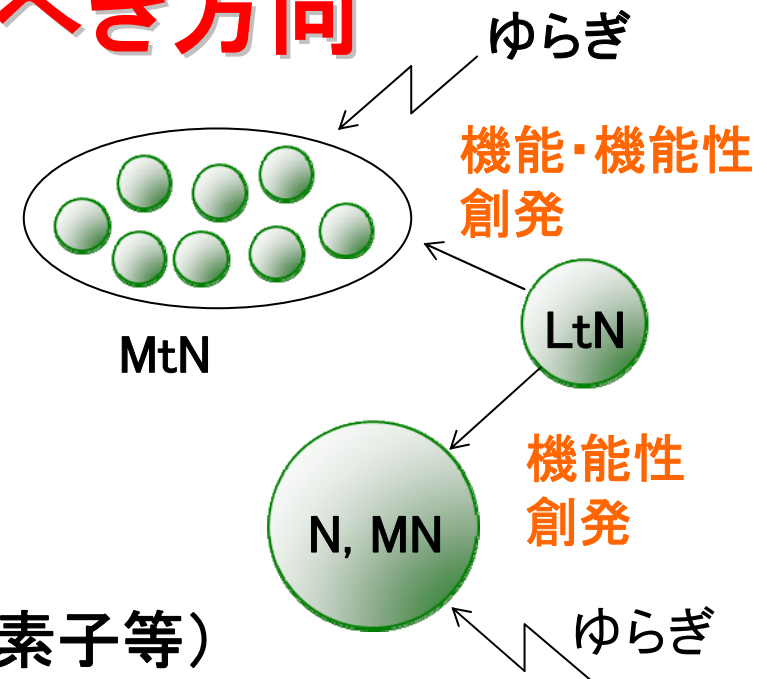
二つの踏み出すべき方向

踏み出すべき方向1

Neuromorphic Engineering +
「ゆらぎ」による機能・機能性の創発

機能創発: 脳そのものはまだ無理

- ・現時点で得られている知見をもとに
脳のパーツをそろえてゆく
(神経素子、確率共鳴素子、シナプス素子等)
- ・そのなかで、**機能性創発**がおこれば
デバイス設計へフィードバック(ゆらぎ耐性、低電力、高速、等)



踏み出すべき方向2

- ・**機能性創発**: 機能は固定(N, MN)だが、CMOSより安価・低電力・高性能
→ N, MNの構成要素(ロジック、記憶素子)

踏み出すべき方向1に関する研究動向

Neuromorphic Engineering + 「ゆらぎ」による機能・機能性の創発

生体系で観測される(自然)現象	創発の種類	回路応用(雑音環境下での実装例)
確率共鳴 (センサ周辺)	機能性創発	高感度センサ, 能動的伝送線路 (CMOS, SET, GaAs nanowire FET, Molecular)
前庭眼反射 (眼球→小脳→眼筋)	機能性創発 (低電力)	超低電力パルス密度変換 (CMOS, SET, Molecular)
雑音誘起位相同期 (視神経, 大脳皮質など)	機能創発?	独立した複数の発振器や回転体などの位相同期/PLL (CMOS)
コントラスト非依存のパターン分類 (減衰シナプスアレイ+神経細胞)	機能性創発	バースト信号検出 (SET, Molecular)
ノイズシェーピング (大脳皮質視覚野)	機能性創発	ノイズシェーピングAD変換 (CMOS, SET, Molecular)

踏み出すべき方向2に関する研究動向

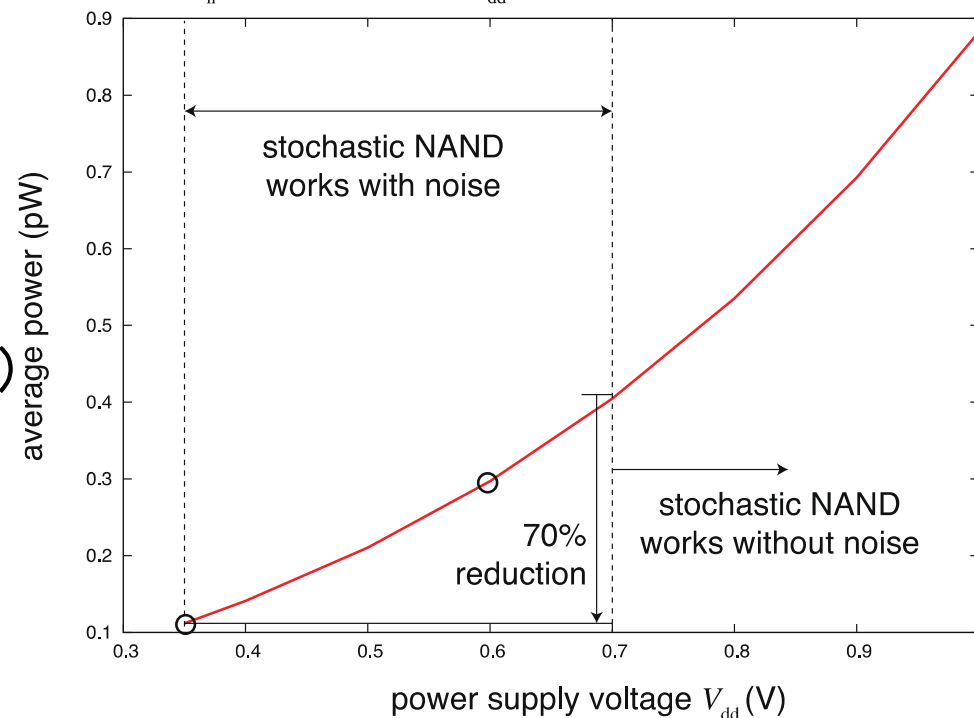
機能性創発: 機能は固定(N, MN用)だが、驚くほど低電力

- ・確率共鳴に基づく
「超低電力NAND」
(stochastic NAND)

- ・NAND素子があれば
どんな論理も組める
(論理の自己組織化は忘れる)
- ・低電力化の方針＝
低電圧化
- ・しきい論理を利用
- ・素子バラツキの影響
を確率共鳴で抑制
(いいかげんな素子でもOK)
- ・ただし、二重井戸系の確率共鳴でなければダメ(論理記憶素子
における確率共鳴を利用する)。

TSMC 0.18um CMOS MM, $I_b = 8 \sim 14$ pA (self biased), $\Delta V_{th} = 100$ mV (worst)

V_n : AGWN (mean = V_{dd} , $\sigma = 27$ mV, update cycle: 1 ms)



CMOS素子への適用例

まとめ

- 2013年度活動方針・WG12 (ERD)メンバー
- ERD動向（ロジック・メモリのハイライト）
- ERDのためのEmergingアーキテクチャ
 - 新探求デバイス（ERD）のための新概念アーキテクチャとは？
 - 情報処理, 情報処理アーキテクチャと創発
 - CMOSを凌駕する機能か機能性が必要
 - 踏み出すべき方向（MtN, N, MNの方向）
 - 微細CMOS・粗粒素子（ナノ電子・分子デバイス）
 - 通常の雑音除去・抑制アプローチは使えない
 - 雑音を使う（ゼロから創るのは厳しい→自然・生物などに学ぶ）

用語集

More Moore	微細化と等価的微細化
More than Moore	多様性
Beyond CMOS	新原理
Extended CMOS	スケーリングとヘテロジニアスインテグレーションによるCMOSプラットフォームの拡張
Less than Neumann	既存ノイマン型アーキテクチャよりもはるかに規模の小さな演算アーキテクチャ。要素計算専用。
More Neumann	既存ノイマン型アーキテクチャの路線をそのまま発展させたアーキテクチャ。
More than Neumann	Less than Neumannの超集合体による並列演算アーキテクチャ。生物的・セルオートマトンアーキテクチャなど。
Beyond Neumann	ノイマン型とは根本的に異なる演算アーキテクチャを」持つもの。量子コンピュータなど。