

小型・低コスト・高速化を支える半導体パッケージ技術

2015年3月6日

WG7リーダー： 杉崎吉昭(東芝)

■WG7の活動概要

■半導体パッケージの動向

■QFNパッケージ

■ファンアウト型WL-CSP

■まとめと今後の活動方針

半導体パッケージのロードマップ活動

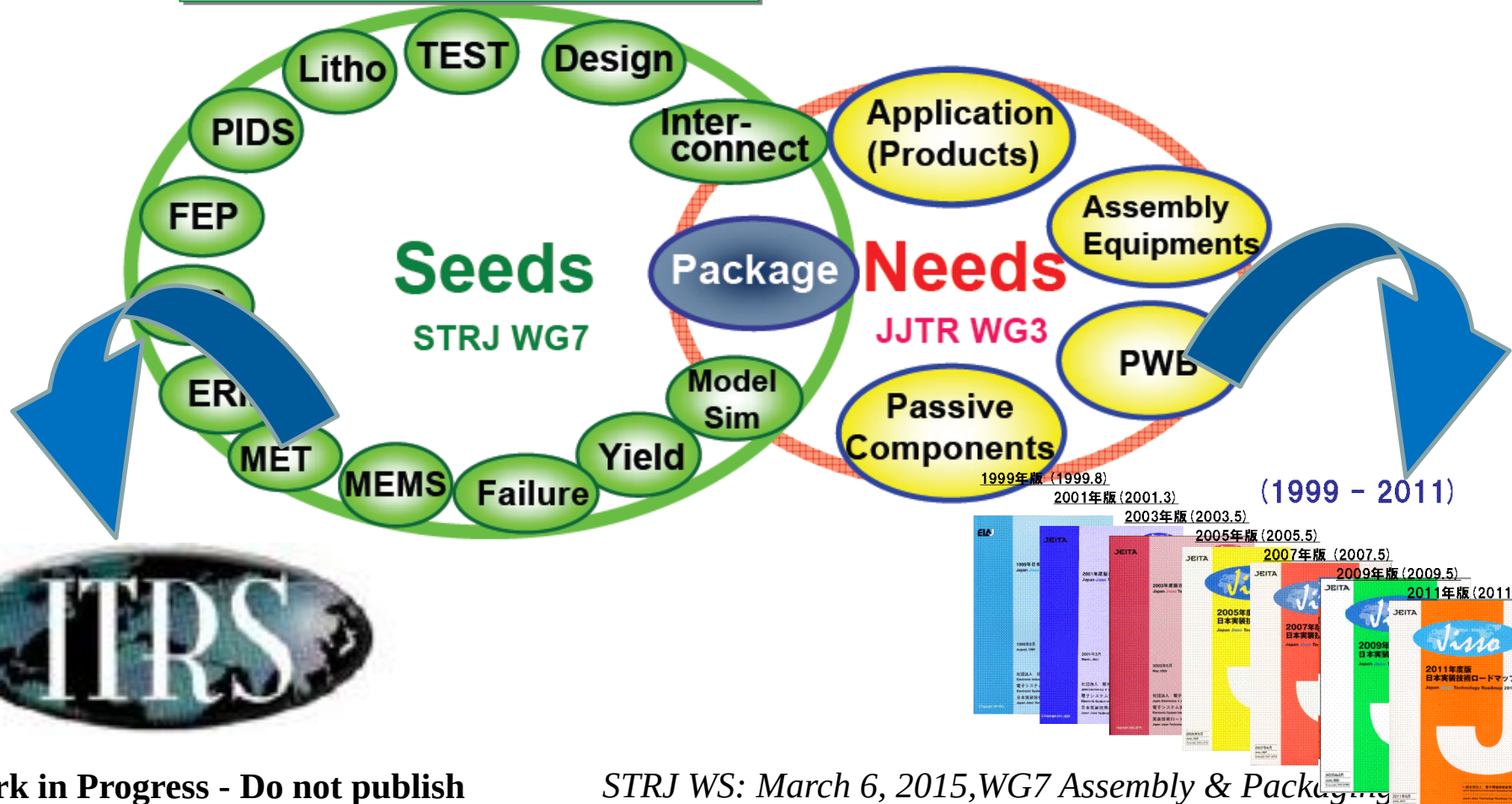
STRJ WG7(実装)は、電子機器セットのニーズと半導体技術のシーズの両面からロードマップを検討している

半導体技術ロードマップ

Semiconductor Technology
Roadmap committee (STRJ)

日本実装技術ロードマップ

Japan Jisso Technology
Roadmap committee (JJTR)



半導体パッケージのロードマップ活動

	STRJ-WG7	JJTR-WG3
杉崎吉昭(東芝)	リーダー	主査
尾崎裕司(ソニー)	サブリーダー	副主査
今村和之(富士通セミコンダクタ)	サブリーダー	副主査
萩原靖久(ルネサスエレクトロニクス)	委員	委員
奥村弘守(ローム)	委員	委員
濱崎浩史(東芝)	委員	委員
藤木達広(ナミックス)	特別委員	委員
久田隆史(日本IBM)	特別委員	委員
村松茂次(新光電気工業) ^{*1}	特別委員	特別委員
若林猛(HTL)	特別委員	特別委員
高橋守(旭硝子)	特別委員	オブザーバー
川内拓男(東京エレクトロン) ^{*2}	特別委員	オブザーバー

*1) 委員交代

*2) 新規登録

■WG7の活動概要

■半導体パッケージの動向

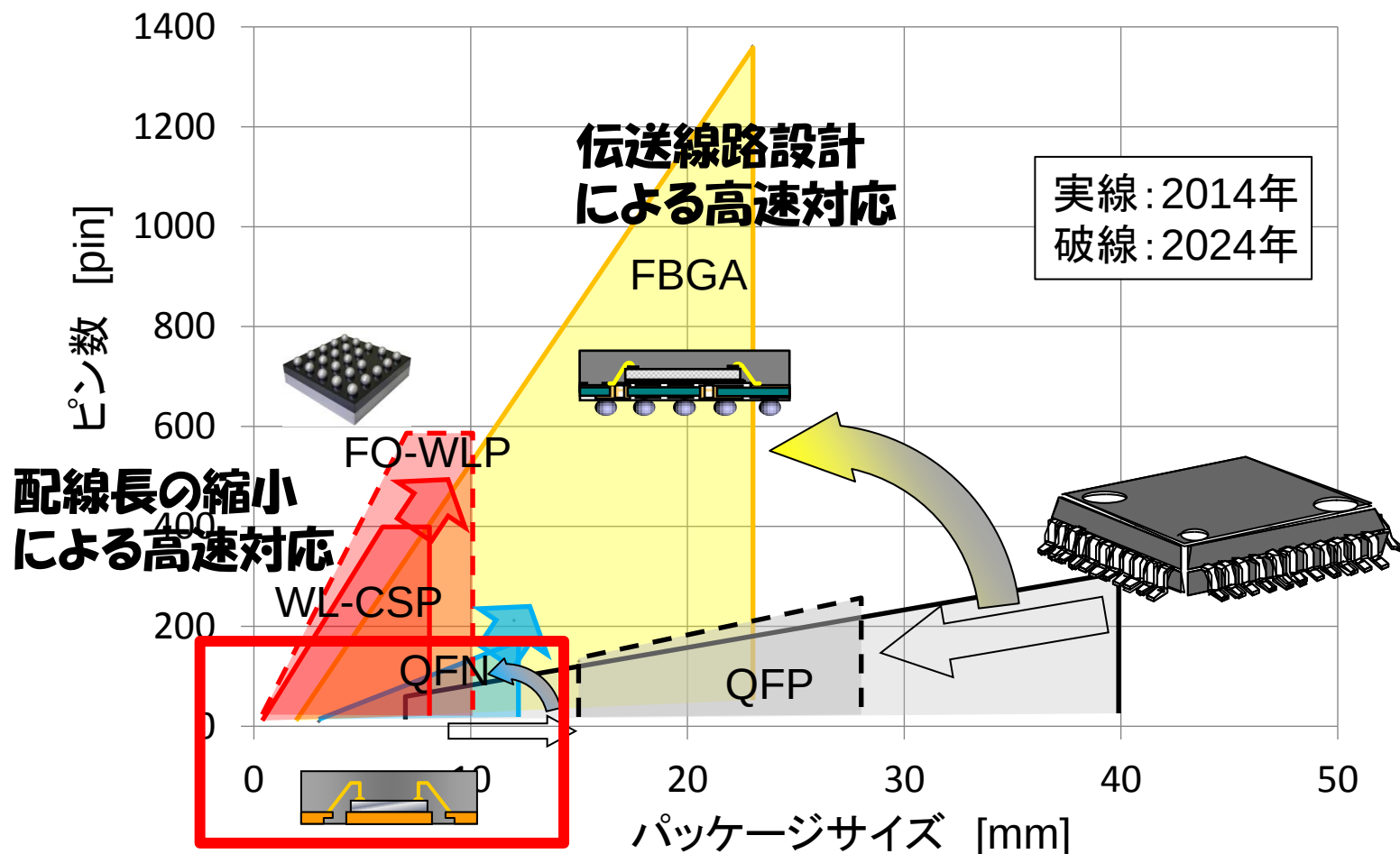
■QFNパッケージ

■ファンアウト型WL-CSP

■まとめと今後の活動方針

各種パッケージの位置付けと動向

- 小型化・高速対応が困難なQFPは適用領域が狭まつつある
- 大チップ、多ピンは、FBGAへ移行
- 小チップは、QFNやWL-CSPへ移行



半導体パッケージ動向の変化

小さく、安く、大量に

チップサイズ
例えば150mm²のCPU

チップサイズ
例えば6mm²のMEMSセンサー

今後

- フィジカル領域へ分散して情報ネットワークを形成
- 多様化(More than Moore)
- 小型化

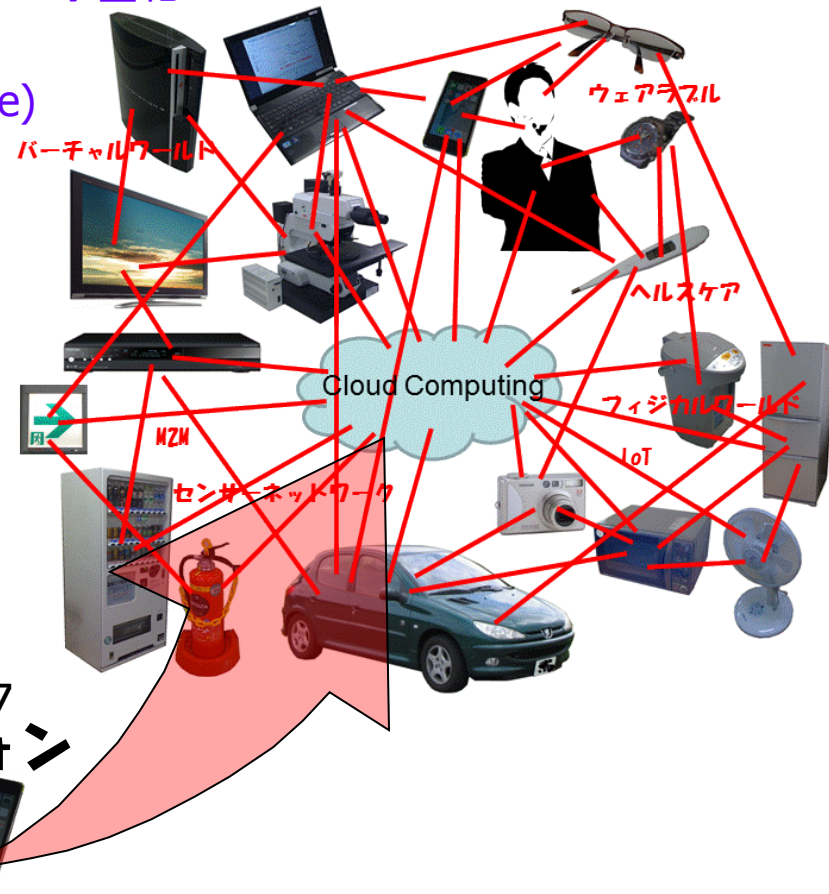
1964
メインフレーム これまでの半導体/PKGの進化

- 微細化・スケーリング(More Moore)
- 機能集積・高密度実装

1990年代

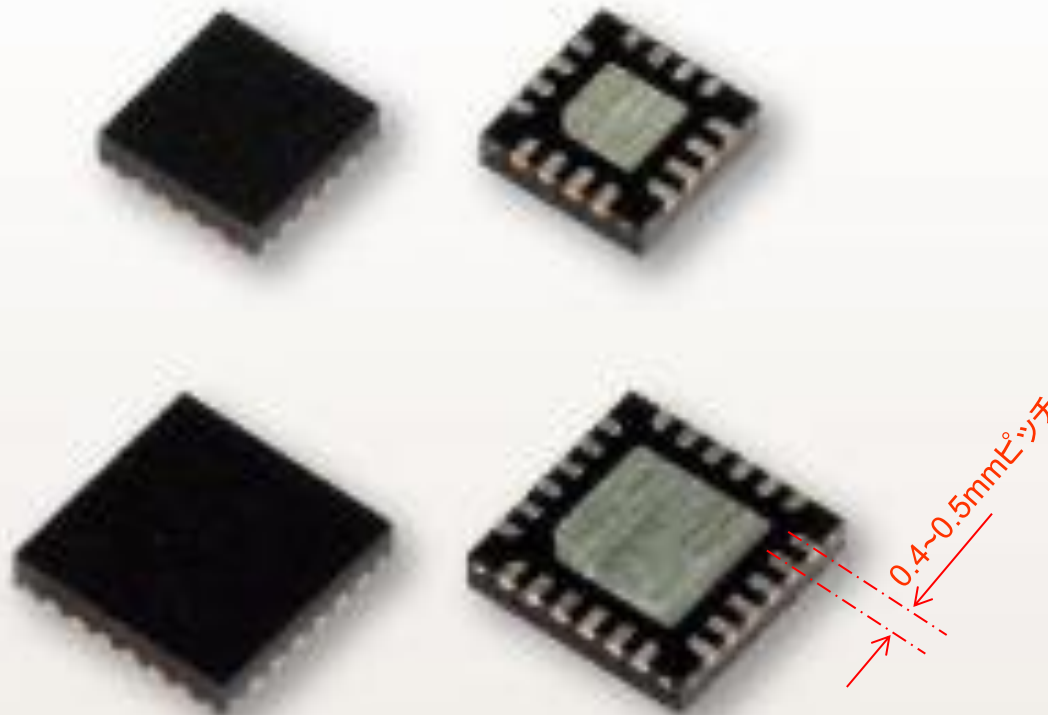
パーソナルコンピュータ

2007
スマートフォン



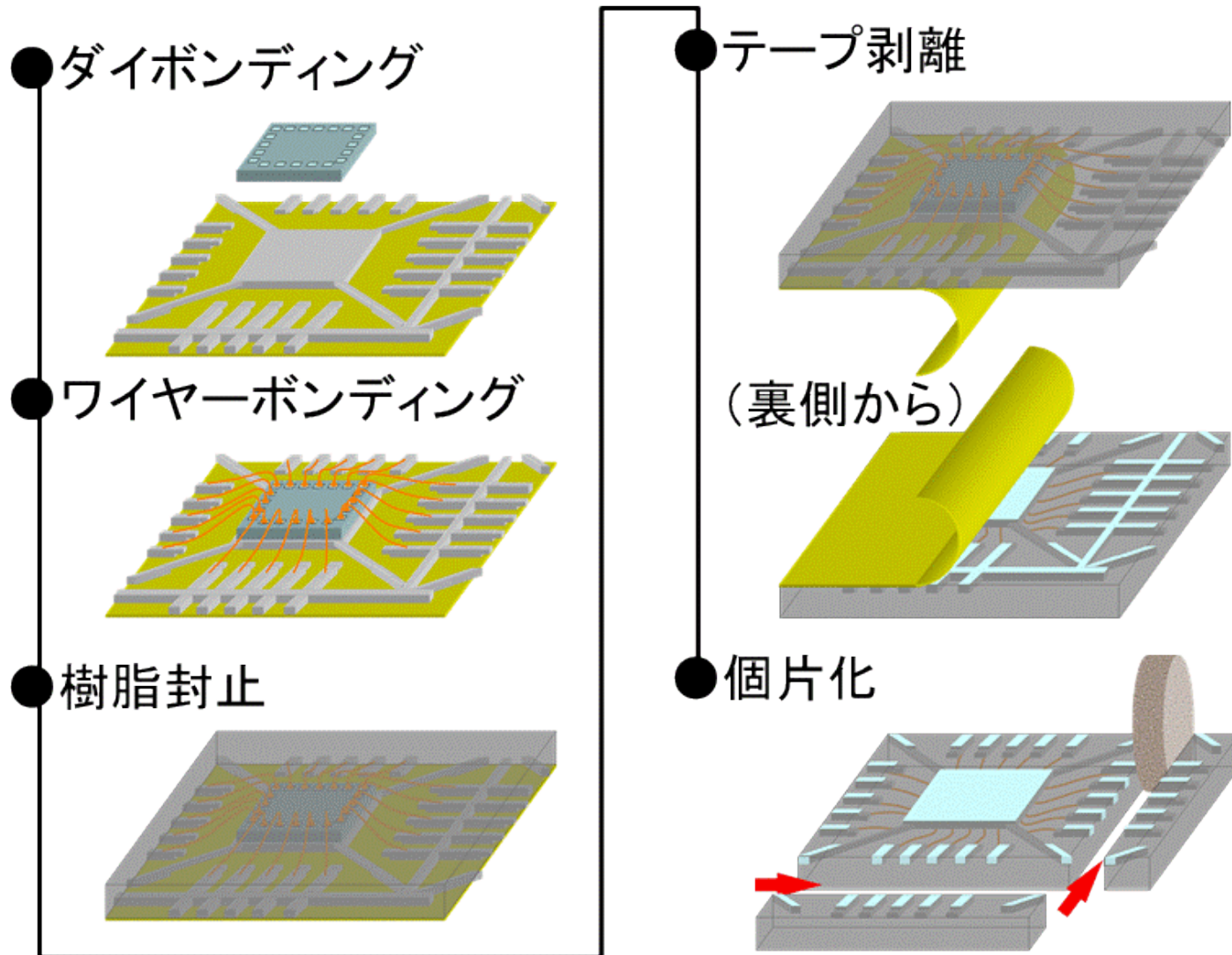
QFNパッケージ

- リードフレームタイプでは最も小さなパッケージ
- WL-CSPに比べて端子ピッチが緩い
→ 廉価なプリント基板に実装可能
- シンプルな構造で低コスト化を実現

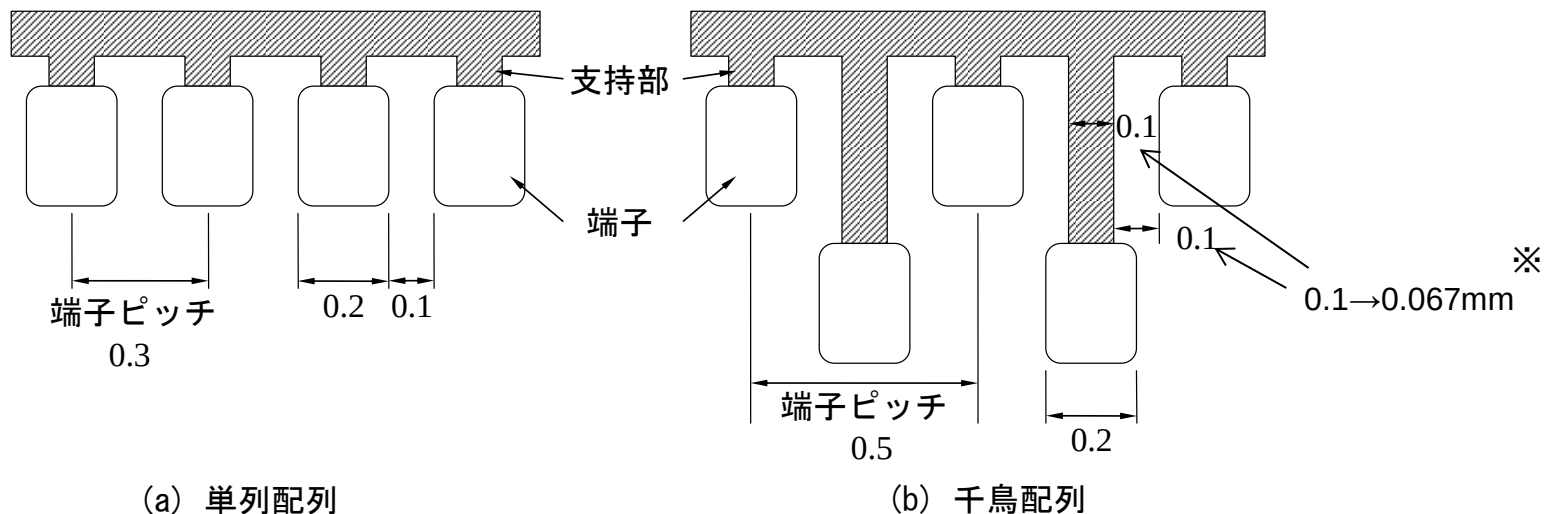
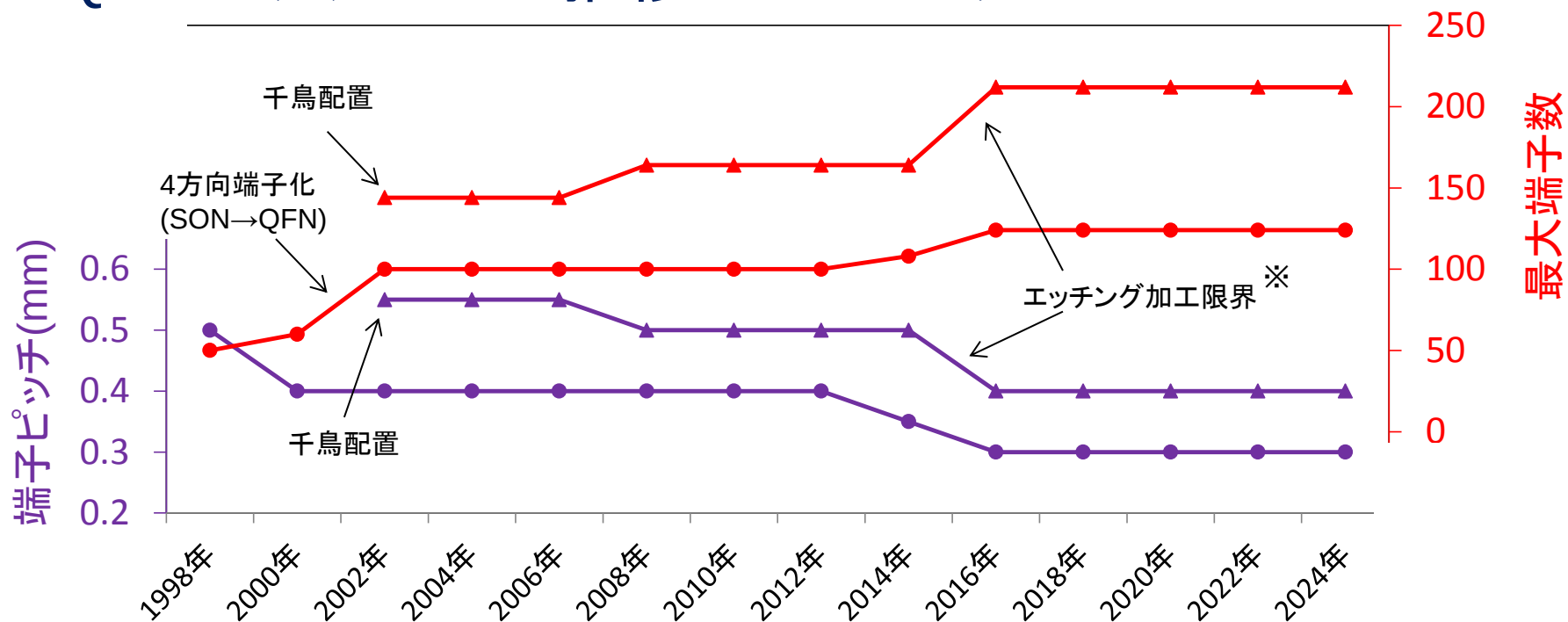


出典: 東芝

QFNパッケージの代表的なプロセスフロー

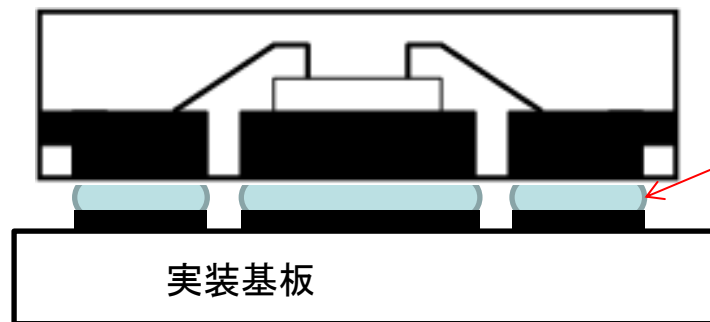


QFNパッケージの推移とロードマップ

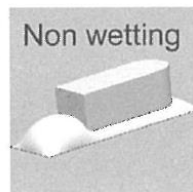
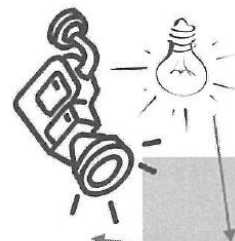


QFNパッケージの課題と改善

従来構造

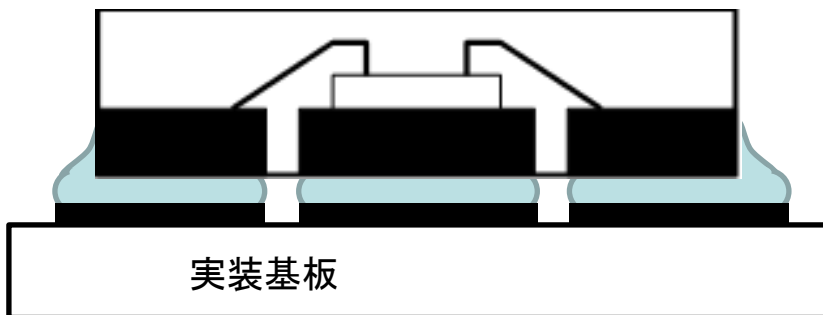
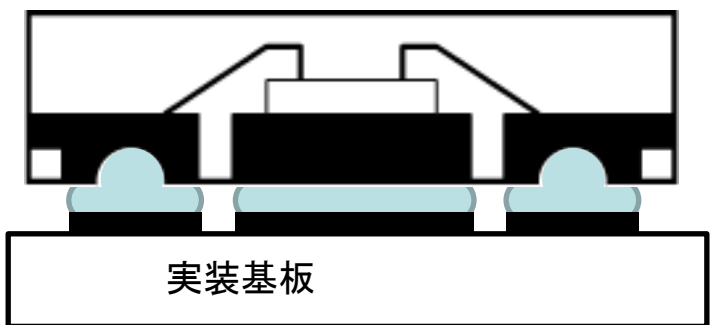


落下試験等で
端子が破断

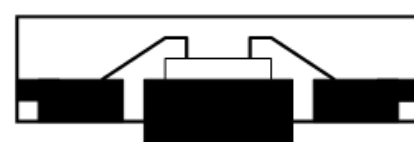
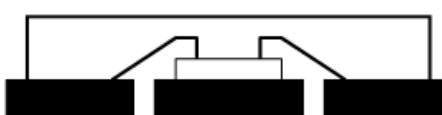
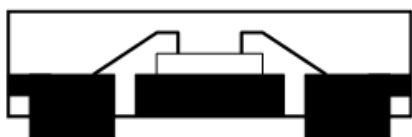


端子に窪み
(接続面積拡大)

側面も端子露出
(フィレット形成、外観検査も可能に)

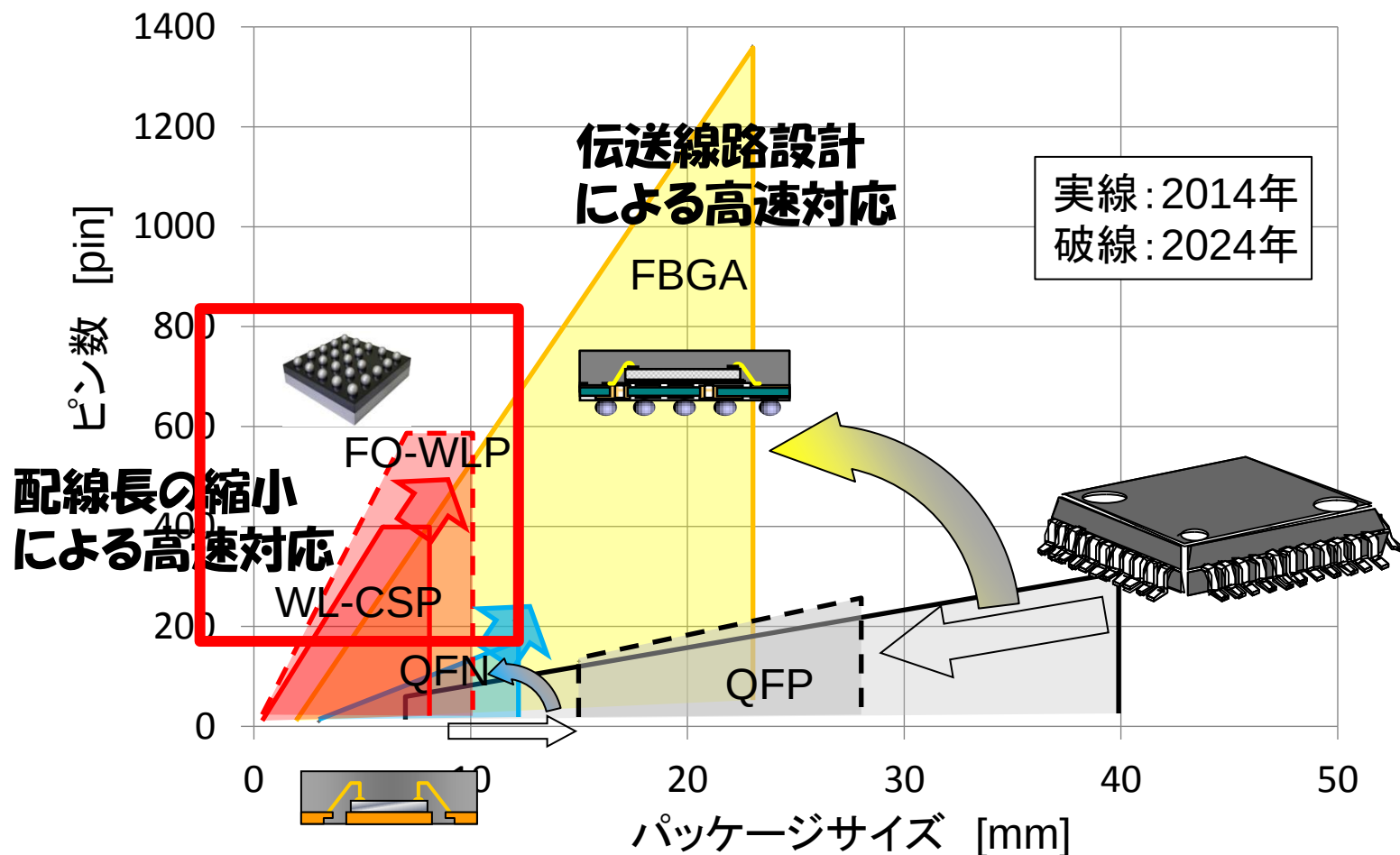


その他、各種改善が提案



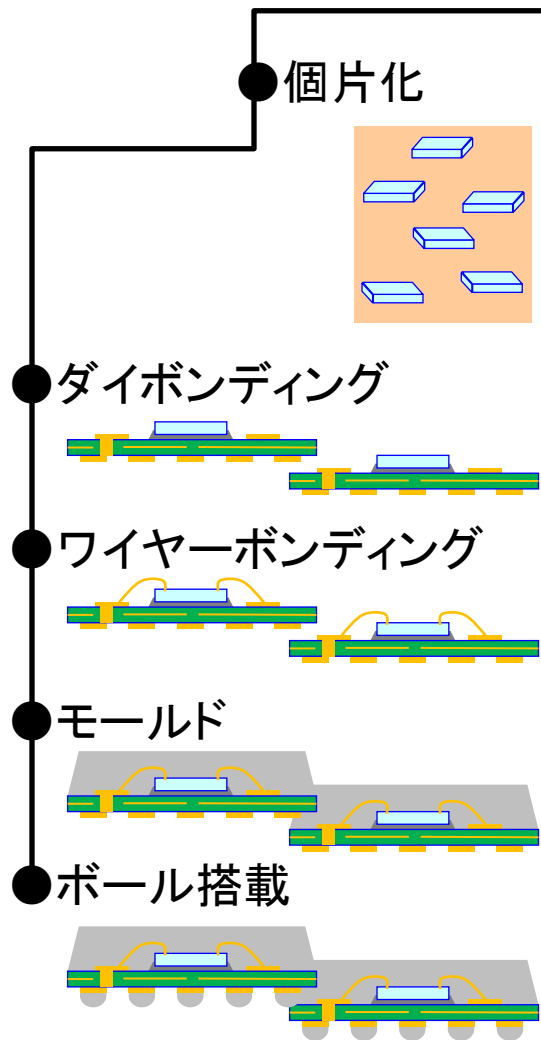
各種パッケージの位置付けと動向

- 小型化・高速対応が困難なQFPは適用領域が狭まつつある
- 大チップ、多ピンは、FBGAへ移行
- 小チップは、QFNやWL-CSPへ移行

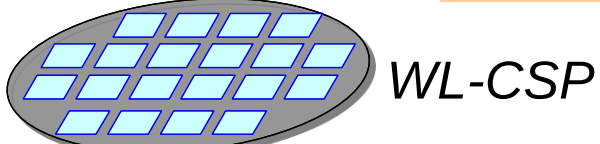


WL-CSPとFO-WLP

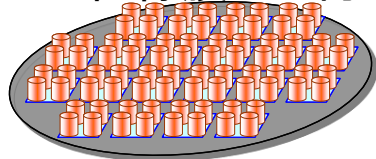
従来パッケージ(FBGA)



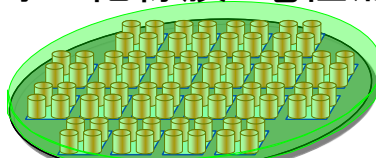
半導体ウェーハ



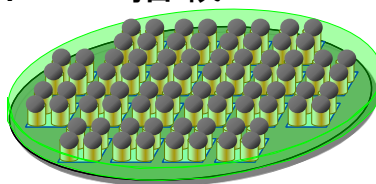
下地絶縁膜・Cu再配線



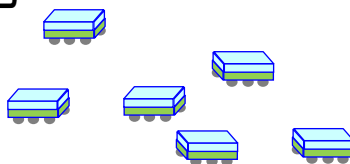
封止絶縁膜・電極形成



ボール搭載

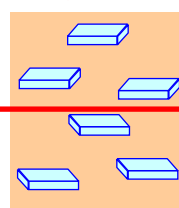


個片化

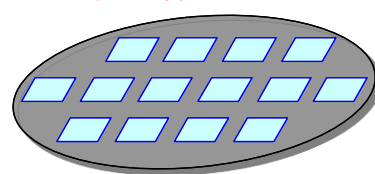


FO-WLP

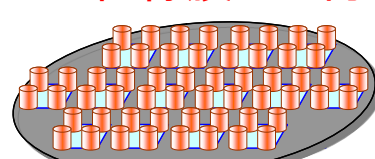
個片化



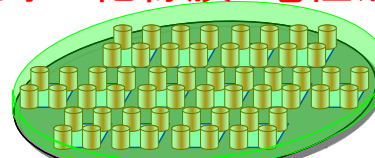
再配置・疑似ウェーハ形成



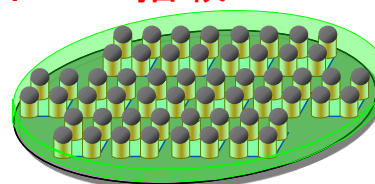
下地絶縁膜・Cu再配線



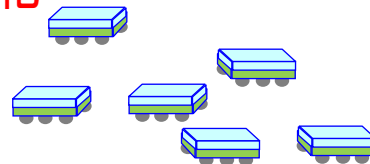
封止絶縁膜・電極形成



ボール搭載



個片化



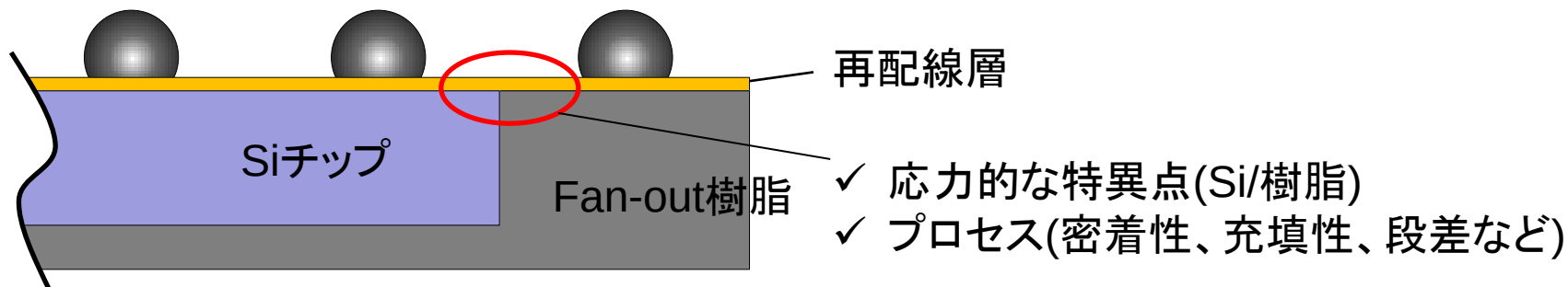
FO-WLPの特徴と課題

■ 特徴

- パッケージサイズがチップサイズより大きい
 - 端子数の多いチップを狭ピッチにしなくても搭載できる
 - チップシュリンクしてもパッケージサイズが変わらない
 - パッケージサイズを標準化できる
- 複数のチップを混載可能
 - ヘテロ集積(プロセス違い、ウエーハ径違い、Passive)

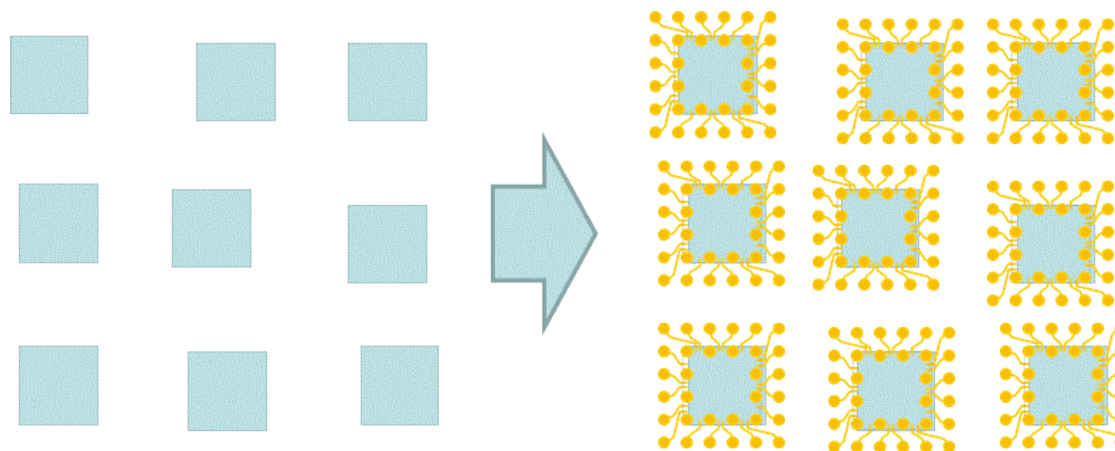
■ 課題

- パッケージサイズが大きくなった分、Grossが減る
 - より大口径へ、パネルプロセス、基板プロセス
- 再配列のコスト、位置精度
- チップ端部の特異点

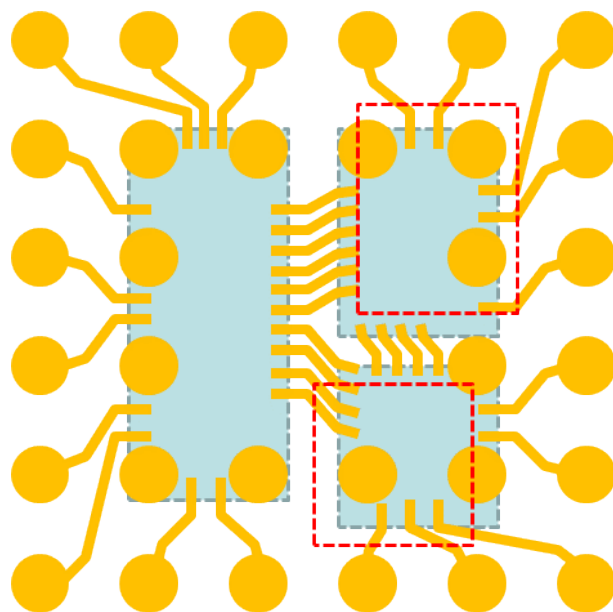


部品搭載精度の問題

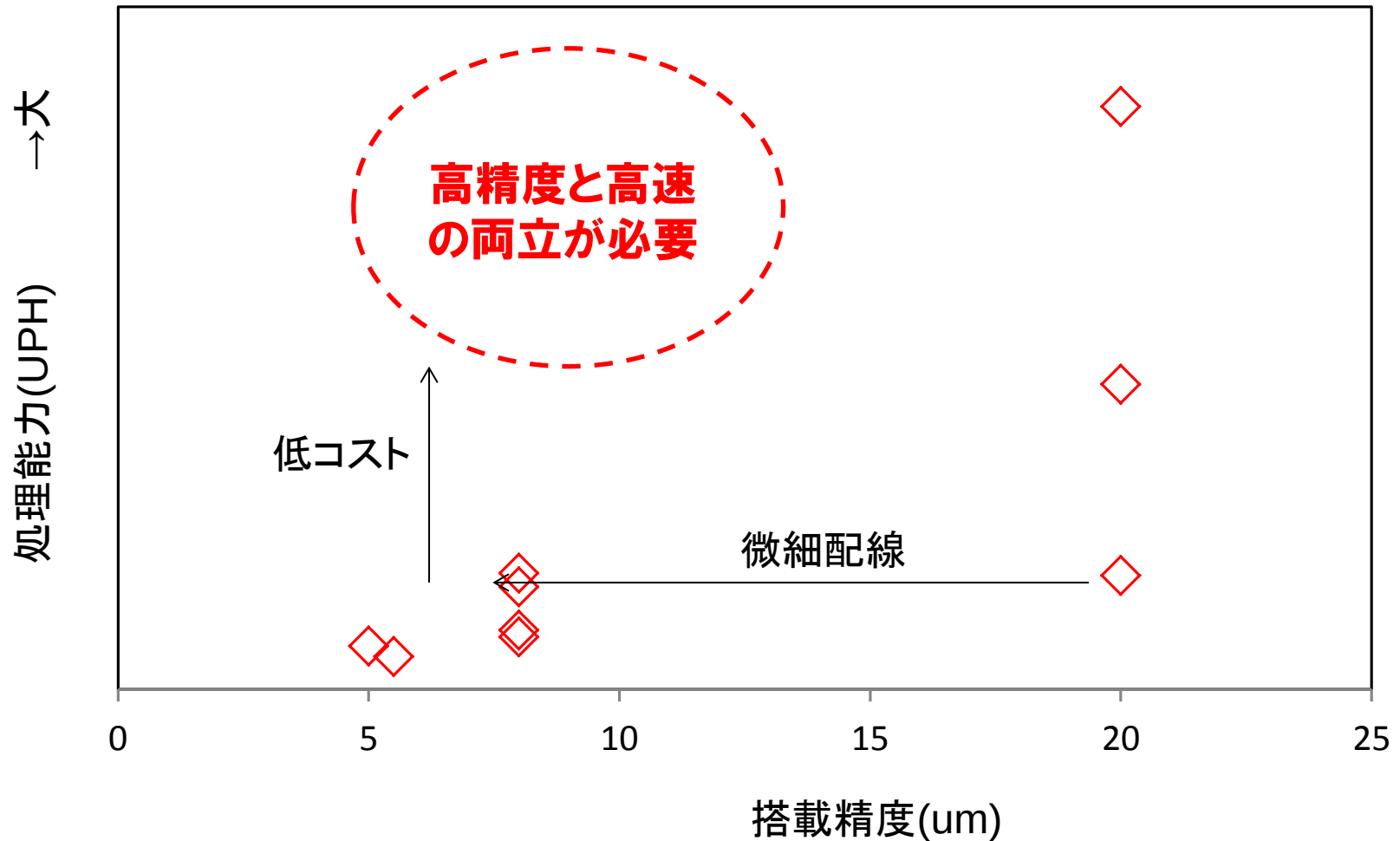
シングルチップパッケージであれば多少の位置ズレは、ステッパで対応可能



マルチチップパッケージでの位置ズレは、致命的



部品搭載機の現状(搭載精度・スループット)



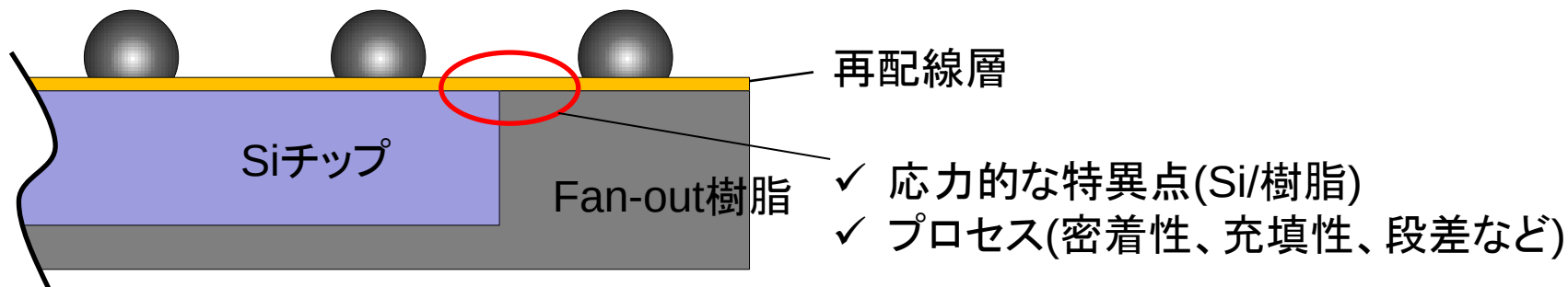
FO-WLPの特徴と課題

■ 特徴

- パッケージサイズがチップサイズより大きい
 - 端子数の多いチップを狭ピッチにしなくても搭載できる
 - チップシュリンクしてもパッケージサイズが変わらない
 - パッケージサイズを標準化できる
- 複数のチップを混載可能
 - ヘテロ集積(プロセス違い、ウエーハ径違い、Passive)

■ 課題

- パッケージサイズが大きくなった分、Grossが減る
 - より大口径へ、パネルプロセス、基板プロセス
- 再配列のコスト、位置精度
- チップ端部の特異点



大判プロセスの比較

Siウエハ

プリント基板

FPD

	LSIプロセス		WL-CSPプロセス		部品内蔵プロセス		FPDプロセス
盤面サイズ	707cm ² (300mmφ) 314cm ² (200mmφ)				3,000cm ² (500x600mm) 1,650cm ² (500x330mm)		6,716cm ² (4G:730x920mm) 3,575cm ² (2G:550x650mm) 2,000cm ² (2G:400x500mm)
プロセス	RIE ●ビア開孔 ●バリアメタル成膜 ●W-CVD ●エッチバックorCMP ●Ti/TiN成膜 ●Al合金成膜 ●Ti/TiN成膜 ●レジストパターニング ●RIE ●絶縁膜成膜	Cu Damascene ●絶縁膜成膜 ●レジストパターニング ●配線溝a/oビア孔形成 ●バリアメタル成膜 ●シードメタル成膜 ●Cu電解メッキ ●CMP ●Cap絶縁膜成膜	Cu-RDL ●塗布型 ●シード ●厚膜レ ●電解Cu ●厚膜レジ ●シード膜エッチング ●塗布型絶縁膜成膜・ビア開孔	●樹脂封止 ●表面研削&Cuビラー露出	500x330 500x600	active 電解Cu レジスト Cuエッ レジスト	2G 2G 4G
Desing Rule							
配線材料	Al合金	Cu	Cu	Cu	Cu	Cu	
ビア材料	W, Al合金	Cu	Cu	Cu	Cu	Cu	
絶縁膜材料	SiO ₂ , SiN, SiON, SiOC他		PI, PBO, BCB	エポキシ樹脂	エポキシ樹脂	エポキシ樹脂	
Min. L/S	<1um	<1um	5/5um	--	8/8um	3	
最大膜厚	2um (線幅1.5um)		5~6um	20~80um	15~200um		
ビア径/ビアランド径	<1um	<1um	5um	--	CO2:min50um, UV:min20um		2um
多層化	可	可	2層程度	不可	可	可	×
適用プロセス							
CVD	○		(○)		×		○
PVD	○		○		×		○
無電解メッキ	○		(○)		○		×
電解メッキ	○		○		○		×
塗布膜形成	○: スピンコート		○: スピンコート		×		○: スリットダイコータ
フィルムラミネート	×		○		○		×
樹脂封止	×		○: モールド、印刷		×		×
ドライエッチング	○		(○)		×		○
ウェットエッチング	○		○		○		○
平坦化/精度	CMP/<0.1um		(ResinCMP/<1um)	研削/TTV5um + 表面荒れ	フィルム積層/±3um		×
部品搭載/精度	×		○		○		×
はんだバンプ形成	×		○: メッキ/印刷/ボール		○: 印刷/ボール		×
金バンプ形成	×		○: メッキ/スタッドバンプ		○: メッキ表面処理		×
Cuバンプ形成	×		○: メッキ		○: メッキ		×

大判プロセスの比較

Siウエハ

プリント基板

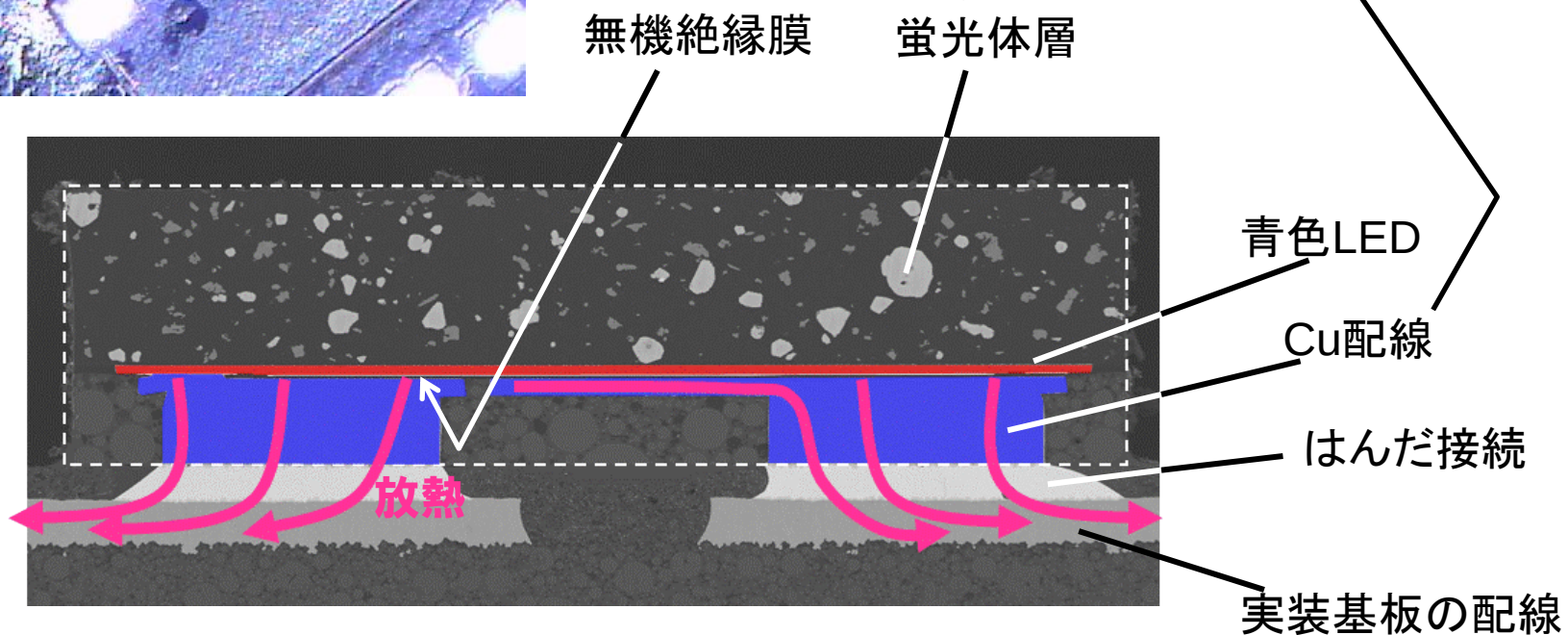
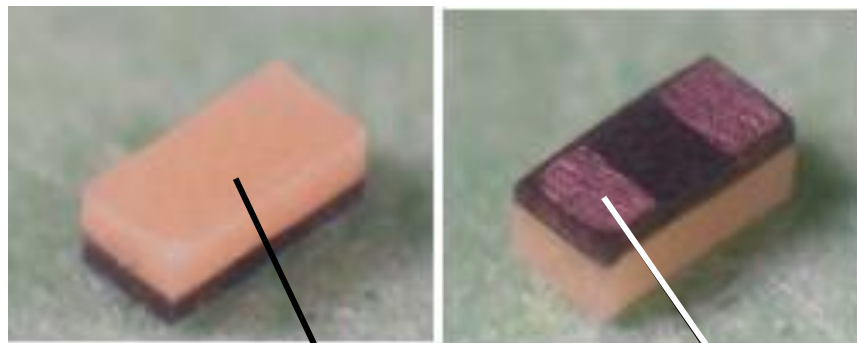
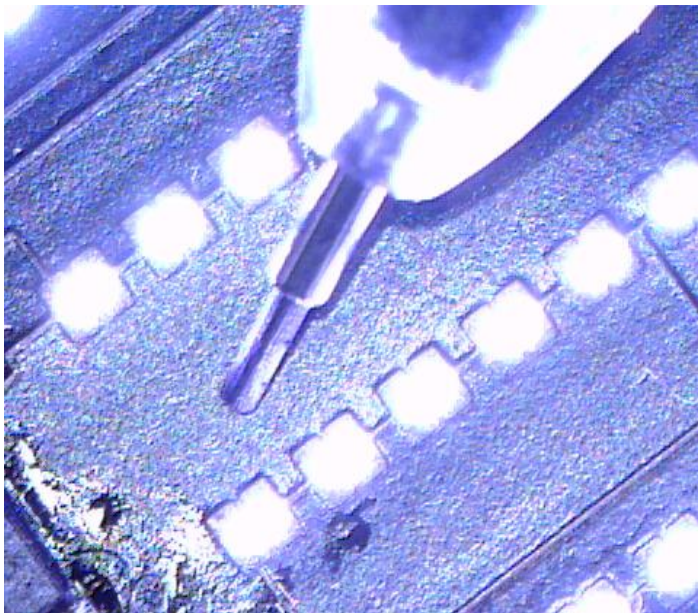
FPD

	LSIプロセス		WL-CSPプロセス		部品内蔵プロセス		FPDプロセス
盤面サイズ	707cm ² (300mmφ) 314cm ² (200mmφ)				3,000cm ² (500x600mm) 1,650cm ² (500x330mm)		6,716cm ² (4G:730x920mm) 3,575cm ² (2G:550x650mm) 2,000cm ² (2G:400x500mm)
プロセス	RIE	Cu Damascene	Cu-RDL	Cu Pillar	Semi-additive	Subtractive	
	●ビア開孔 ●バリアメタル成膜 ●W-CVD ●エッチバックorCMP ●Ti/TiN成膜 ●Al合金成膜 ●Ti/TiN成膜 ●レジストパターンニング ●RIE ●絶縁膜成膜	●絶縁膜成膜 ●レジストパターンニング ●配線溝a/oビア孔形成 ●バリアメタル成膜 ●シードメタル成膜 ●Cu電解メッキ ●CMP ●Cap絶縁膜成膜	●塗布型絶縁膜成膜・ビア開孔 ●シード膜スパッタ ●厚膜レジストパターンニング ●電解Cuメッキ ●厚膜レジスト剥離 ●シード膜エッチング	●樹脂封止 ●表面研削&Cuピラー露出	●ABFラミネート ●レーザビア開孔 ●デスミア ●シードデポ ●無電解Cuメッキ ●DFRラミネート ●露光現像 ●電解Cuメッキ ●DFR剥離 ●無電解Cuエッチング	●電解Cuメッキ ●レジスト成膜・露光現像 ●Cuエッチング ●レジスト剥離	●絶縁膜CVD成膜 ●配線膜スパッタ ●レジストパターンニング ●ドライエッチ(ウェットエッチ) ●レジスト剥離
Desing Rule							
配線材料	Al合金	Cu	Cu	Cu	Cu	Cu	Al, Ti, Mo, Cu, ITO, IGZO
ビア材料	W, Al合金	Cu	Cu	Cu	Cu	Cu	Al, Ti, Mo, Cu, ITO, IGZO
絶縁膜材料	SiO ₂ , SiN, SiON, SiOC他		PI, PBO, BCB	エポキシ樹脂	エポキシ樹脂	エポキシ樹脂	SiO ₂ , SiN, Acrl樹脂
Min. L/S	<1um	<1um	5/5um	--	8/8um	30/30um	2/2um
最大膜厚	2um(線幅1.5um)		5~6um	20~80um	15~200um		0.2~0.3um
ビア径/ビアランド径	<1um	<1um	5um	--	CO ₂ :min50um, UV:min20um		2um
多層化	可	可	2層程度	不可	可	可	×
適用プロセス							
CVD	○		(○)		×		○
PVD	○		○		×		○
無電解メッキ	○		(○)		○		×
電解メッキ	○		○		○		×
塗布膜形成	○: スピンコート		○: スピンコート		無機絶縁膜がない		○: スリットダイコート
フィルムラミネート	×		○				
樹脂封止	×		○: モールド、印刷		×		厚膜配線
ドライエッチング	○		(○)		×		多層配線
ウェットエッチング	○		○		○		×
平坦化/精度	CMP/<0.1um		(ResinCMP/<1um)	研削/TTV5um + 表面荒れ	フィルム積層/±3um		×
部品搭載/精度	×		○		○		×
はんだバンプ形成	×		○: メッキ/印刷/ボール		○: 印刷/ボール		×
金バンプ形成	×		○: メッキ/スタッドバンプ		○: メッキ表面処理		×
Cuバンプ形成	×		○: メッキ		○: メッキ		×

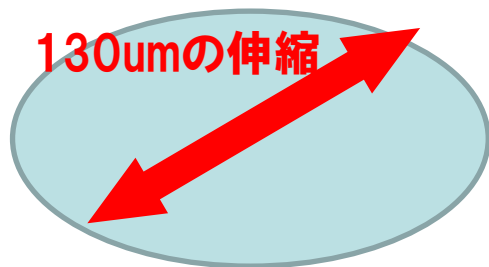
厚膜配線
多層配線
メッキ配線
がない

無機絶縁膜が必要なWL-CSPの事例

出典: 東芝



その他、熱膨張率等の問題



LSI、WL-CSP
Siの熱膨張率=3ppm



FO-WLP
封止樹脂の熱膨張率=7ppm

Siと異なる特性による
「反り」「平坦性」

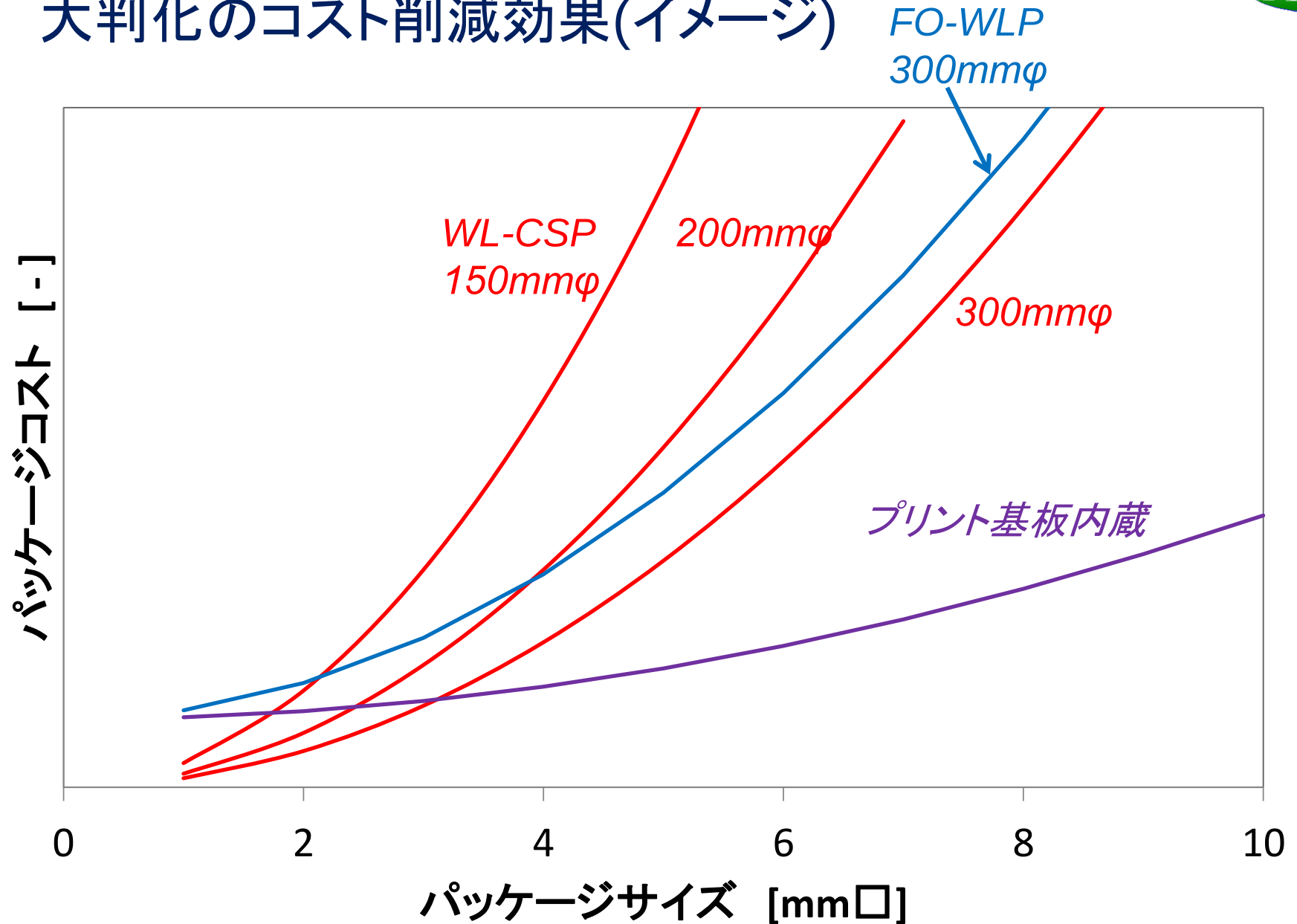


一括露光は出来ない

プリント基板
ビルドアップ樹脂の熱膨張率=12ppm

反りがさらに大きい
→歩留まり課題

大判化のコスト削減効果(イメージ)



まとめと今後の活動方針

- IoT・センサーネットワークの台頭とともに、小型で低コストなパッケージが伸長
 - 大型で高速対応が難しいQFPは適用範囲が縮小
 - 大チップはFBGAへ、小チップはQFN・WL-CSPへ移行
- 端子ピッチが緩いQFNパッケージは、実装基板も含めて廉価なソリューションとして伸長
- 多端子・高密度実装には、WL-CSP、ファンアウト型WL-CSPが適用
- ファンアウト型WL-CSPの伸長に向けての課題
 - 高速で高精度な部品搭載機
 - 大口径化→450mm？プリント基板プロセス？
- 2015年度の活動予定
 - 低消費電力化の最新動向の調査
 - 医療・ヘルスケア応用の調査

CMP	: Chemical Mechanical Polishing
CVD	: Chemical Vapor Deposition
FBGA	: Fine-Pitch Ball Grid Array
FO-WLP	: Fan-out Wafer Level Package
FPD	: Flat Panel Display
IGZO	: Indium Gallium Zinc Oxide
ITO	: Indium Tin Oxide
LED	: Light Emitted Diode
PVD	: Physical Vapor Deposition
QFN	: Quad flat no-lead package
QFP	: Quad flat package
RIE	: Reactive Ion Etching
SON	: Small Outline No-Lead
TTV	: Total Thickness Variation
UPH	: Unit per hour
WL-CSP	: Wafer Level Chip Scale Package
WLP	: Wafer Level Packaging