

WG12 (Emerging Research Devices: ERD)
**ERD動向とERD×エマージング
アーキテクチャ**

- 品田高宏（東北大）
浅井哲也（北大）
辰村光介（東芝）
原 祐子（東工大）
屋上公二郎（ソニー）

目次

- 2014年度活動方針
- 2014年度 WG12 (ERD)メンバー
- Extended CMOS
- ERD動向 (ハイライト)
 - ERDロジック
 - ERDメモリ
- ERD×エマージェンシングアーキテクチャ
- ITRS2.0対応
- まとめ
- 用語集

2014年度活動

活動方針

- 10年～20年先に要求されるロジック、メモリの研究・技術動向をサーベイし、ベンチマークすること。
- ERDのためのEmergingアーキテクチャ、EmergingアーキテクチャのためのERDをディレクションすること。ERD x ERA。
- Extended CMOSの浸透を図ること。
- 日本で開発されているERDのプレゼンスを示すこと。
- ITRS2.0貢献。Low power, NVM, SCM, Security, Sensor。

活動計画

- 月1回会合開催（8月を除く）。毎回ヒアリングをセット。
- 2014年4月より時間帯（14:00-17:00）の工夫。ERM会合（30分）／ERD-ERM合同セッション（2時間）／ERM会合（30分）。
- ERD委員、および外部有識者ヒアリングによる最新動向把握→ベンチマーキング→国際会議、ワークショップでプレゼン→次のアップデートに反映。
- 国際会議への参加。ERD workshop企画貢献。
- ITRS 2013和訳。

2014年度体制

STRJ WG最大

24名(企業:7, 大学:12, 国研等:5)

リーダー(1名)	品田高宏(東北大)・・・4代目(2014年4月～)
サブリーダー (2名)	屋上公二郎(ソニー)辰村光介(東芝)
幹事(1名)	辰村光介(東芝)
国際担当(1名)	平本俊郎(東大)
ロジックG(9名)	リーダー 辰村光介(東芝) 佐藤信太郎(富士通研), 野田 啓 (京大) 内田 建(慶應大), 大野雄高(名大), 川端清司(ルネサス) 藤原 聡(NTT), 白根 昌之(NEC), 日高睦夫(産総研)
メモリG(4名)	リーダー 屋上公二郎(ソニー) 秋永広幸(産総研), 高浦則克(LEAP), 長谷川剛(NIMS)
アーキテクチャG (3名)	リーダー 浅井哲也(北大) ペパー・フェルディナンド(NICT)、原祐子(東工大)
アドバイザー(6名)	栗野祐二(慶大), 遠藤哲郎(東北大), 河村誠一郎(JST) 菅原 聡(東工大), 竹内 健(中大), 高木信一(東大)

Japan ERD Coverage



Name	Affiliation	Logic	Memory	CMOS extension	Beyond CMOS	MtM	Architecture
		8	5	3	5	3	4
Shinada, Takahiro	Tohoku Univ.	X			X		
Yagami, Kojiro	Sony		X				
Tatsumura, Kosuke	Toshiba	X	X				X
Hiramoto, Toshiro	Univ. Tokyo	X		X			
Akinaga, Hiroyuki	AIST	X					
Asai, Tetsuya	Hokkaido Univ.						X
Awano, Yuji	Keio Univ.						
Uchida, Ken	Keio Univ.						
Endo, Tetsuo	Tohoku Univ.						
Ohno, Yutaka	Nagoya Univ.	X		X	X	X	
Kawabata, Kiyoshi	Renesas						
Kawamura, Seiichiro	JST						
Sato, Shintaro	Fujitsu	X			X	X	
Shirane, Masayuki	NEC	X					
Sugawara, Satoshi	Tokyo Tech						
Takagi, Shinich	Univ. Tokyo						
Takaura, Norikatsu	LEAP		X				
Takeuchi, Ken	Chuo Univ.						
Noda, Kei	Keio Univ.		X			X	
Hasegawa, Tsuyoshi	NIMS		X				
Hara, Yuko	Tokyo Tech						X
Hidaka, Mutuo	AIST	X			X		
Fujiwara, Akira	NTT			X	X		
Peper, Ferdinand	NICT						X

Work in Progress - Do not publish

STRJ WS: March 6, 2015, WG12 ERD

Extended CMOS

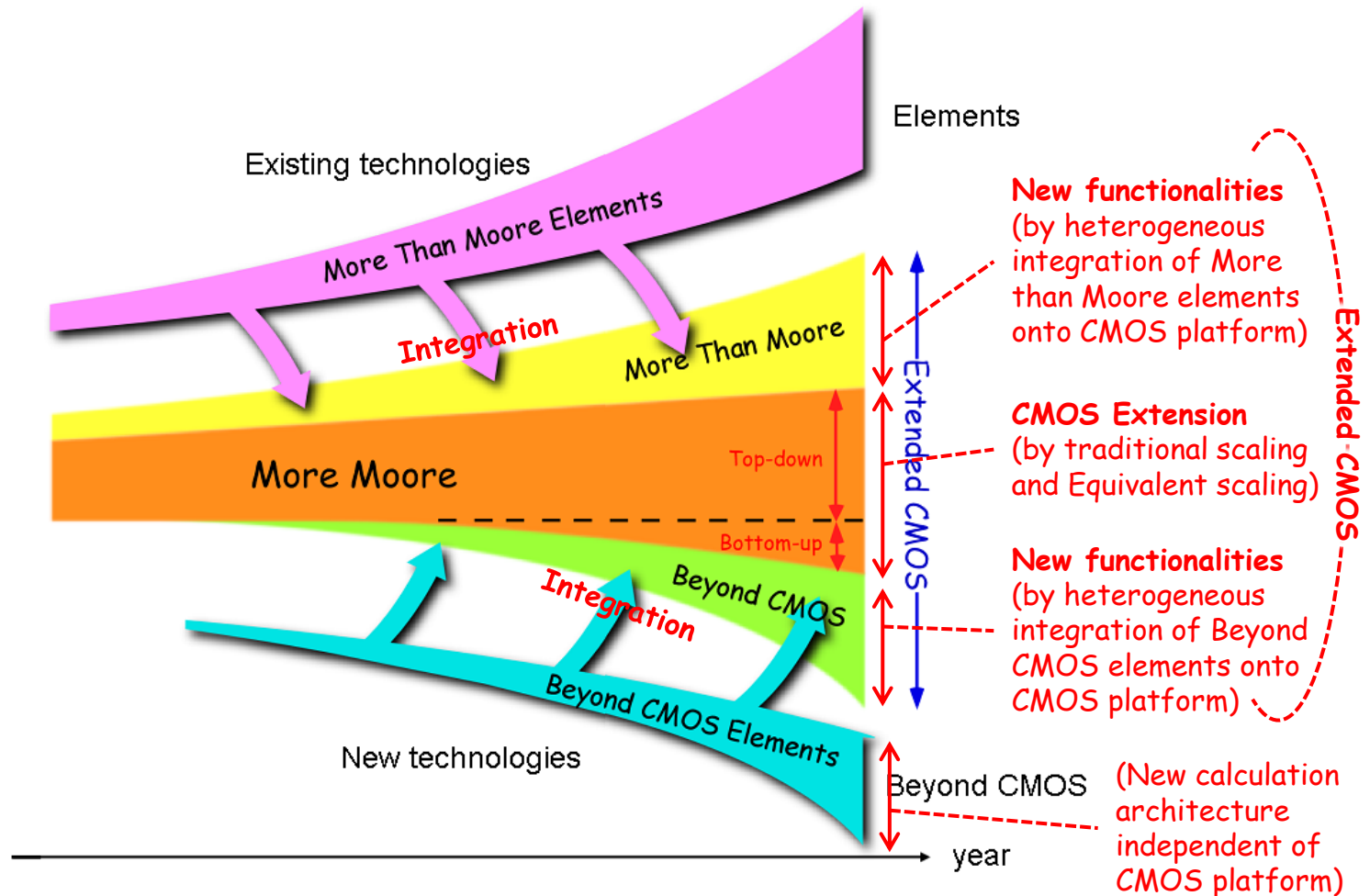


Figure ERD1 Relationship among More Moore, More-than-Moore, and Beyond CMOS.

目次

- 2014年度活動方針
- 2014年度 WG12 (ERD)メンバー
- Extended CMOS
- ERD動向 (ハイライト)
 - ERDロジック
 - ERDメモリ
- ERD×エマージェンシングアーキテクチャ
- ITRS2.0対応
- まとめ
- 用語集

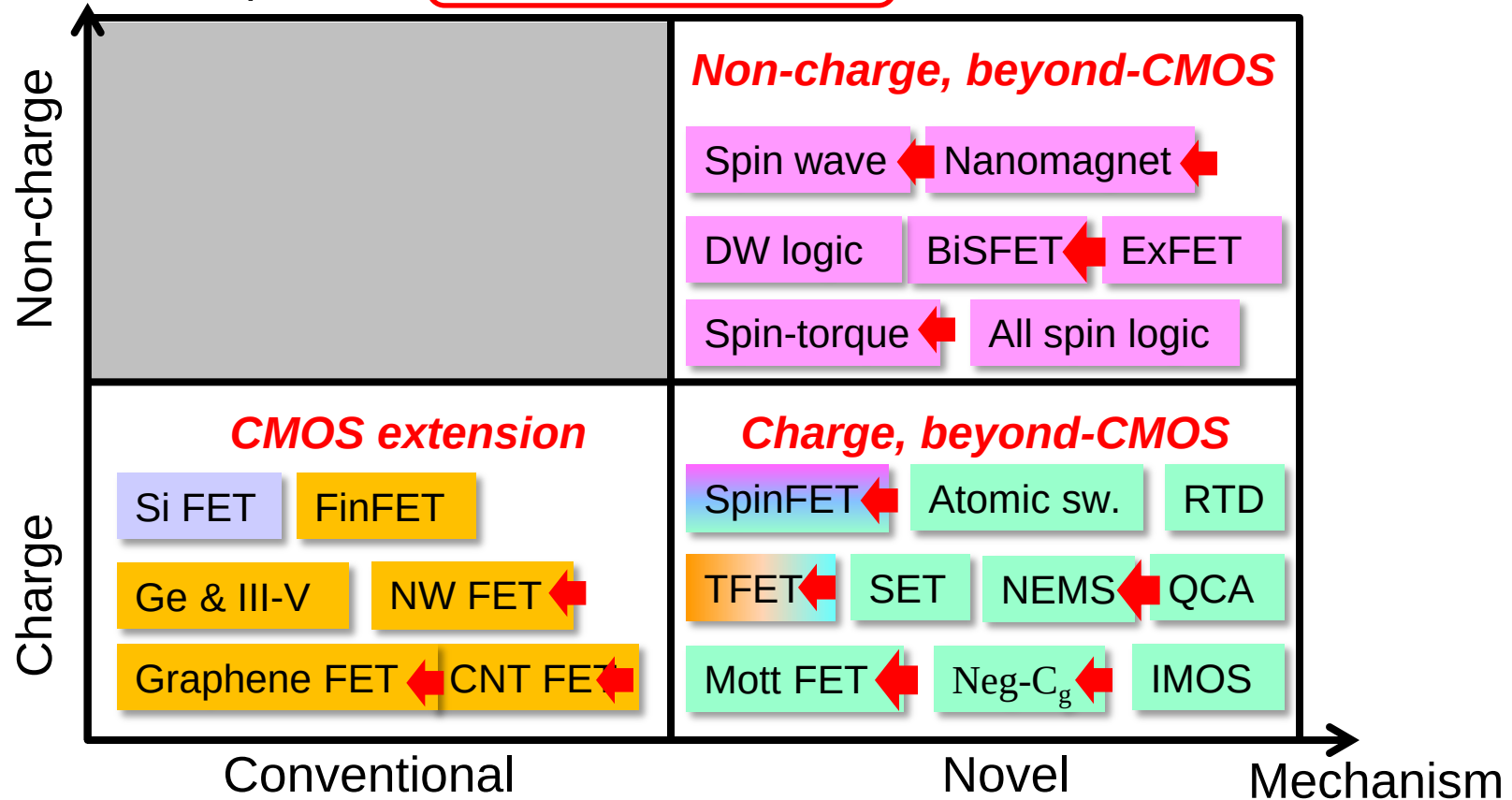
□ERD Emerging Logic Assessment Workshop ダイジェスト

□ERD注目トピックス： Piezoelectric Transistor (PET)

27-28. Aug, Albuquerque, USA

State variable
(Info. Carrier)

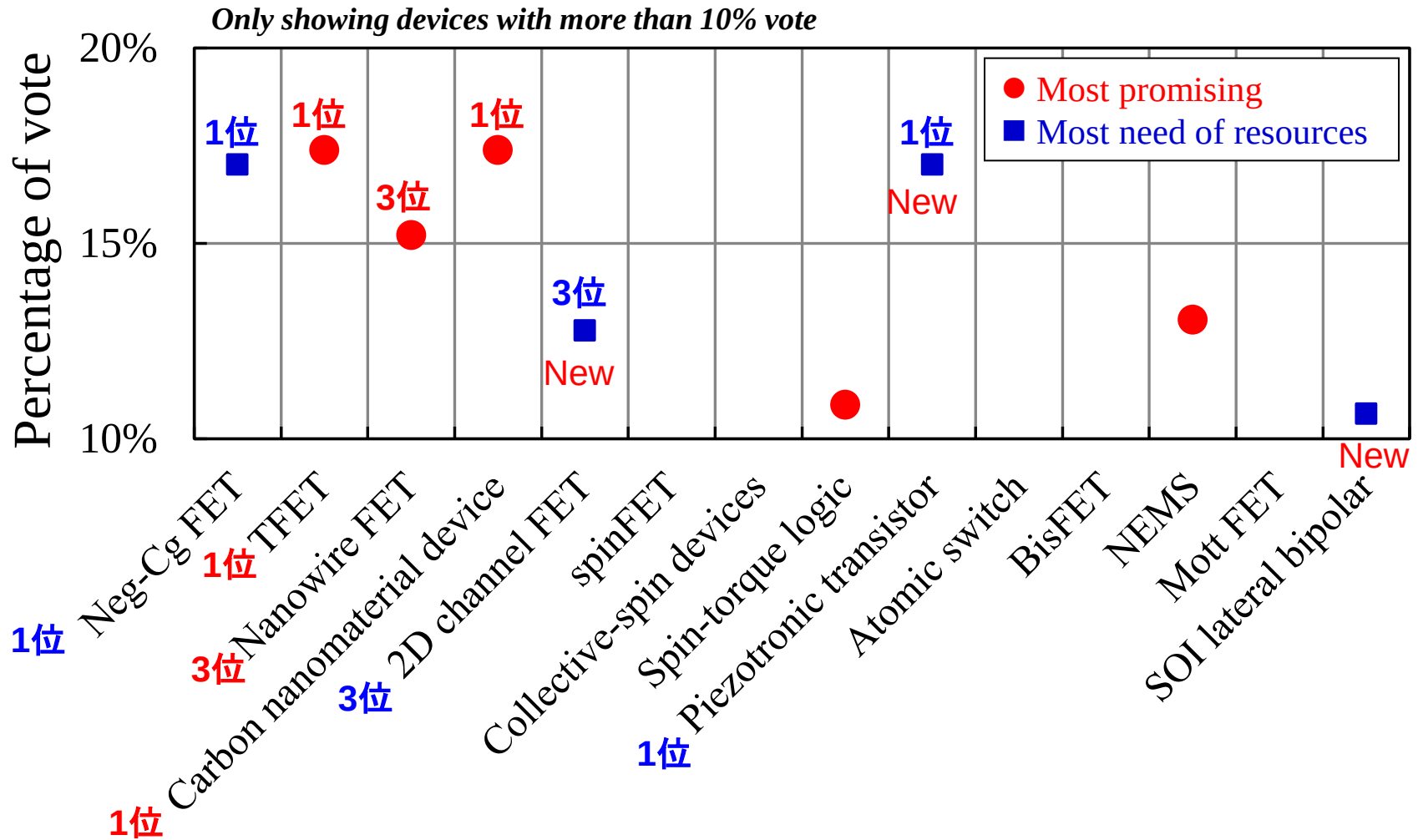
◀ Workshop Topics



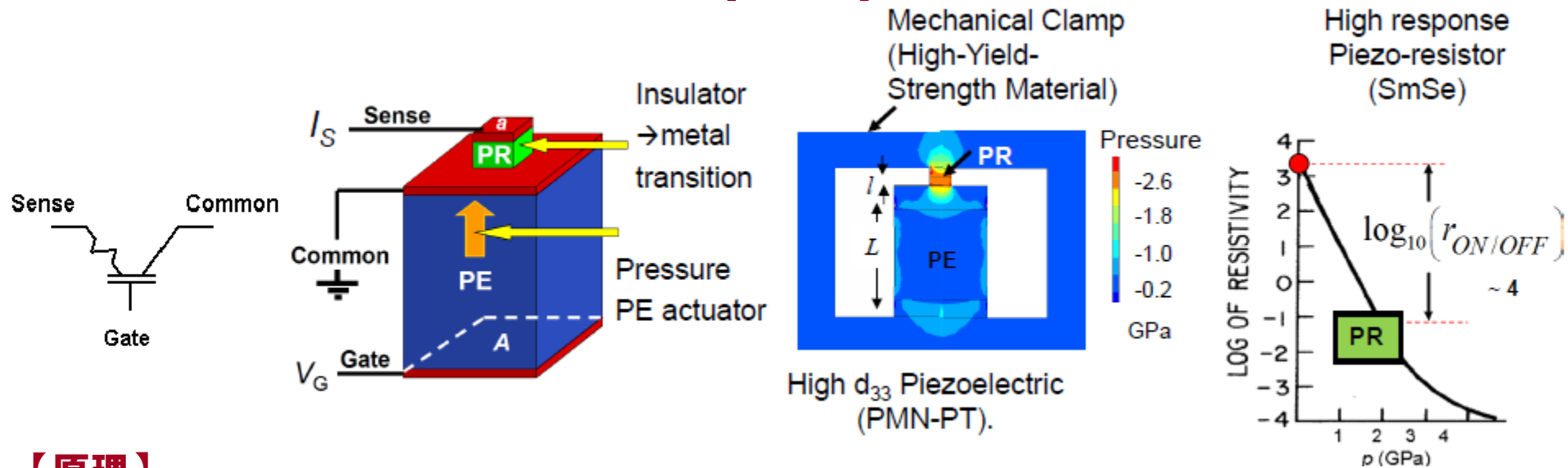
Additional:

2D channel FETs; ◀
Piezoelectric transistor; ◀
SOI symmetric lateral bipolar transistor ◀

2014 ERD Emerging Logic Assessment Workshop



Piezoelectric Transistor(PET): [P. Solomon (IBM), ERD-WS, Aug.28, 2015]



【原理】

- common (COM), sense (S), gate (G) からなる3端子デバイス。
- GとCOM間の圧電体 (PE:Piezoelectric) と, COMとS間の, 圧力に応じて金属絶縁体転移 (MIT) を起こす圧電抵抗体 (PR:Piezoresistance) と, デバイスを支持する高硬度材料 (HYM) から構成される。
- G電圧を印可すると, PEが圧力を発生させ, その圧力によってPRの抵抗値が大きく変化し, オン状態へ遷移する。

【ERD委員の評価】

- Pros: 熱電子分布が関係しない新原理デバイスであり, MOSFETのSファクタ限界 (60mV/dec) を超える急峻カットオフ特性, および0.2V級の超低電圧動作のポテンシャルがある。IBM/米国大学による活発なR&Dアクチビティが現在進行中で存在。
- Cons: Cycle Endurance, 構造/材料の複雑性 (インテグ難度高)

ERDメモリ

■ ERD Memory and Logic Device Assessment Workshops,

(8/25-28 in Albuquerque, NM, USA)

2014

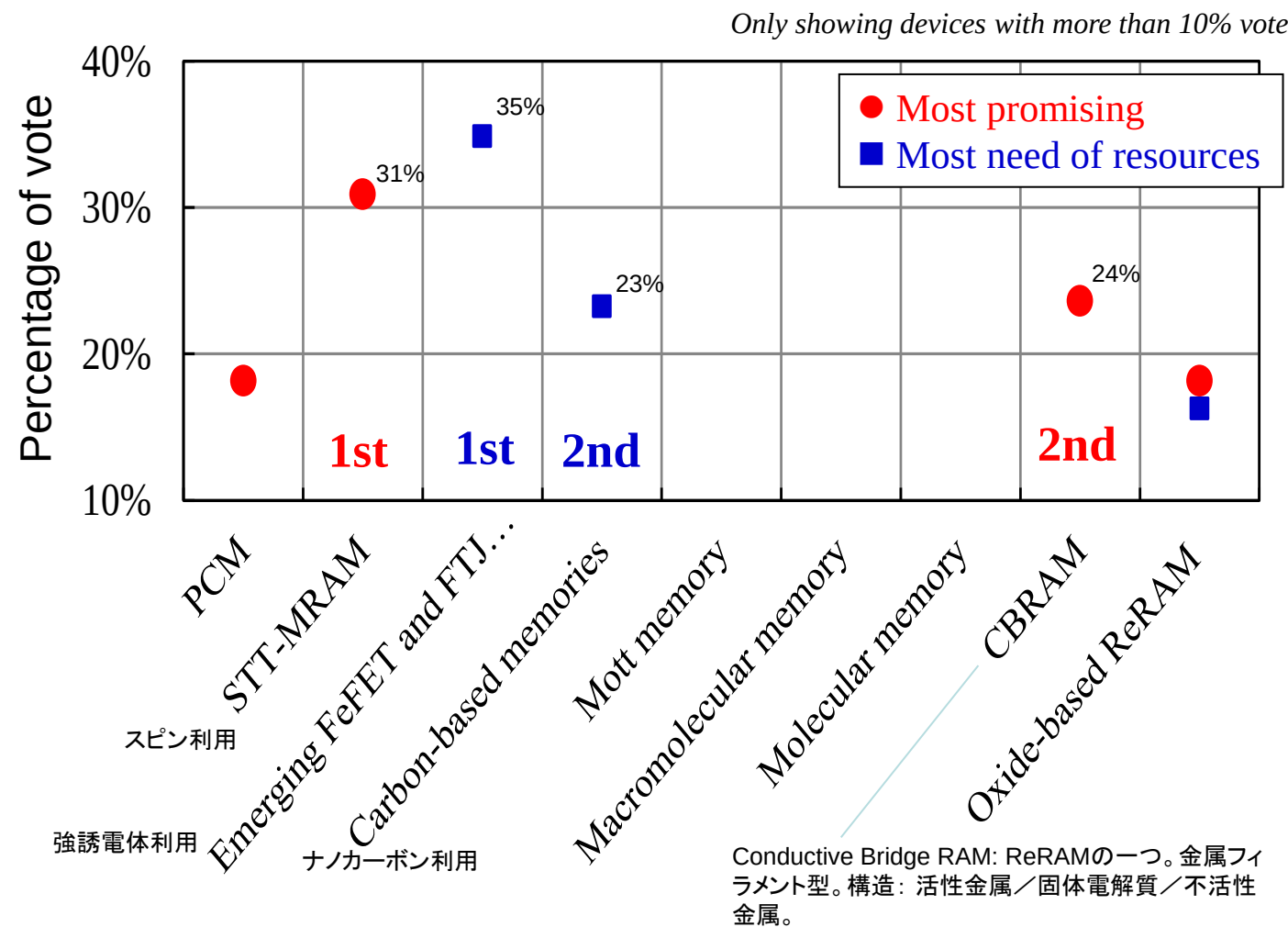
- Objectives
- Evaluate emerging memory and logic devices
 - Identify promising candidates

- Format
- Advocate presentations (30 min)
 - Friendly critic presentations (20 min)
 - Discussions (20 min)

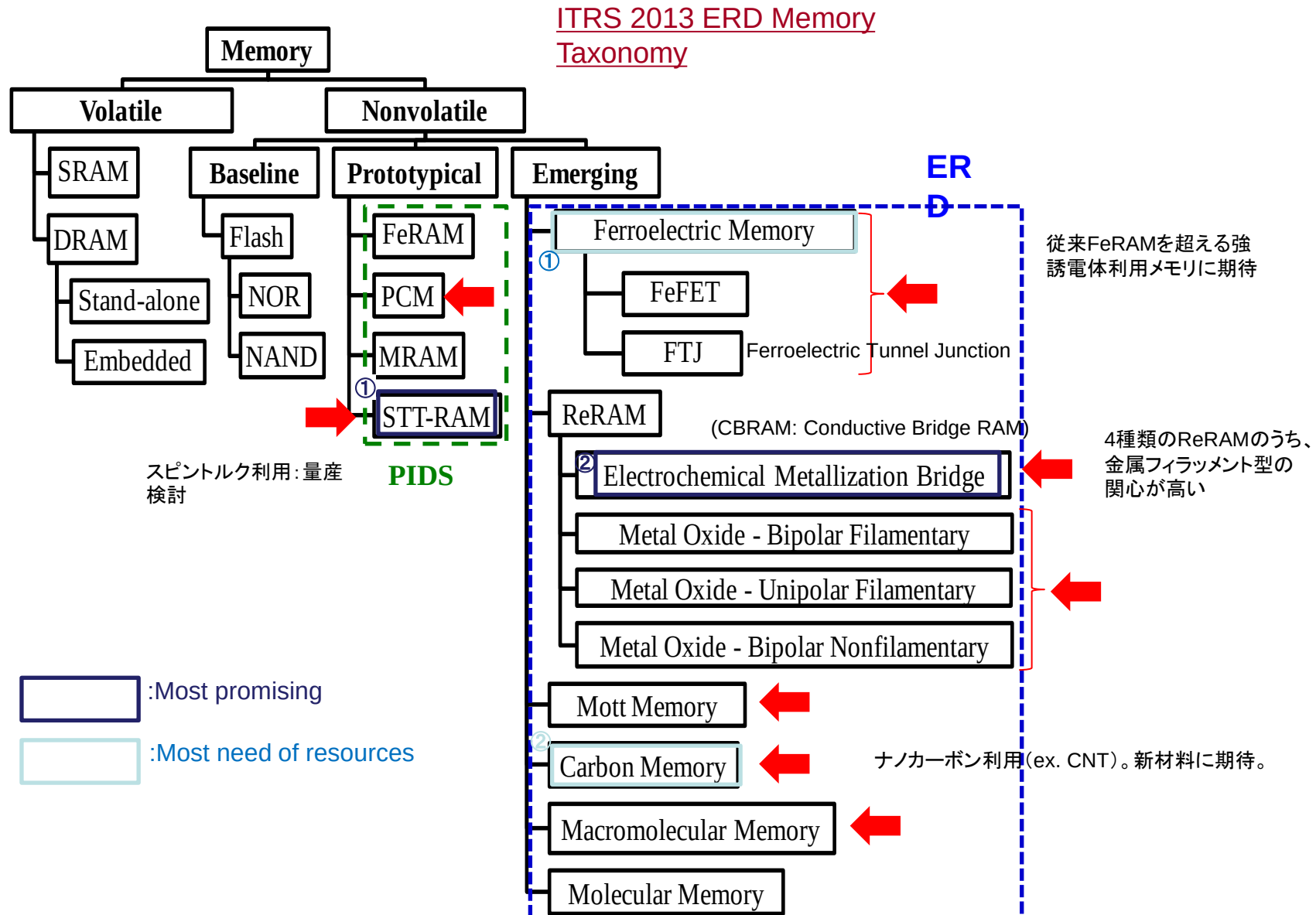
■ ITRS2.0対応

■ ITRS2015に向けた取り組み

Emerging memory Survey results: “the top 2 choices voted by the workshop participants”



Devices evaluated in the “2014 ERD memory Assessment Workshop”



ITRS2.0におけるEmerging Memoryの位置付け

議論中...

Alignment with New Application Drivers

Computing/ Communication

1. **Memory**
2. Logic
3. Architectures
4. More-than-Moore (RF)

従来

Internet-of-Things

1. **Low-power devices**, e.g., TFET, NEMS
2. **Embedded NVM**
3. **Security**, e.g., PUFs
4. RF and wireless
5. **Sensor** integrated with CMOS
6. Energy-harvesting devices

Cloud/Big Data

1. Optical interconnects
2. **Storage Class Memory**
3. Efficient DC-DC converters
4. Data driven computing (accelerators for Hadoop, etc.)
5. **Security**

ERD's areas of focus:

➤ Today

- Emerging Logic
- **Emerging Memory**

➤ Future

- Sensor integration
- Security
- Energy-harvesting
- Circuit blocks and architectures for IoT, cloud
- DC-DC converters
- ...

この中で、emerging memory
の果たす役割は何か

⇒優れたNVMの実用化が鍵

Emerging memory devices	Emerging logic devices	Emerging architectures
- Emerging ferroelectric memory - FeFET - FE tunnel junction - Carbon memory - Mott memory <u>Macromolecular memory</u> <u>Molecular memory</u> - ReRAM - Electrochemical metallization bridge - Metal oxide: bipolar filament - Metal oxide: unipolar filament	- Carbon-based nanoelectronics - Nanowire FETs - Tunnel FET <u>n-Ge and p-IIIV</u> - Spin-FET and spin-MOSFET - NEMS <u>Atomic switch</u> - Mott FET - Neg-Cg ferroelectrics - Spin wave devices - Nano-Magnet Logic <u>Excitonic FET</u> <u>BisFET</u> - Spin torque majority gate - All spin logic	- Memory architectures for program centric architectures - Storage Class Memories - Evolved architectures exploiting emerging research memory devices - Architectures that can learn - Morphic architectures - Neuromorphic architecture - Cellular automata - Architecture - re-organization based on the planned - critical architecture

原理が不明確、特性が魅力的でなく WSでも得票が伸びていない。一部はReRAMと同じような原理で動作していると思われ、それらはReRAMのセクションに含める形で記載。

ロジックFETとして使うには動作速度に限界があると思われ、Conductance Bridge RAMのセクションに含める形で記載する。

Possible entries to remove or re-organize

●IN/OUT候補

注)これは提案で15年半ばまでに決定

- OUT: Macromolecular memory / Molecular memory
- IN: Novel MRAM/STTRAM concepts and device structures (e.g., VCMA, SHE, domain wall)

●アーキテクチャとの連携

目的は超低消費電力(待機電力抑制、ノーマリーOFF／インスタントON、ウェアラブル、センサネットワーク)

- ・NVM素子とロジックの融合: メモリの不揮発化とともに、NVM素子を使ってロジックにも不揮発化の流れ
- ・従来手が付けられなかったCache memoryも不揮発化

●ヒアリング in FY2014

7/25(金)

「高分子強誘電体薄膜を用いる不揮発メモリデバイス」 東北大・中嶋先生

将来的にはFTJ (ferroelectric tunnel junction) への発展が期待。緒に就いたところ。

11/27(木)

「ストレージクラスメモリの展望と抵抗変化型不揮発メモリによる低電圧化限界への挑戦」 LEAP 高浦則克様(ERD委員)
LEAPの活動・成果紹介

12/22(月)

「Atomic Switchの最近の進展」 物質材料研究機構・長谷川 剛 先生(ERD委員)

現状と課題について説明。ITRS2015/ERDではロジックからConductanceBridgeRAMのセクションへ移動予定。

目次

- 2014年度活動方針
- 2014年度 WG12 (ERD)メンバー
- Extended CMOS
- ERD動向 (ハイライト)
 - ERDロジック
 - ERDメモリ
- ERD×エマージェンシングアーキテクチャ
- ITRS2.0対応
- まとめ
- 用語集

ERD×エマージングアーキテクチャ(ERA)

・これまでのERD×エマージングアーキテクチャ(ERA) in ITRS 2007, 2009, 2011, 2013

アーキテクチャ	実装	演算要素
メニーコア	対称コア	CMOS
異種融合コア	非対称コア	CMOS
	CMOL	CMOS + 分子スイッチ
	分子Cross-bar	分子スイッチ
	Checkpoint	CMOS + 強誘電体
Morphic	CNN	CMOS + センサ
	連想メモリ	FG-FET, SET
	Bio-inspired	MFTD, スピン

ITRS 2007 ERD-ERA Chapter

- ・ 特定ERDアーキテクチャのベンチマーク
- ・ メモリ/推論アーキテクチャ
- ・ 情報処理のパフォーマンス限界の見積もり

ITRS 2009 ERD-ERA Chapter

- ・ ERDメモリアーキテクチャ
- ・ 新概念計算アーキテクチャ(Morphic)
- ・ 情報処理の分類(Beyond Neumannほか)

ITRS 2011 ERD-ERA Chapter

- ・ プログラム中心・データ中心アーキテクチャ
- ・ 学習型コンピュータアーキテクチャ

ITRS 2013 ERD-ERA Chapter

議論1: ERDを用いてどのような演算が可能になるか?

- ・ MOSFET + 不揮発 (ReRAM, MTJ) : 再構成可能論理演算, アナログ素子のばらつき補正
- ・ Molecular Devices/Elements: 分子の相互作用を利用した超並列演算/知的演算

議論2: ERDの利用機会がある情報処理の模索

- ・ 脳型計算アーキテクチャ(単電子, 抵抗変化メモリ, ナノディスク, CMOL, CMOS)
- ・ セルラーアーキテクチャ(セルオートマトンとその計算理論)

議論3: 情報処理の分類とERD~計算科学からのアプローチ

- ・ 出口目的/試行のアーキテクチャ分類に向けた準備

→ERAワークショップ2015
の企画・開催へ

ERAワークショップ2015

サブタイトル: Bridging the Research Gap between Emerging Architectures and Devices

(2015年2月26日～27日@スタンフォード大学)

CMOSスケーリング+現行アーキテクチャ  ERD+新概念アーキテクチャ(ERA)
(漠然とした行き詰まり感) このギャップを埋めることがミッション (機会の探求)

ERAワークショップ2015で議論されたアーキテクチャ・コンピューティング:

- **学習能力を有するアーキテクチャ**
モーフிக்கアーキ、機械学習、教師あり学習 vs 教師なし学習、他
- **再構成可能アーキテクチャ**
FPGA、動的再構成、新規FPGA、他
- **新概念メモリアーキテクチャ、およびメモリ・ロジック融合アーキテクチャ**
クロスバー&選択素子、memory-in-logic, processor-in-memory,
(記憶だけでなく)計算も行うメモリ、埋め込み不揮発ロジック、他
- **統計的・確率的コンピューティング**
統計情報処理、Approximate Computing(近似演算)、乱数発生、他
- **集団的コンピューティング**
並列分散コンピューティング、時空間局所演算、他

ITRS Emerging Research Device (ERD)

Workshop: Bridging the Research Gap between Emerging Architectures and Devices

Sponsored by IARPA, Sandia National Laboratory, IEEE Rebooting Computing

Feb. 26 and 27, Stanford University

The allocated time for each topic include both presentation time (typically 25min) and discussion time (typically 20min)

Feb. 26, Thursday (CISX 101)

Time	Duration	Presentation Title	Speaker	Affiliation
7:30 am		Breakfast		
8:00 am	45 min	Introduction		
8:45 am	20 min	Overview of Emerging Research Memory Devices	Matt Marinella	Sandia/ERD
9:15 am	5 min	Emerging Memories: Harvesting Values from System Perspectives	Seung Kang	Qualcomm
	45 min	Processor in Memory and Storage	Erik DeBenedictis	Sandia/ERD
10:00 am	45 min	Break		
10:45 am	min	<i>Integrated memory-logic architectures (tentative)</i>	Stan Williams	HP
	min	<i>Processor in memory (tentative)</i>	Rich Murphy	Micron
12:30 pm	45 min	Lunch (CISX courtyard)		
1:15 pm		<i>Nonvolatile logic (tentative)</i>	<u>Shinobu Fujita</u>	Toshiba
		Overview of Emerging Research Logic Devices	Shamik Das	MITRE/ERD
		Benchmarking of Beyond-CMOS Devices and Circuits	Dmitri Nikonov	Intel
3:15 pm	15 min	Break		
3:30 pm	45 min	IBM TrueNorth: Architecture, Technical, and Ecosystems	Bryan Jackson	IBM
4:15 pm	45 min	Neuromorphic Architectures for Energy Efficient Processing	Narayan Srinivasa	HRL
4:45 pm	in	Efficient Neural Computing using Cellular Array of Magneto-Metallic Neurons	Kaushik Roy	Purdue
	in	Non-volatile Memory as a Neuromorphic Synapse: Effect of imperfections	Geoff Burr	IBM/ERD
6:30 pm	60 min	Light dinner (CISX courtyard)		
7:30 pm	90 min	Evening discussion		
9:00 pm	Adjourn			

ERDメモリ

メモリ・
演算の融合

不揮発ロジック・
ベンチマーク

脳型アーキと
ERD

Feb. 27, Friday (CISX 101 + Packard 204)

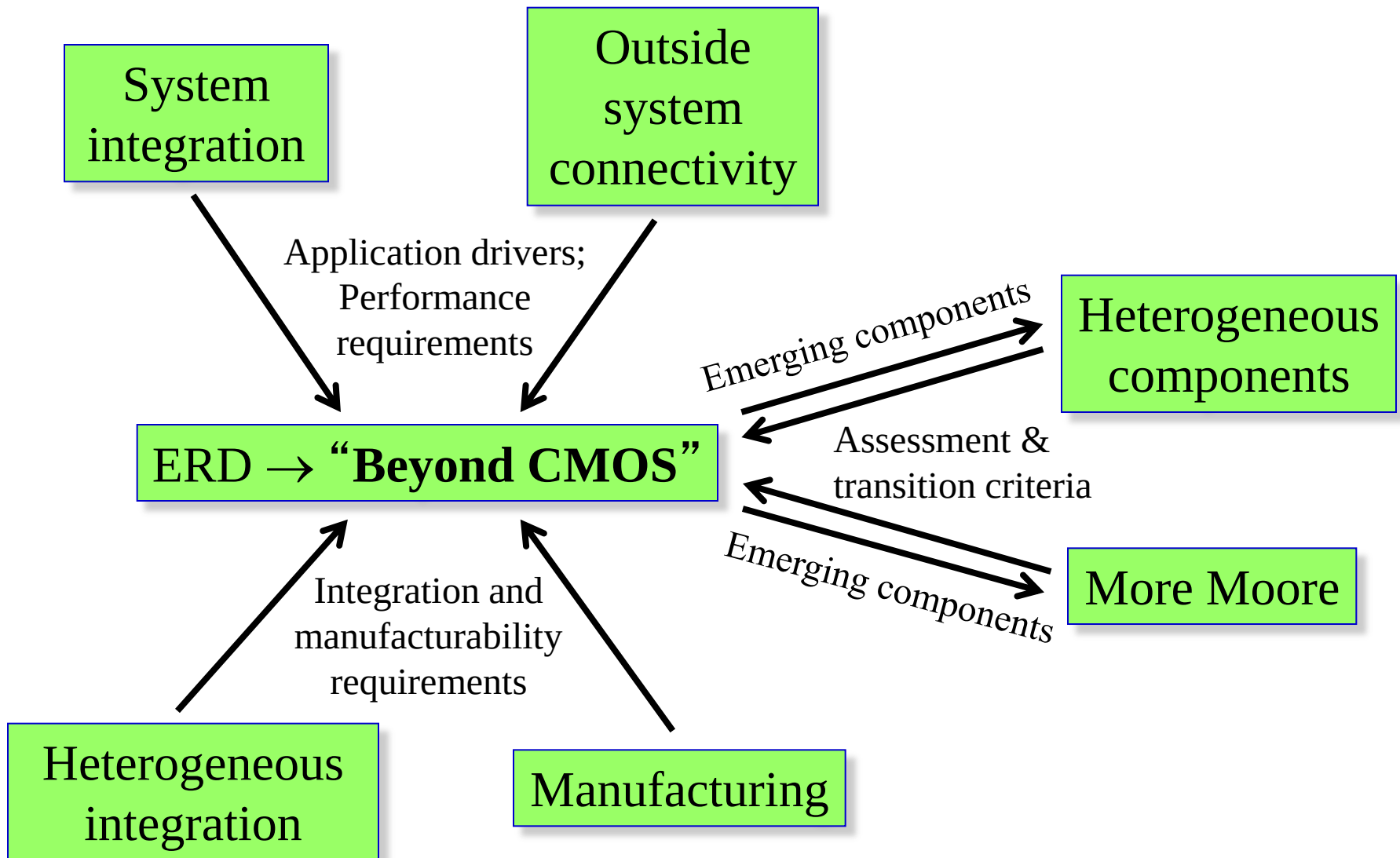
Time	Duration	Presentation Title	Speaker	Affiliation
7:30 am		<i>Breakfast</i>		
8	統計・確率的 演算	<i>CMOS scaling to the end (tentative)</i>	Mustafa Badaroglu	Qualcomm
8		Statistical information processing: Computing on Nanoscale Fabrics	Naresh Shanbhag Philips Wong	UIUC Stanford
9:45 am	45 min	<i>Break (move to Packard 204)</i>		
1	非ノイマン型 アーキ	Computational Nanofabrics based on coupled oscillators	George Bourianoff	Intel
1		<i>Physics-Inspired Non-Boolean Computation based on Spatial-Temporal Wave Excitation (tentative)</i>	Mike Niemer, Wolfgang Porod	U. Notre Dame
12:15 pm	75 min	<i>Lunch (move back to CISX, Courtyard)</i>		
1:30 pm	45 min	Spintronics for Beyond-CMOS Computing	Ian Young	Intel
2	確率演算	The Challenge of a New Low-Voltage Switch That is Much More Sensitive Than the Transistor	Eli Yablonovitch	UC Berkeley
3:00 pm	15 min	<i>Break</i>		
3:15 pm	45 min	Energetics at the End of the Roadmap and Cognitive Computing	Paul Franzon	NCSU
4	再構成可能 ・FPGA	Interconnects for Beyond-CMOS Devices: Challenges and Opportunities	Azad Naeemi	Georgia Tech
4		<i>Reconfigurable computing (tentative)</i>	<u>Hanpei Koike</u>	AIST
5:30 pm	30 min	Summary	ERD	
6:00 pm	Adjourn			

- ・日本からは、不揮発ロジック(ノーマリオフコンピューティング)、および再構成可能ロジック(FPGA)の分野からそれぞれ1名の専門家が発表
- ・ワークショップ出席者(UCSD, Yale U., Georgia Tech, IBM, IRPA, Stanford U., 他より18名)
- ・ワークショップに参加したERD/ERA委員:原 祐子先生(東工大)

目次

- 2014年度活動方針
- 2014年度 WG12 (ERD)メンバー
- Extended CMOS
- ERD動向 (ハイライト)
 - ERDロジック
 - ERDメモリ
- ERD×エマージェンシングアーキテクチャ
- ITRS2.0対応
- まとめ
- 用語集

“Beyond-CMOS” Focus Team



Alignment with New Application Drivers



Computing/ Communication

- 1.Memory
- 2.Logic
- 3.Architectures
- 4.More-than-Moore (RF)

Internet-of-Things

- 1.Low-power devices**, e.g., TFET, NEMS
- 2.Embedded NVM**
- 3.Security**, e.g., PUFs
- 4.RF and wireless
- 5.Sensor** integrated with CMOS
- 6.Energy-harvesting devices

Cloud/Big Data

- 1.Optical interconnects
- 2.Storage Class Memory**
- 3.Efficient DC-DC converters
- 4.Data driven computing (accelerators for Hadoop, etc)
- 5.Security**

ERD's areas of focus:

Today

- Emerging Logic
- Emerging Memory

Future

- Sensor integration
- Security
- Energy-harvesting
- Circuit blocks and architectures for IoT, cloud
- DC-DC converters
- ...

Japan ERD Coverage

Name	Affiliation	Lower power devices	Embedded NVM	SCM	Security	Sensor	Others
		9	5	2	0	9	3
Shinada, Takahiro	Tohoku Univ.	X				X	
Yagami, Kojiro	Sony						
Tatsumura, Kosuke	Toshiba		X				
Hiramoto, Toshiro	Univ. Tokyo	X					
Akinaga, Hiroyuki	AIST		X	X			
Asai, Tetsuya	Hokkaido Univ.						Data-driven computing in Cloud/Big Data section
Awano, Yuji	Keio Univ.						
Uchida, Ken	Keio Univ.						
Endo, Tetsuo	Tohoku Univ.						
Ohno, Yutaka	Nagoya Univ.	X				X	
Kawabata, Kiyoshi	Renesas						
Kawamura, Seiichiro	JST						
Sato, Shintaro	Fujitsu	X				X	
Shirane, Masayuki	NEC					X	シリフォト、光デバイスとの融合
Sugawara, Satoshi	Tokyo Tech						
Takagi, Shinich	Univ. Tokyo						
Takaura, Norikatsu	LEAP	X	X	X			
Takeuchi, Ken	Chuo Univ.						
Noda, Kei	Keio Univ.	X	X			X	
Hasegawa, Tsuyoshi	NIMS		X				
Hara, Yuko	Tokyo Tech					X	
Hidaka, Mutuo	AIST	X				X	
Fujiwara, Akira	NTT	X				X	
Peper, Ferdinand	NICT	X				X	RF and Wireless, Circuit blocks and architectures for IoT, Energy harvesting

まとめ

- 2014年度活動
 - 方針、計画、WG12 (ERD)メンバー紹介。
- ERD動向（ロジック・メモリのハイライト）
 - ERD Assessmentワークショップ開催（8/25-28, Albuquerque）
 - Most promising ロジックは、1/2位（ほぼ同数）：TFET/Carbonデバイス、3位：Nano-wire FET。
 - Most promisingメモリは、1位：STT-MRAM、2位：CBRAM、3位：OxReRAM/PCM（ほぼ同数）
- ERDのためのEmergingアーキテクチャ
 - ERAワークショップ開催（2/26-27, Stanford）。
 - 論点① ERDを用いてどのような演算が可能になるか、論点②ERDの利用機会がある情報処理の模索、論点③情報処理の分類とERD～計算科学からのアプローチ。
 - アウトプットとりまとめ、キーメッセージ整理中。
- ITRS2.0対応
 - Low power, NVM, SCM, Security, Sensorにフォーカス。

用語集

More Moore

微細化と等価的微細化

More than Moore

多様性

Beyond CMOS

新原理

Extended CMOS

スケーリングとヘテロジニアスインテグレーションによるCMOSプラットフォームの拡張