

半導体ロードマップの 過去・現在・未来

JEITA半導体技術ロードマップ委員会 (STRJ) 委員長
石内 秀美 ((株)東芝)

本講演は、ITRSでまとめた技術ロードマップについて説明したもので、ITRS参加企業・団体、JEITA
会員企業の個別の製品や技術開発の方向について説明したものではありません。

主要略語一覧 (Glossary)

- ERD: Emerging Research Devices 新探究デバイス (ITRSの章の名前でもある)
- ERM: Emerging Research Materials 新探究材料 (ITRSの章の名前でもある)
- FEP: Front End Process シリコンウェーハ工程の前半部 (ITRSの章の名前でもある)
- IRC: International Roadmap Committee
- IRDS: International Roadmap for Devices and Systems
- ITRS: International Technology Roadmap for Semiconductors 国際半導体技術ロードマップ
- ITWG: International Technology Working Group (ITRSの技術ワーキンググループ)
- JEITA: 社団法人 電子情報技術産業協会 (Japan Electronics and Information Technology Industries Association)
- MPU: Micro Processor Unit マイクロプロセッサ
- NTRS: National Technology Roadmap for Semiconductors 米国のSIAが編集した半導体技術ロードマップ
- SIA: Semiconductor Industry Association 米国半導体工業会
- STRJ: Semiconductor Technology Roadmap committee of Japan 半導体技術ロードマップ専門委員会。JEITA半導体部会 半導体技術委員会 の専門委員会

内容

- いままでのITRSの歴史とITRSの基本的な編集方針
- ITRS 2.0 での変更点
- ITRSからIRDSへ
- まとめと謝辞

- 関連webサイトのURL
- 参考資料: ITRS 2.0のFocus Team

STRJ, ITRSの歴史と現状

1990

1991
MicroTech 2000
Workshop Report

1992 NTRS

1994 NTRS

1997 NTRS

SIA Roadmap

Europe
Japan
Korea
Taiwan
USA

ITRS

1998 Update

1999 ITRS

2000 Update

2001 ITRS

2002 Update

2003 ITRS

2004 Update

2005 ITRS

2006 Update

2007 ITRS

2008 Update

2009 ITRS

2010 Update

2011 ITRS

2012 Update

2013 ITRS

STRJ は ITRSの
日本側対応組織として
1998年に発足

いままでのITRS編集の基本的考え方

- ムーアの法則
 - 1チップ当たりの素子数(トランジスタ数)は1.5年から2年ごとに2倍になる
- ムーアの法則を維持するために何が必要か
 - 重要な技術課題を選定
 - それぞれの技術課題ごとに定量的な表を作成
 - 表を毎年更新
- More than Moore(多様化)と beyond CMOS
- ITRSが与えた影響
 - 半導体業界(チップメーカ、装置メーカ、材料メーカ)、大学や公的研究機関、行政機関が技術のペースメーカーとして利用。

More Moore と More than Moore

- More Moore

- Geometrical Scaling: 幾何学的(寸法の)スケーリング
- Equivalent Scaling: 等価的(実効的)スケーリング
- Design Equivalent Scaling: 設計による等価的微細化

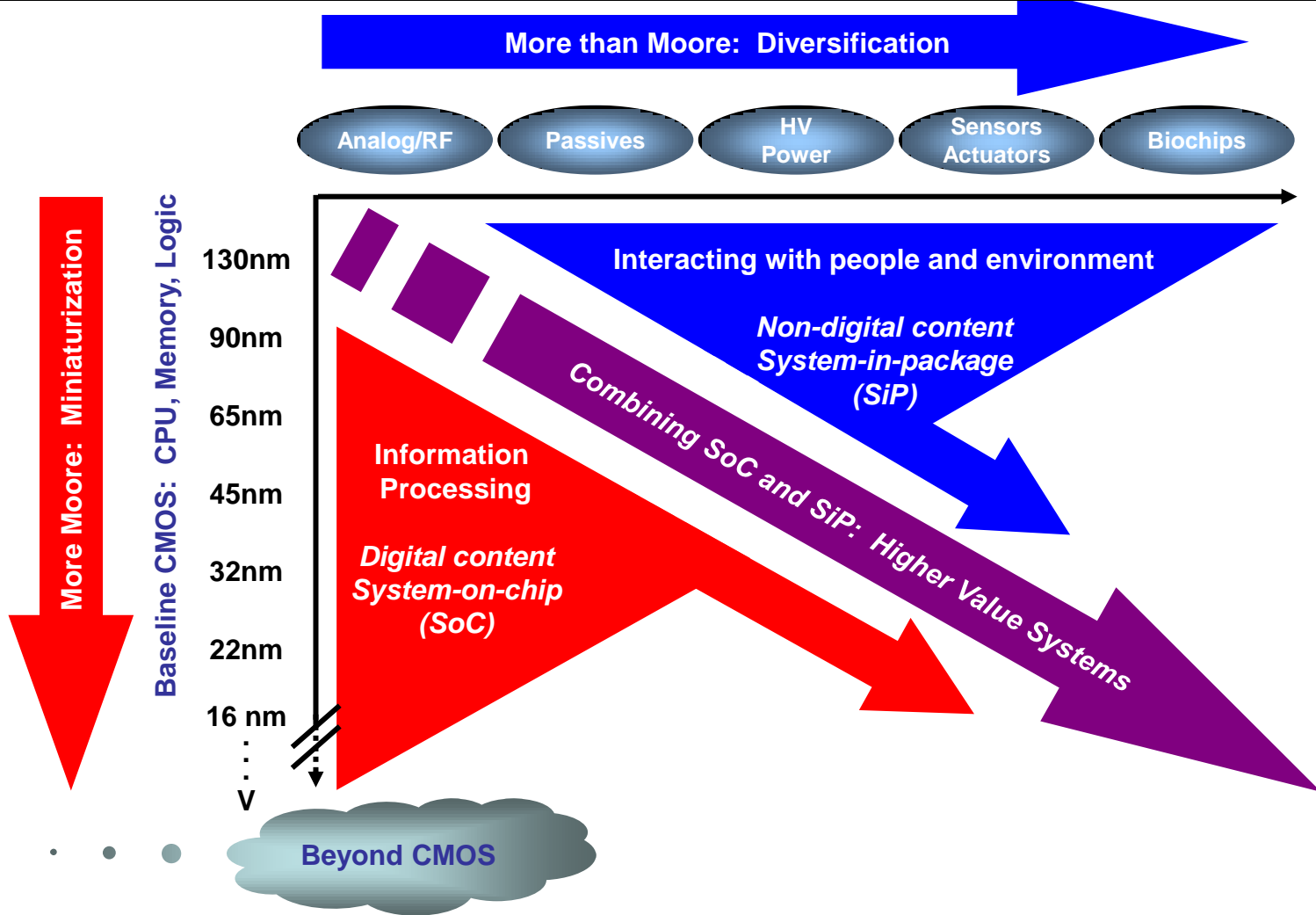
- More than Moore

- 必ずしも微細化のみによらない多様化
- SiP(System in Package)技術による異種のチップの集積化

- Beyond CMOS

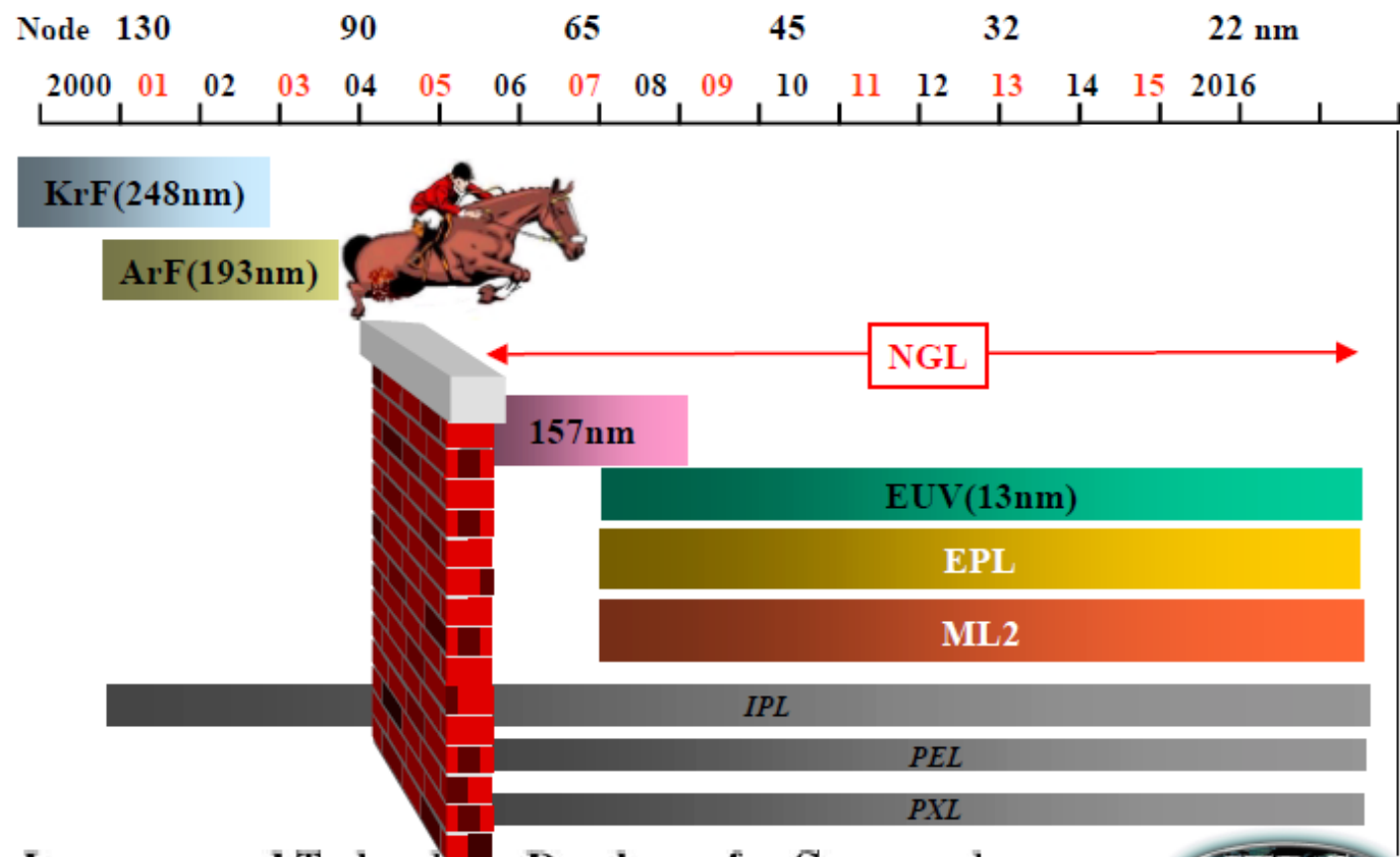
- シリコンCMOS技術に代わる新技術

2010 ITRS Summary **Figure 4**
Figure 4 The Concept of Moore's Law and More



初期のSTRJワークショップ資料から

Lithography Potential Solutions



International Technology Roadmap for Semiconductors
 Work-in-Progress, Don't Publish. ©JEITA. All rights reserved.
 Jan 15, 2002 Tokyo, Japan, T. Fukushima



出典: 2001年度STRJワークショップ 2002年1月15日 IRC/ORTC 福島敏高

ITRSトレンド

Year	(nm)	1999	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016
Technology Node Update				130			90			65			45			32			22
SIA 1994 Edition	Generation			180			130			100			70			50			
	MPU Half Pit			230			160			115			80			55			
	Gate Len			140			100			70			50			30			
SIA 1997 Edition	DRAM Half Pitch	180		150		130			100			70			50				35
	MPU Half Pit	230		180		160			115			80			55				40
	Gate Len	140		120		100			70			50			30				25
ITRS 1999 Edition	DRAM Half Pitch	180			130			100			70			50			35		
	MPU Half Pit	230			160			115			80			55			40		
	Gate Len	140			85-90			65			45			30-32			20-22		
ITRS 2000 Sc2.0(併記)	DRAM Half Pitch	180	150	130	115	100	90	80	70	65	60	50	45	40	37	33	30		
	MPU/SoQ Half Pit	230	180	150	130	115	100	90		70			50			35			
	Gate Len	120	90	80	70	60	55	50		40			28			20			
ITRS2001 (Sc3.7) Edition	DRAM Half Pitch			130	115	100	90	80	70	65	60	50	45	40	35	32	30	25	22
	SoQ Half Pit			150	130	107	90	80	70	65	60	50	45	40	35	32	30	25	22
	SoQ Gate resist			130	107	90	75	65	53	45	40	35	32	30	25	22	20	18	16
	SoQ Gate Length			90	80	65	53	45	37	32	30	25	22	20	18	16	15	13	11
	MPU Half Pit			150	130	107	90	80	70	65	60	50	45	40	35	32	30	25	22
	MPU Gate resist			90	70	65	53	45	40	35	32	30	25	22	20	18	16	15	13
	MPU Gate Length			65	53	45	37	32	30	25	22	20	18	16	15	13	11	10	9

SoCはASIC/Low Power

赤字は加速点

Red Brick Wall

high-k必要

ポストArF必要



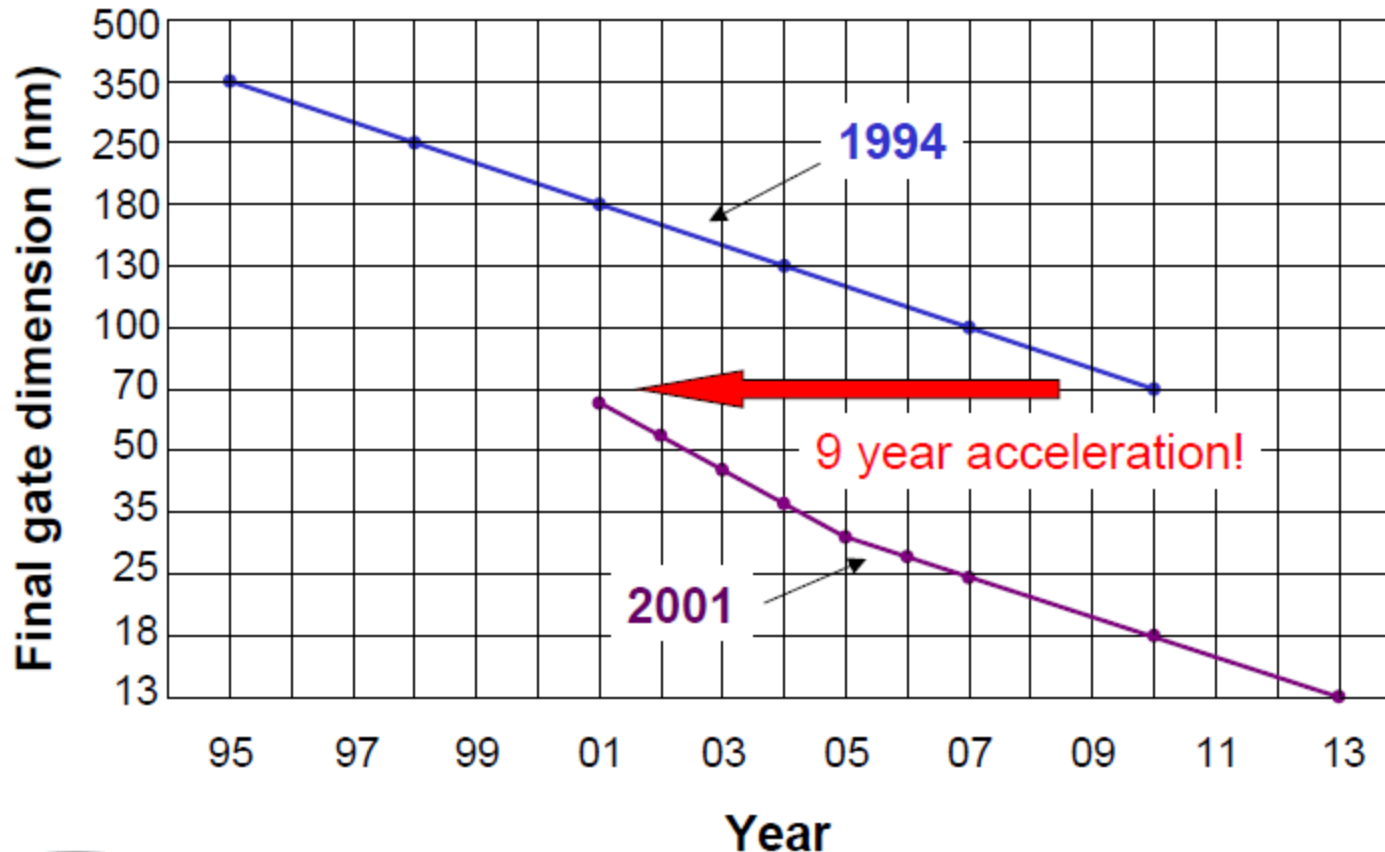
International Technology Roadmap for Semiconductors

Work in Progress, Draft Publish ©JEITA, All rights reserved

15th., Jan. 2002, STRJ WG5 M.Sasago

出典: 2001年度STRJワークショップ 2002年1月15日 リソグラフィー 笹子勝

MPUゲートCD



International Technology Roadmap for Semiconductors

Work in Progress, Draft Edition ©JEITA, All rights reserved.

15th., Jan. 2002, STRJ WG5 M.Sasago

出典: 2001年度STRJワークショップ 2002年1月15日 リソグラフィー 笹子勝

新メモリデバイス(2001年版)

記憶メカニ
ム

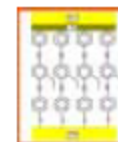
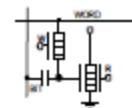
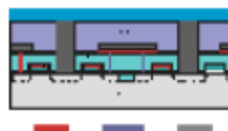
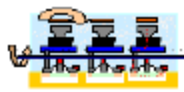
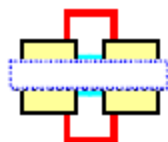
MRAM

相変化メモリ

ナノ浮遊
ゲートメモリ

単電子・少数
電子メモリ

分子メモリ



デバイスタイプ

巨大磁
気抵抗

磁気トンネ
ル接合

OUM

トンネルバリア
ナノクリスタル

SET

分子MEMS
双安定スイッチ

導入時期

- 2004

- 2004

>

2005

>

2007

>

2010

導入時期

不揮発性
高速
Endurance
非破壊読出し

不揮発性
低消費電力
非破壊読出し

不揮発性
高速

高集積
消費電力

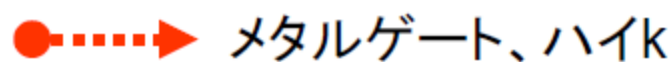
高集積, 電力
3D集積, Defect
Tolerant

STRJ WS: March 4, 2003, WG6

高性能(HP)トランジスタの主な技術要求

量産年	単位	2003	2004	2005	2006	2007	2008	2009	2012	2015	2018
ゲート長	nm	45	37	32	28	25	22	20	14	10	7
Equivalent Oxide Thickness (EOT)	Å	13	12	11	10	9	8	8	7	6	5
ゲート空乏化、反転層厚	Å	8	8	7	7	4	4	4	4	4	4
最大ゲートリーク電流	A/cm ²	2.2E+02	4.5E+02	5.2E+02	6.0E+02	9.3E+02	1.1E+03	1.2E+03	2.4E+03	1.0E+04	2.4E+04
サブスレショルドリーク電流	nA/um	30	50	50	50	70	70	70	100	300	500
サブスレショルド特性調節係数		1	1	1	1	1	0.8	0.7	0.5	0.5	0.5
移動度増大係数		1	1.3	1.3	1.4	2	2	2	2	2	2
飽和速度増大係数		1	1	1	1	1	1	1	1.1	1.3	1.3
相対性能		1.00	1.26	1.39	1.60	1.86	2.20	2.49	4.05	6.80	10.77

"Share the pain"
Technology
Booster導入時期

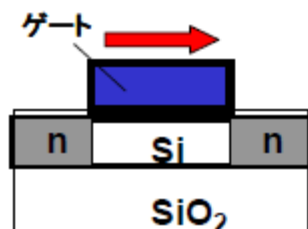


出典: 2003年度STRJワークショップ 2004年3月4日 PIDS WG 杉井寿博/平本俊郎

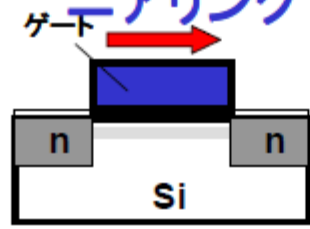
ノンクラシカルCMOS (2001年版)

デバイス

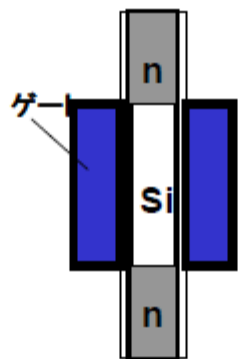
極薄膜SOI



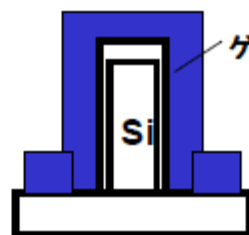
バンドエッジ
ニアリング



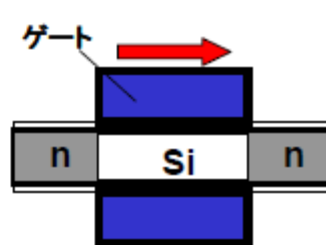
縦型



FinFET



ダブルゲート



コンセプト

完全空乏型
SOI

SiGe, ひずみSi
(バルク, SOI)

ダブルゲートまたはサラウンドゲート

利点

S値

電流駆動力
CMOS互換プロセス

電流駆動力
リソに依存し
ないLg

電流駆動力
S値
短チャネル効果

電流駆動力
S値
短チャネル効果

課題

SOI膜厚
ゲート電極

薄膜の膜厚
ゲート電極

ゲート電極
複雑なプロセス

ゲート電極
複雑なプロセス

上下ゲート整合
SOI膜厚など

→ 電子の流れ

STRJ WS: March 4, 2003, WG6

出典: 2002年度STRJワークショップ 2003年3月4日 PIDS WG 杉井寿博/平本俊郎

新メモリデバイス(2001年版)

記憶メカニ
ム

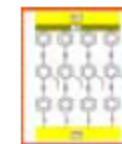
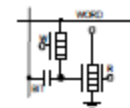
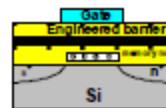
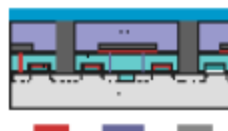
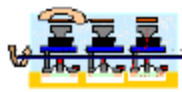
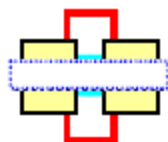
MRAM

相変化メモリ

ナノ浮遊
ゲートメモリ

単電子・少数
電子メモリ

分子メモリ



デバイスタイプ

巨大磁
気抵抗

磁気トンネ
ル接合

OUM

トンネルバリア
ナノクリスタル

SET

分子MEMS
双安定スイッチ

導入時期

- 2004

- 2004

>

2005

>

2007

>

2010

導入時期

不揮発性
高速
Endurance
非破壊読出し

不揮発性
低消費電力
非破壊読出し

不揮発性
高速

高集積
消費電力

高集積, 電力
3D集積, Defect
Tolerant

STRJ WS: March 4, 2003, WG6

出典: 2002年度STRJワークショップ 2003年3月4日 PIDS WG 杉井寿博/平本俊郎

新ロジックとアーキテクチャ(2001年版)

新ロジックデバイス

共鳴トンネルFET, 単電子トランジスタ, 単一量子磁束,
量子セルオートマトン, 分子デバイス

新アーキテクチャ

三次元集積, 量子セルラオートマタ, Defect Tolerant,
分子アーキテクチャ, 非線形セルラネットワーク, 量子計算

STRJ WS: March 4, 2003, WG6

出典: 2002年度STRJワークショップ 2003年3月4日 PIDS WG 杉井寿博/平本俊郎

ITRS最新版：“ITRS 2.0”

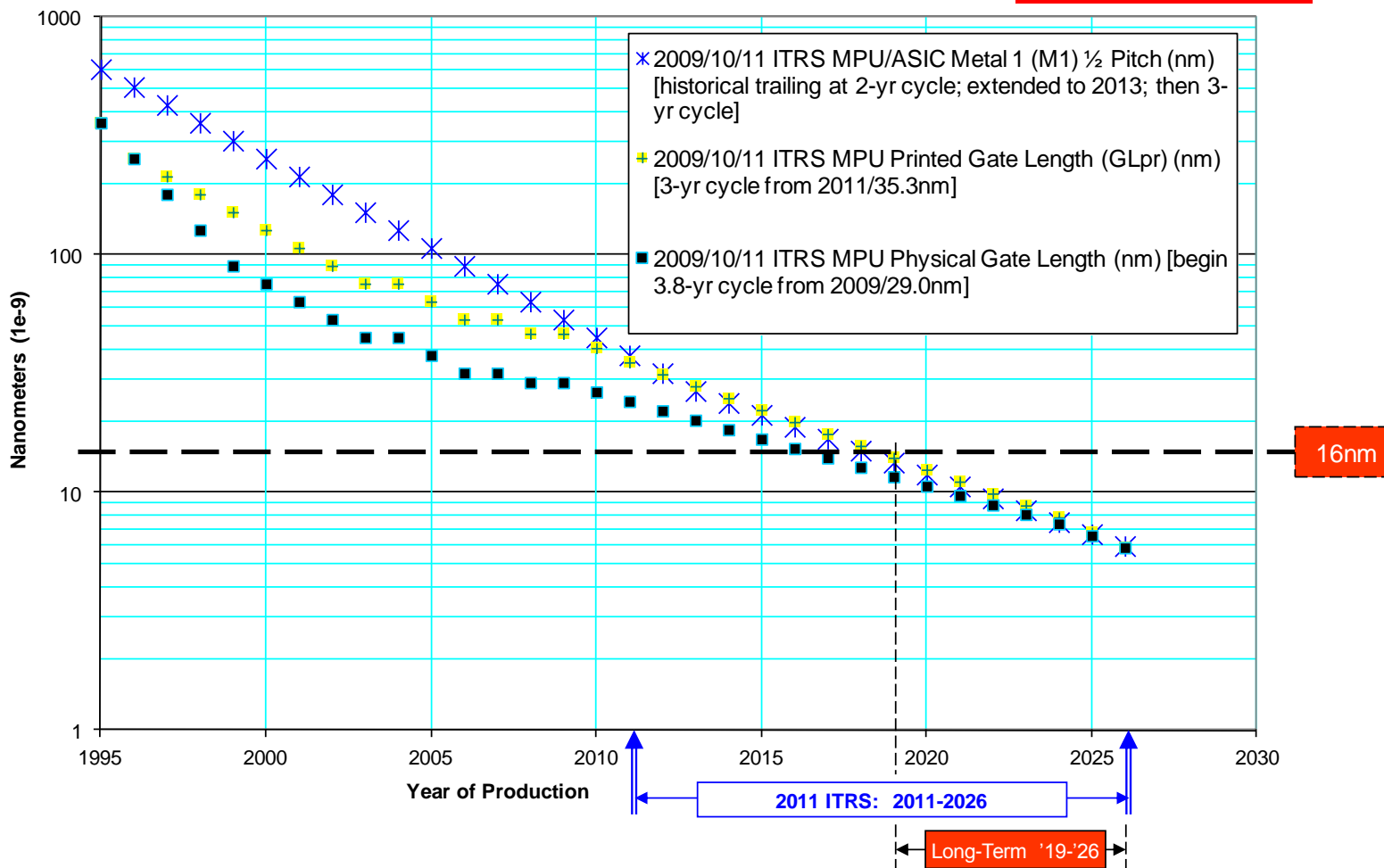
- ITRSは15年後までのロードマップを作成している。その期間内に半導体集積回路の微細化が止まる可能性が高くなった。
- Mooreの法則を起点にするのではなく、半導体技術の応用分野(Application)を起点に、半導体技術に何が求められているかを編集する
 - IoT (Internet of Things)、Big Data 処理など、今後の大きなトレンドを議論の出発点とする
 - そこから、Applicationと技術課題にブレークダウンする
 - 応用分野の市場規模予測などはITRSとしては行わない
 - 半導体の応用については、iNEMI (International Electronics Manufacturing Initiative) との連携をさらに強化する
- この目的のため、7つのFocus Teamを組織した。
- 従来、各ITWG(国際技術ワーキンググループ)が編集していた章も改訂する

ムーアの法則の終焉？

ロジックLSIの微細化トレンド

2011 ITRS - Technology Trends

ITRS 2011による



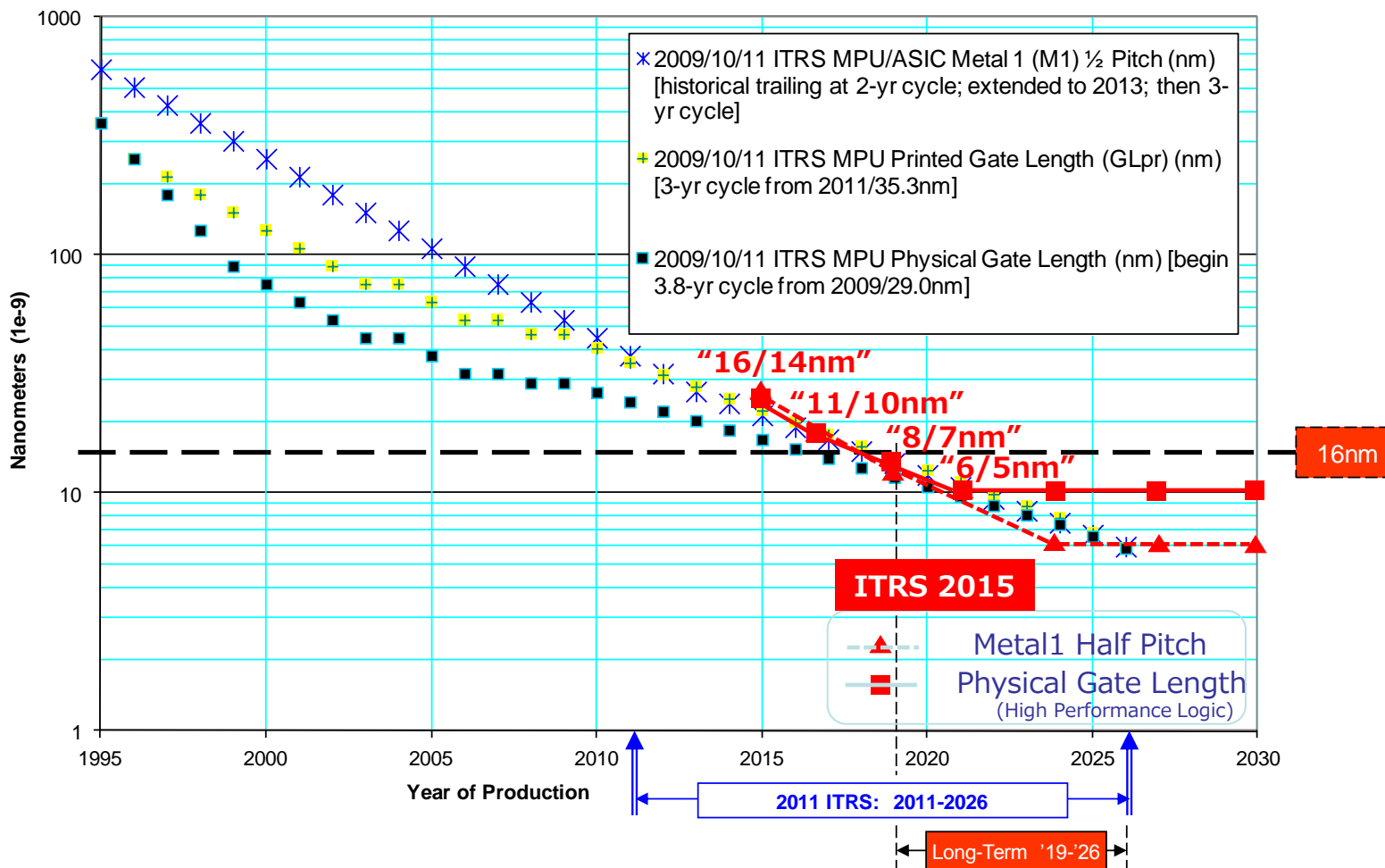
Ref: ITRS 2011 Edition

ムーアの法則の終焉？

ロジックLSIの微細化トレンド

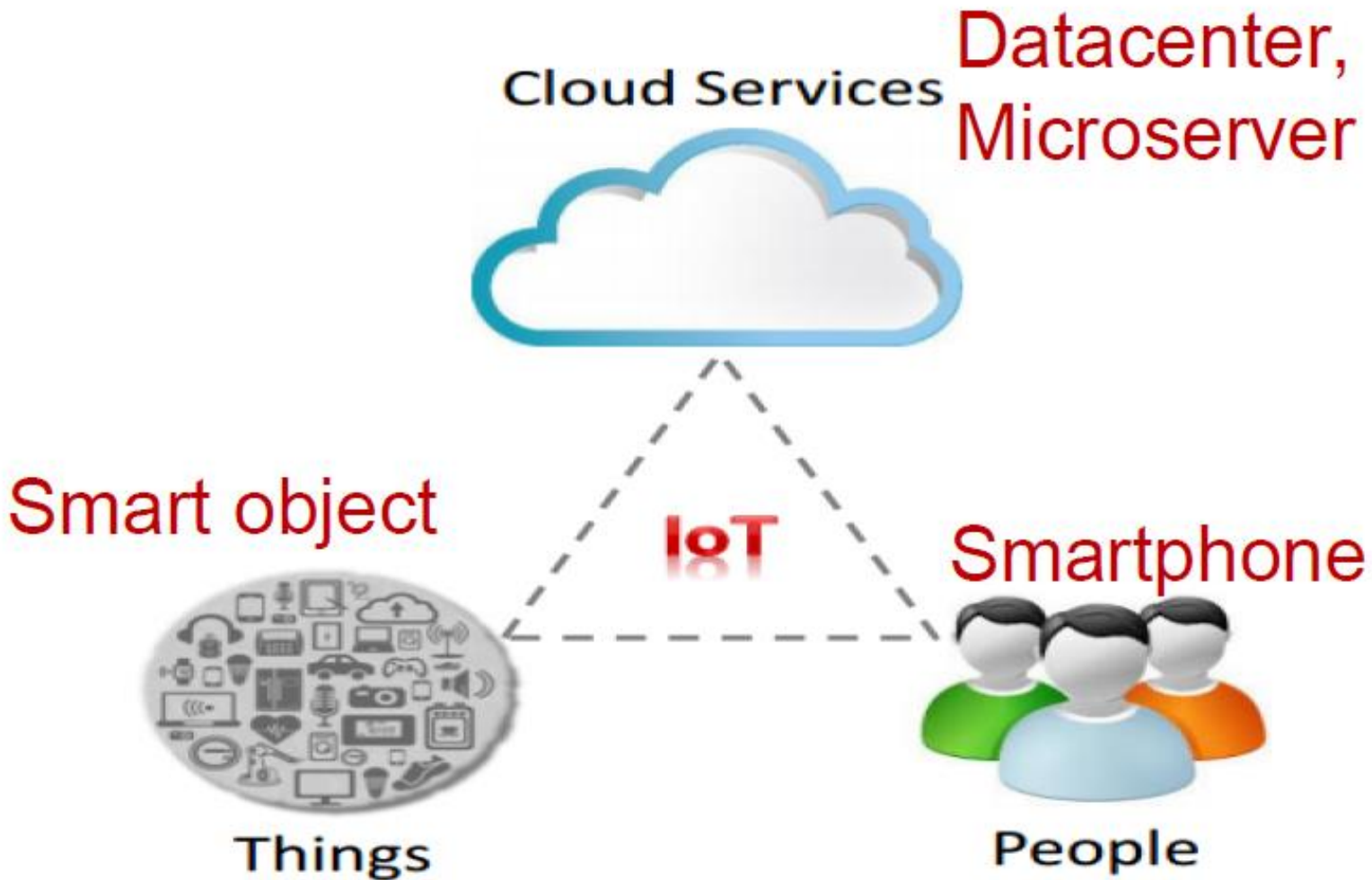
2011 ITRS - Technology Trends

ITRS 2015 (予定) のトレンドを追記



Ref: ITRS 2011 Edition / ITRS 2015 Edition

System IntegrationのFocus Team



ITRS 2013年版の章構成

1. Executive Summary と Overview
2. System Drivers
3. Design (未公表)
4. Test & Test Equipment
5. Process Integration, Devices & Structures
6. RF and A/MS Technologies
7. Emerging Research Devices
8. Emerging Research Materials
9. Front End Processes
10. Lithography
11. Interconnect
12. Factory Integration
13. Assembly & Packaging (未公表)
14. Environment, Safety & Health
15. Yield Enhancement
16. Metrology
17. Modeling & Simulation
18. MEMS

ITRS 2013年版の章構成

1. Executive Summary と Overview
2. System Drivers
3. Design (未公表)
4. Test & Test Equipment
5. Process Integration, Devices & Structures
6. RF and A/MS Technologies
7. Emerging Research Devices
8. Emerging Research Materials
9. Front End Processes
10. Lithography
11. Interconnect
12. Factory Integration
13. Assembly & Packaging (未公表)
14. Environment, Safety & Health
15. Yield Enhancement
16. Metrology
17. Modeling & Simulation
18. MEMS

ITRS 2.0の章構成



青字はFocus Team

黒字は従来のWG

Systems Integration

Test & Test Equipment

More Moore

Outside System Connectivity

Beyond CMOS

Emerging Research Materials

Lithography

Interconnect

Factory Integration

Heterogeneous Integration

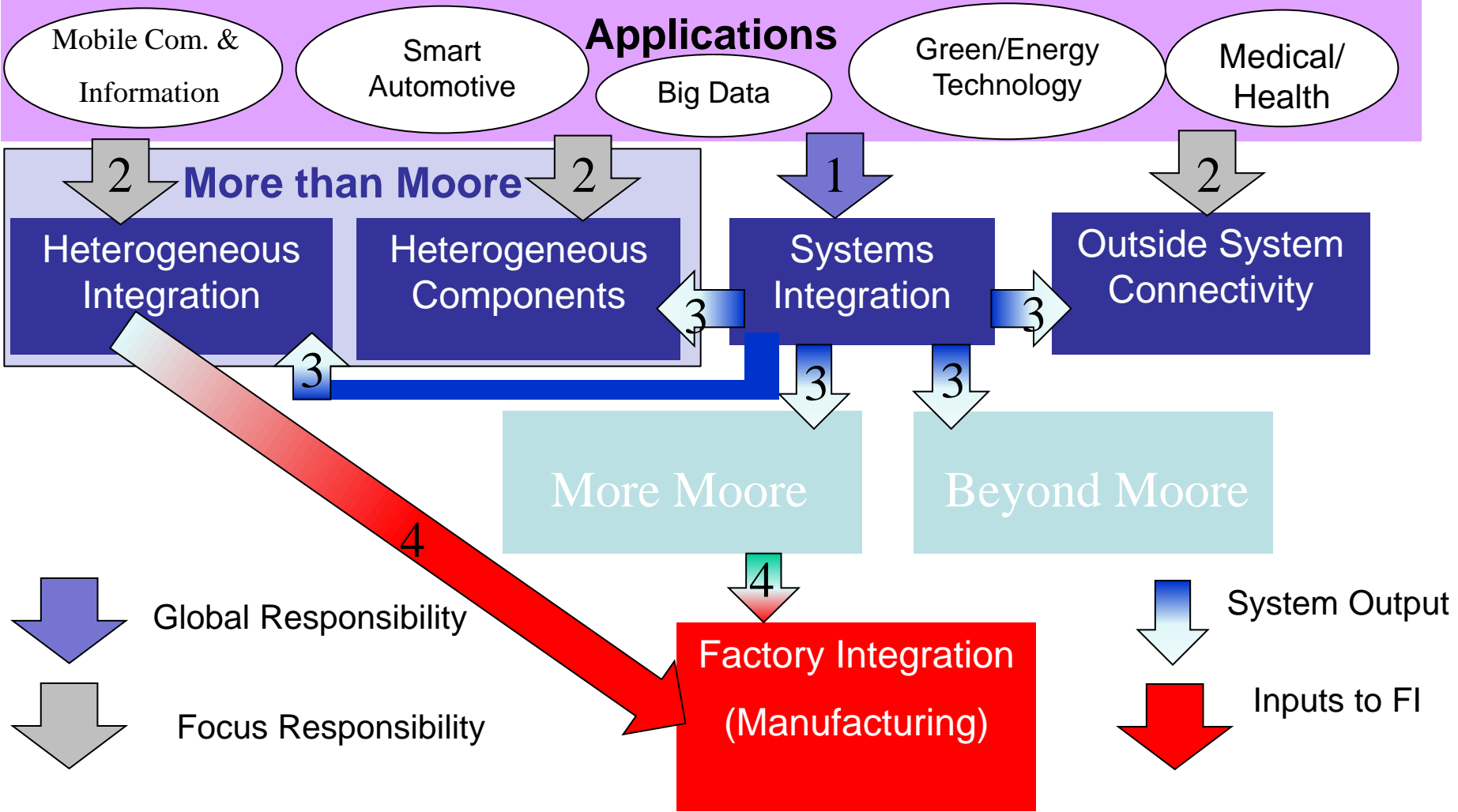
Environment, Safety & Health

Metrology

Heterogeneous Components

Internet of Things

Data Input, Access & Processing Environment



ITRS から IRDS (International Roadmap for Devices and Systems) へ

- 米国SIAは国際ロードマップ活動から離脱
- ITRSはIRDSに移行する
- IEEE Rebooting Computing との連携強化
- このため、ITRS 2.0のFocus Team / ITWGに加え、以下のITWGを設立：
 - Application and Benchmarking
 - Architecture

IEEE Rebooting Computingの提案

- Computing performance is not scaling
 - Moore disconnected from compute
- Novel computing paradigms (re)emerging:
 - Neuromorphic, Adiabatic/Reversible, Asynchronous, Approximate, Random, Computationally error tolerant, others....



Source: 2015 ITRS Summer Meeting, <http://www.itrs2.net/itrs-reports.html>

Application Domains*

Big Data #1: data access (streaming, off-line)
Big Data #2: data mining / analytics (partly includes machine learning)
Recognition problems (partly includes machine learning)
Simulation #1: physical world systems
Simulation #2: non-physical world systems (e.g., engineering systems)
Optimization
Virtual reality #1: computer graphics rendering
Virtual reality #2: approx. physics engines (see simulation #2)
Media processing: Compression, Fidelity
Information security: cryptography codec

*this is not a comprehensive list, but it is “robust”

IEEE

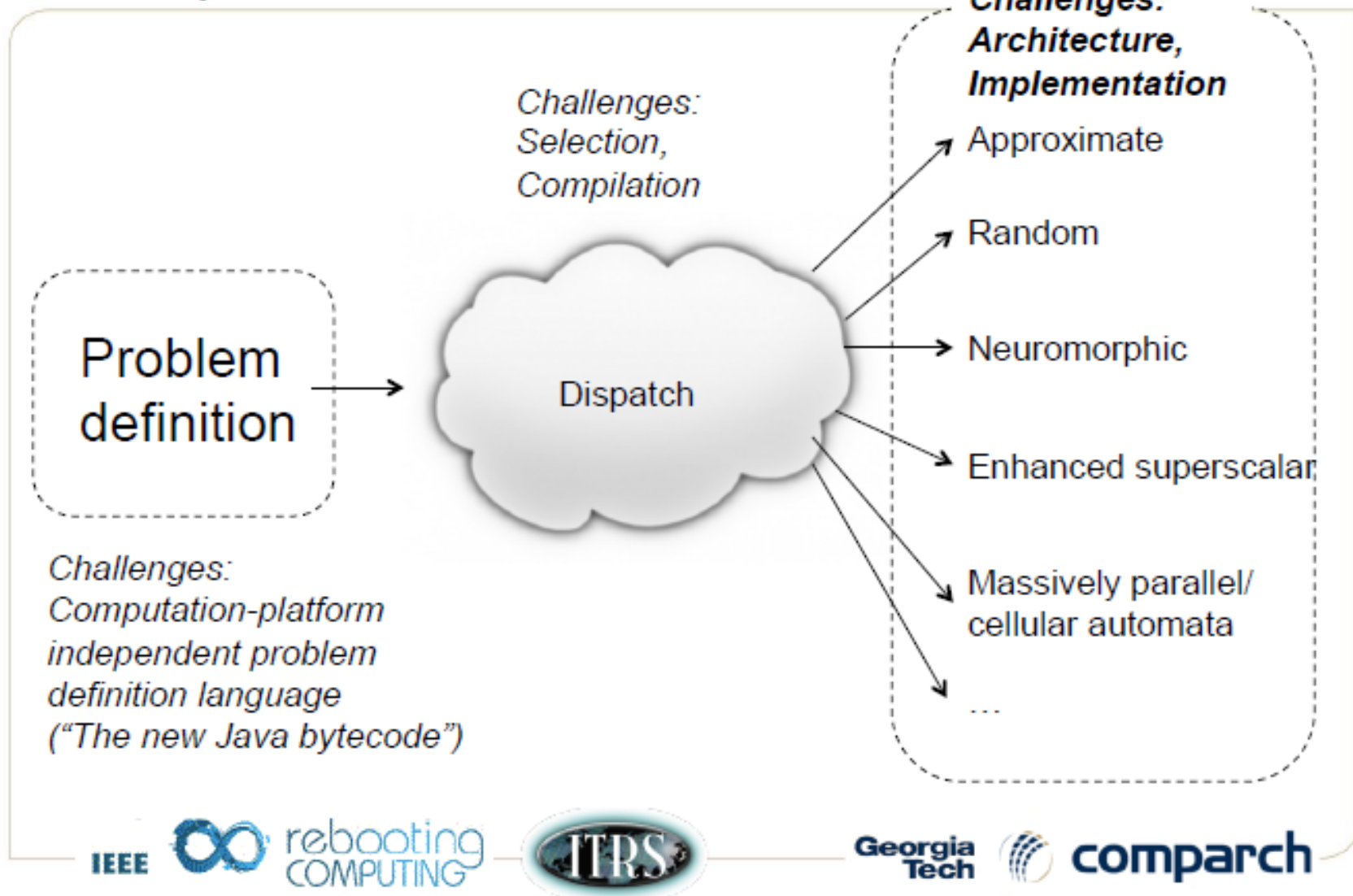
rebooting
COMPUTINGGeorgia
Tech

comparch

8

Source: 2015 ITRS Summer Meeting, <http://www.itrs2.net/itrs-reports.html>

Computation ca. 2030



Source: 2015 ITRS Summer Meeting, <http://www.itrs2.net/itrs-reports.html>

ITRS 2.0の章構成

【Focus Team】

1. Systems Integration
2. More Moore
3. Outside System Connectivity
4. Beyond CMOS
5. Factory Integration
6. Heterogeneous Integration
7. Heterogeneous Components

【International Working Group】

1. Lithography
2. Metrology
3. Environment, Safety & Health
4. Emerging Research Materials
5. Test & Test Equipment
6. Interconnect

IRDS の章構成

【Focus Team】

1. Systems Integration
2. More Moore
3. Outside System Connectivity
4. Beyond CMOS
5. Factory Integration
6. Heterogeneous Integration
7. Heterogeneous Components

【International Working Group】

1. Lithography
2. Metrology
3. Environment, Safety & Health
4. Emerging Research Materials
5. Test & Test Equipment
6. Application and Benchmark
7. Architecture

赤字はIRDS発足とともに2016年に新設

ITRS 2.0からIRDSへ移行日程

- **ITRSとしての最後の会議**

- 2016年2月10日～12日 ジョージア工科大学にて（米国 ジョージア州アトランタ）
- 米国SIAがITRSから離脱。IEEE Rebooting Computingが米国内のロードマップ支援組織となる
- 日本のIRDS支援組織については検討中。当面の間、日本からIRDSへの参加は可能

- **欧州会議**

- 2016年5月12日～13日 IMECにて（ベルギー）
- IRDSとしての第1回会議

- **台湾会議**

- 2015年12月（詳細日程、場所は未定）

まとめ

- 1998年にITRSが発足して以来、JEITAのSTRJはITRSの編集に参加するとともに、日本国内にむけて、半導体ロードマップについての情報発信を続けてきた。
- ITRSはITRS 2.0の公表をもって終了し、以後はIRDSとして国際ロードマップ活動が継続する見込みとなった。
- 半導体集積回路の微細化のペースが近い将来スローダウンするのを踏まえ、IRDSは、半導体デバイスだけでなく、その応用分野やコンピュータアーキテクチャを視野に入れたロードマップを作成する。

皆様へのお礼

ITRSとSTRJの設立にかかわってこられた皆様、STRJのスポンサーとなっていたいただいた会員企業の皆様、JEITA半導体部会の皆様、STRJと連携いただいたSEAJの皆様、経済産業省、NEDO、および大学、AIST、NIMS、NICT、コンソーシアムなどの研究機関の皆様の皆様のご支援に心からお礼申し上げます。そして、STRJが情報発信を続けてこられたのは、STRJの委員の皆様のご貢献によるものです。歴代STRJ委員長、副委員長、諮問委員会、推進委員会のメンバーの皆様にもこころよりお礼申し上げます。ワーキンググループのリーダー、サブリーダー、国際対応委員、としてご活躍いただいた皆様には、STRJとITRSの運営にも積極的にかかわっていただいたこと、この場を借りてお礼申し上げます。

ITRSはIRDSに移行し、日本としても、何らかの形で国際ロードマップ活動にかかわっていくことになるかと思えます。引き続き、ご協力、ご支援のほど、よろしくお願い申し上げます。

さらに詳しい資料については下記を参照願います

- ・ ITRS 2.0 の公式ホームページ
 - <http://www.itrs2.net/>
 - ITRSの最新情報
 - ITRS 発行の白書 (White Papers)、報告書など
 - ITRS主催のConferenceなどの資料
- ・ JEITAのロードマップのホームページ
 - <http://semicon.jeita.or.jp/STRJ/>
 - ITRS 2013年版の日本語訳(過去の版の和訳もあり)
 - ITRSの過去の版(英文)へのリンク
 - STRJ(半導体技術ロードマップ専門委員会)の活動情報

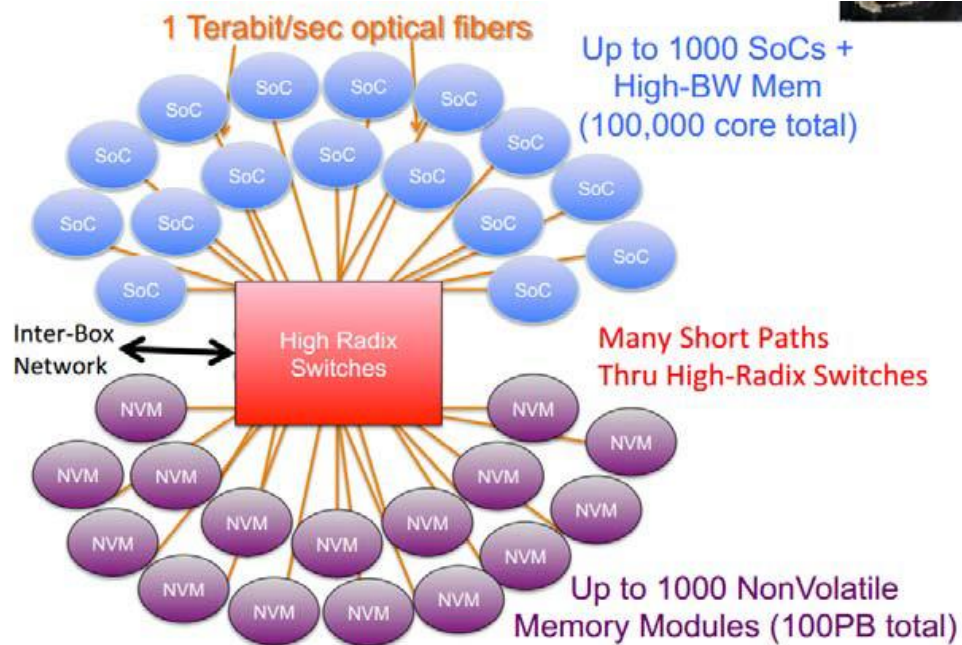
参考： ITRS 2.0のFocus Team

ITRS 2.0について: ITRSでは7つのFocus Topicsに注力

- **System Integration (SI)** —studies and recommends system architectures to meet the needs of the industry. It prescribes ways of assembling heterogeneous building blocks into coherent systems.
- **Outside System Connectivity (OSC)** —refers to physical and wireless technologies that connect different parts of systems.
- **Heterogeneous Integration (HI)** —refers to the integration of separately manufactured technologies that in the aggregate provide enhanced functionality.
- **Heterogeneous Components (HC)** —describes devices that do not necessarily scale according to “Moore's Law,” and provide additional functionalities, such as power generation and management, or sensing and actuating.
- **Beyond CMOS (BC)**—describes devices, focused on new physical states, which provide functional scaling substantially beyond CMOS, such as spin-based devices, ferromagnetic logic, and atomic switch.
- **More Moore (MM)**—refers to the continued shrinking of horizontal and vertical physical feature sizes to reduce cost and improve performance.
- **Manufacturing (or Factory Integration: FI)** consists of tools and processes necessary to produce items at affordable cost in high volume.

System Integration (SI)

- 産業界のニーズに応えるシステムアーキテクチャの研究と推奨を行う
- Technology Driver 何か？
 - Smart Phone
 - Data Center /
Microserver
- さらに、その次は？
 - IoT
 - 自動運転車



[Sources]https://www.usenix.org/sites/default/files/conference/protected_files/fast14_asanovic.pdf

Outside System Connectivity (OSC)

- システムの異なる部品間を物理的(光学的を含む)、あるいは無線技術によって接続する

RF & AMS Applications Scope

Mobility

- Automotive
- Aviation
- ”Phones”
- Pads & Notebooks

Internet of Things Devices

- Appliances
- Tools
- Varied Products
- Other mobile devices

Health

- External Health monitors (i.e. smart watches, phones, etc.)
- Embedded health monitors

Energy

- Power Monitors
- Green Energy Generators

Heterogeneous Integration (HI)

- ウェーハ表面に対し、垂直方向にも水平方向にも素子寸法の微細化をつづけ、コスト低減と性能向上をめざす

Difficult Packaging Challenges by Circuit Fabric

Logic: Hot spot locations not predictable, high thermal density, high frequency, unpredictable work load, limited by data bandwidth and data bottle-necks. High bandwidth data access will require new solutions to physical density of bandwidth.

Memory: Thermal density depends on memory type and thermal density differences drive changes in package architecture and materials, thinned device fault models, test & redundancy repair techniques. Packaging must support low latency, high bandwidth large (>1Tb) memory in a hierarchical architecture in a single package and/or SiP)

MEMS: There is a virtually unlimited set of requirements; hermetic, non-hermetic, variable functional density, plumbing, stress control, and cost effective test solutions.

Photonics: Extreme sensitivity to thermal changes, O to E and E to O, Optical signal connections, new materials, new assembly techniques, new alignment and test techniques

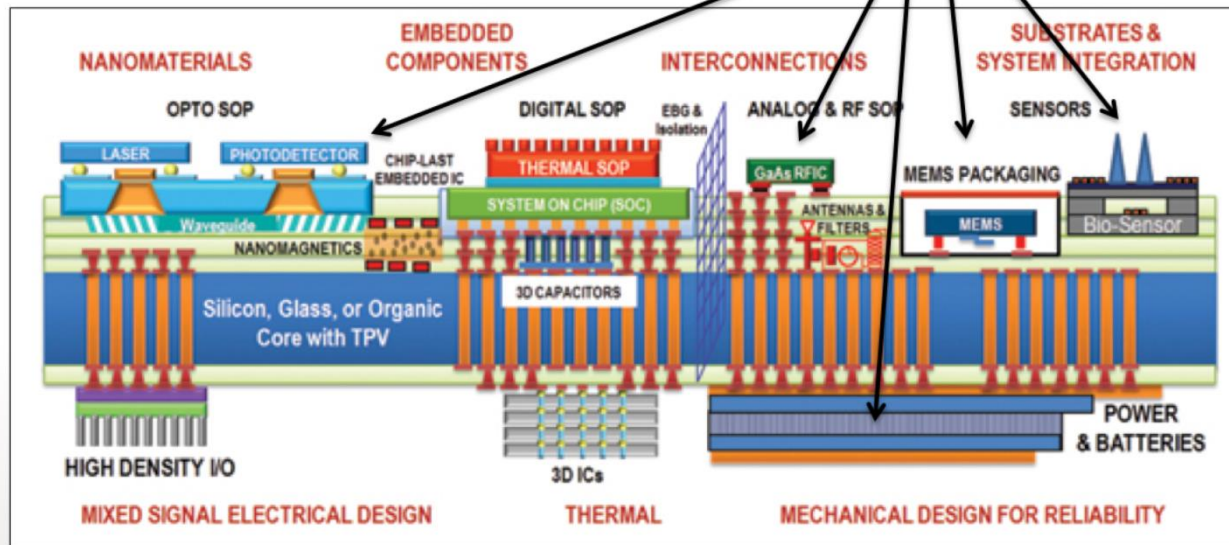
Plasmonics: Requirements are yet to be determined but they will be different from other circuit types

Micro-fluidics: Sealing, thermal management and flow control must be incorporated into the package.

Heterogeneous Components (HC)

- 必ずしもMooreの法則によって微細化されていないが、あらたな付加的機能を提供するもの： 電力生成と統御、センサー、アクチュエータなど

Heterogeneous Components



Source: Georgia Tech PRC, <http://www.prc.gatech.edu/overview/images/etpc.jpg>

Beyond CMOS (BC)

- 新たな物理状態に注目し、実質的にCMOSを越える機能的スケーリングをもたらすもの：スピン素子、強磁性体ロジック、原子スイッチなど

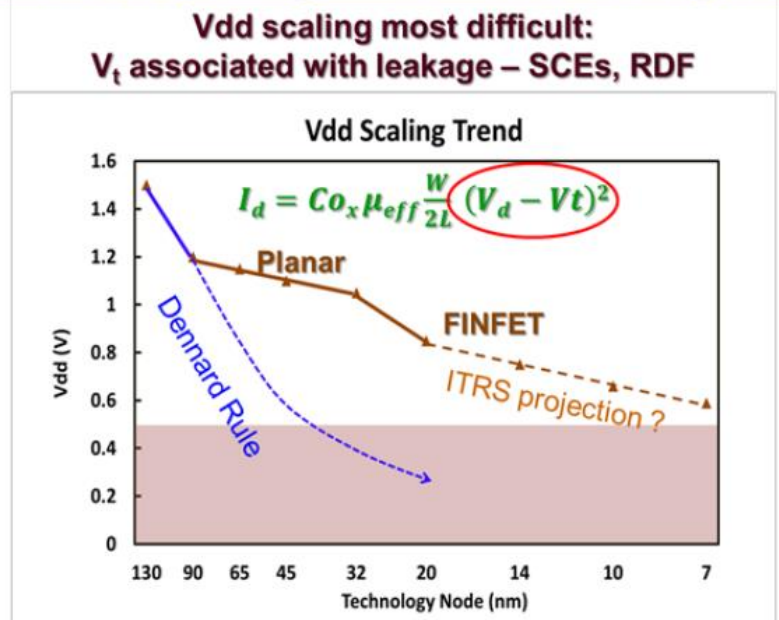
Emerging memory devices	Emerging logic devices	Emerging architectures
<ul style="list-style-type: none"> • Emerging ferroelectric memory <ul style="list-style-type: none"> ○ FeFET ○ FE tunnel junction • Carbon memory • Mott memory • Macromolecular memory • Molecular memory • ReRAM <ul style="list-style-type: none"> ○ Electrochemical metallization bridge ○ Metal oxide: bipolar filament ○ Metal oxide: unipolar filament ○ Metal oxide: bipolar nonfilamentary 	<ul style="list-style-type: none"> • Carbon-based nanoelectronics • Nanowire FETs • Tunnel FET • n-Ge and p-IIIIV 	<ul style="list-style-type: none"> • Memory architectures for program centric architectures • Storage Class Memories • Evolved architectures exploiting emerging research memory devices • Architectures that can learn • Morphic architectures <ul style="list-style-type: none"> ○ Neuromorphic architecture ○ Cellular automata architecture ○ Cortical architecture
	<ul style="list-style-type: none"> • Spin-FET and spin-MOSFET • NEMS • Atomic switch • Mott FET • Neg-Cg ferroelectric FET 	
	<ul style="list-style-type: none"> • Spin wave devices • Nano-Magnet Logic • Excitonic FET • BisFET • Spin torque majority gate • All spin logic 	

More Moore (MM)

- ウェーハ表面に対し、垂直方向にも水平方向にも素子寸法の微細化をつづけ、コスト低減と性能向上をめざす

Mobile Computing – The Vdd Scaling Issue

- パワーあたりの処理速度が重要 (Flops/W)
[従来は処理速度を (Flops)重視]



Manufacturing (or Factory Integration: FI)

- 適正なコストで大量生産するために必要な製造装置と製造プロセス

