

March 4, 2016

STRJ ワークショップ、コクヨホール

半導体微細化ロードマップの 終焉とその後の世界

東京工業大学

岩井 洋

本日の話の内容

電子デバイスの

過去（簡単に）

現在（極く簡単に）

未来 2025年まで

2050年まで

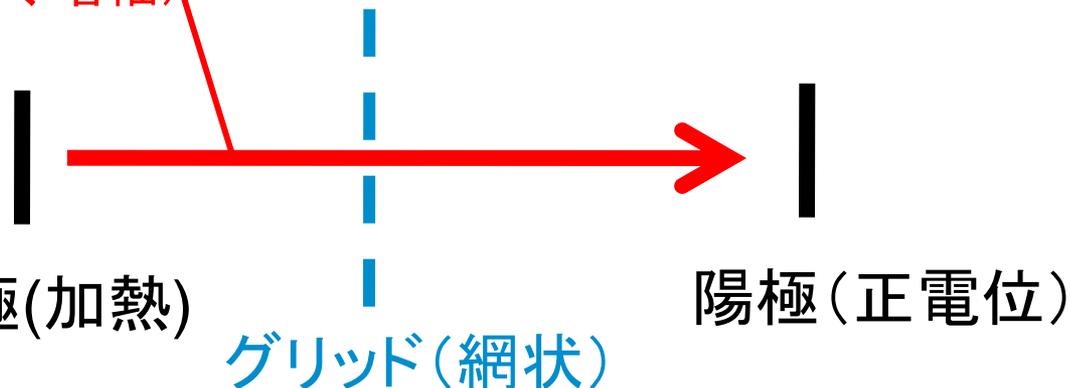
2100年まで

過去

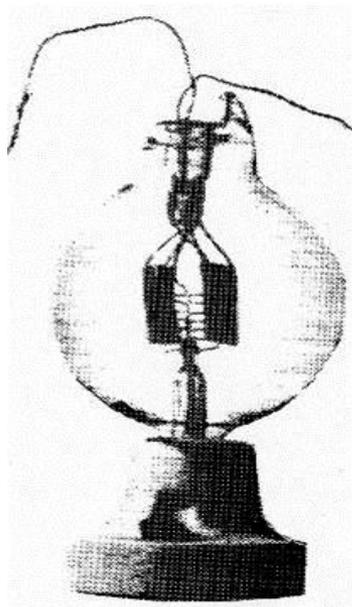
1906年 エレクトロニクスの始まり

真空管(3極管)

真空中を流れる電子(電流)をグリッドの電位で制御
(スイッチ、増幅)



Lee De Forest



現代社会のほぼ全ての活動がエレクトロニクス
で制御

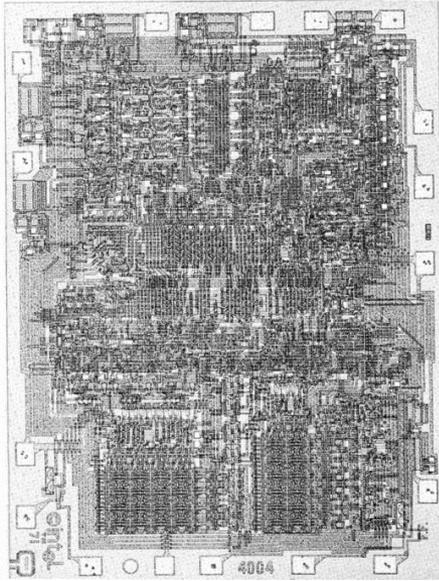


エレクトロニクス：
20世紀最大の技術革命

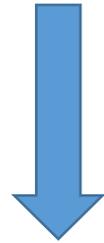
1971 マイクロエレクトロニクスの始まり

大規模集積回路 (LSI) の始まり (最小線幅 $10\ \mu\text{m}$)

マイクロプロセッサ Intel 4004



- ・回路をチップ上に集積化
- ・システムがチップ上に



と言うより寧ろ意義は

微細化で性能、消費電力、容積、コストが
本当に驚異的に改善



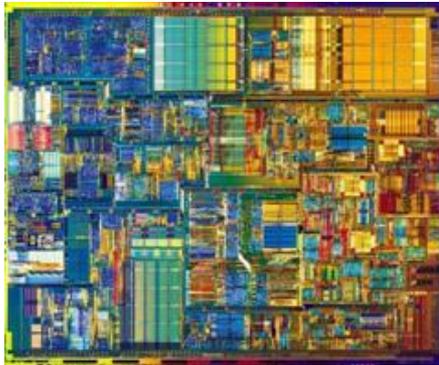
第2の技術革命

2000年 ナノエレクトロニクスの始まり

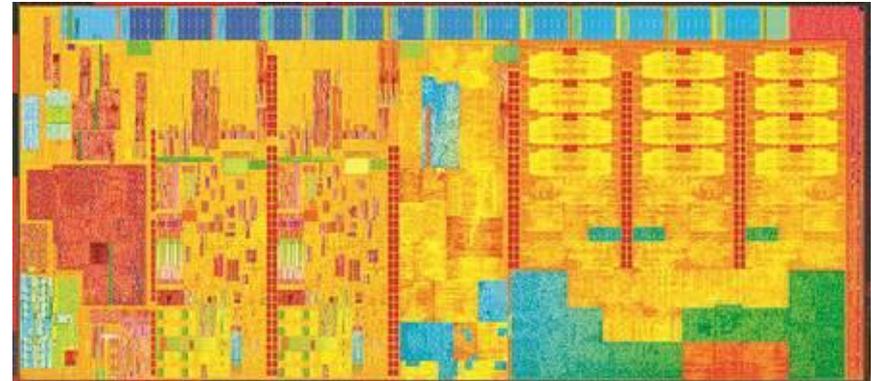
180 nm技術 (2000年)

14 nm技術 (現在)

Intel Pentium 4



Intel Broadwell



技術革命ではなく

マイクロエレクトロニクスの延長

微細化には様々な技術革新が必要

→ 偉大な技術革新が為された

微細化は何故必要か？

微細化によって

素子キャパシタンス(C)
動作電圧(V)減少



素子当たりの

{ 性能向上
電力削減

これはスケーリング理論

もう一つ：微細化によってチップ内の素子数増加

素子数当たりのコスト改善



ご存じムーアの法則

チップの多機能化
並列処理回路増加



ここでも性能向上

微細化は何重にもメリットが！！！！

微細化の実績



1906	1950	1960	1970	2000	2014
Vacuum Tube	Transistor	IC	LSI	VLSI	VLSI
10 cm	cm	mm	10 μ m	100 nm	14 nm
10^{-1} m	10^{-2} m	10^{-3} m	10^{-5} m	10^{-7} m	10^{-8} m

過去110 年の間に1000万分の1 (10^{-7})までに！！

微細化メリットの譬え話

(微細化の効果がどれほど凄いか)

1946年



真空管

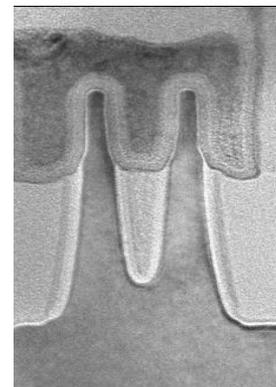
70年間
寸法



$\times 1/10^7$

1/1千万倍

2015年



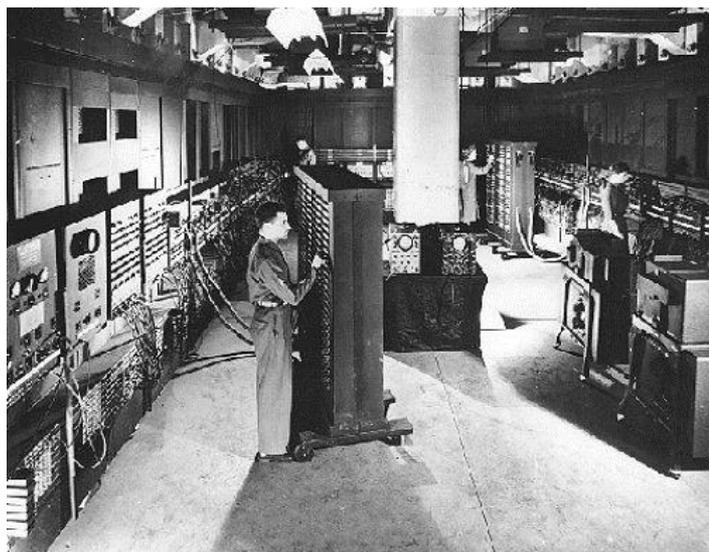
Tri-gate MOSFET

性能/ワット



$\times 10^{12}$

=1兆倍



Eniac: 真空管コンピュータ



スマホ₉

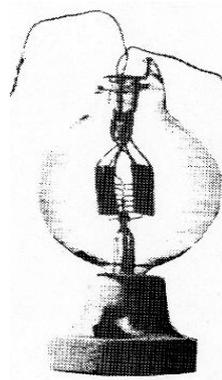
微細化メリットの譬え話 (微細化の効果がどれほど凄いか)

現在1Tbit = 10^{12} (1兆)bit (128 GB)のSDカードは個人でも購入可能な値段 (数万円)



X 1

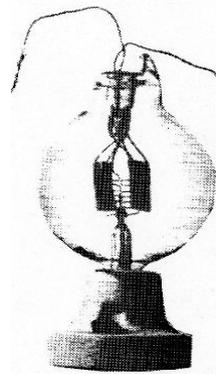
これを1兆個の真空管で実現すると想定したらどうなるか？



X 10^{12}



微細化メリットの譬え話



1兆個の真空管

$\times 10^{12}$

値段は？

1個100円と仮定すると**100兆円！**

= 日本の国家予算！

重さは？

1個100グラムと仮定すると **10^8 トン=1億トン！**

= 象2000万頭分の重さ！

**= 水500米立方(500mX500mX500m)
の重さ**

容積は？

真空管の大きさを
5cm X 5cm X 10cmと仮定

1兆 = 10,000 X 10,000 X 10,000

$$\begin{aligned} \text{容積} &= (5\text{cm} \times 10,000) \times (5\text{cm} \times 10,000) \\ &\quad \times (10\text{cm} \times 10,000) \\ &= 0.5\text{km} \times 0.5\text{km} \times 1\text{km} \end{aligned}$$

最高のビルより高い

Pingan International
Finance Center
Shanghai, China
(Year 2016)



700 m

Indian Tower
Mumbai, India
(Year 2016)



700 m

Burji Khalifa
Dubai, UAE
(Year 2010)



828 m

500 m X 500 m

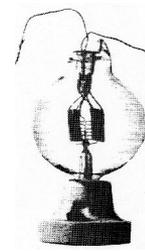


1,000 m

1兆個

消費電力は？

1個の消費電力を
仮に50Wと仮定



1兆個
 $\times 10^{12}$

$50W \times 10^{12} = 50 TW = 50兆 (5 \times 10^{13})$ ワット
= 原子炉 5万個分 = 東京電力 1000社分



原子炉1基
100万キロワット
= 10億(10^9)ワット



東京電力
総発電能力
5千万キロワット
= 500億(5×10^{10})ワット

1年間の消費エネルギー、発熱量は？

$50兆ワット \cdot 年 = 4.4 \times 10^{14} KWh = 1.6 \times 10^{21}$ ジュール = 4×10^{20}
カロリー = 原油換算 4×10^{16} リットル

= 現在の人類のエネルギー消費の2000倍

= 地表100mの深さまで $1^\circ C$ 温度を上昇する熱量

マイクロ(ナノ)エレクトロニクスによる素子の
微細化は正に**20世紀後半から21世紀初頭**
の期間における最大の技術革命

インターネットもIoTもマイクロエレクトロニク
スのお陰

素子の微細化は性能向上、コスト低減だけ
でなく**省エネにも極めて重要**

微細化はどこまで続くか？

1970年代から2～3世代先に微細化限界が来ると言われ続けて来た

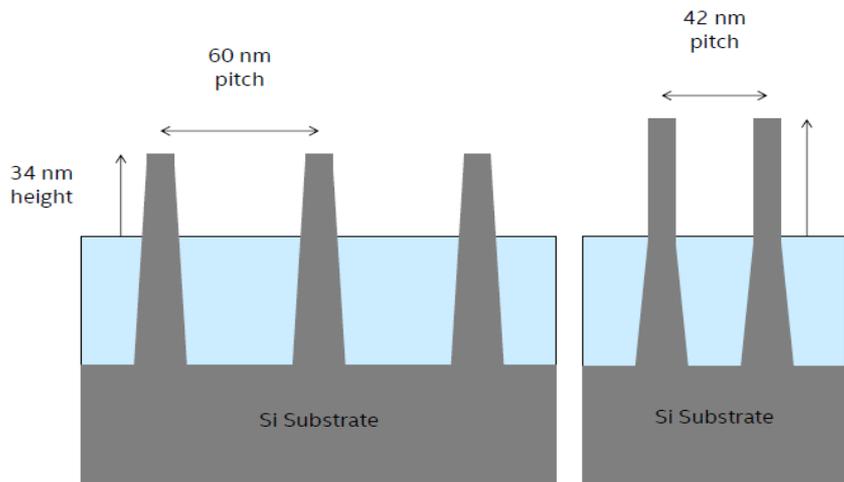
幸いにもこれは狼少年で、今までは限界は来なかった！

	限界予想	想定原因
1970年	1um	光リソの限界
1980年	0.25 um	ゲートのトンネルリーク
1990年	0.1 um	様々な要因

現在

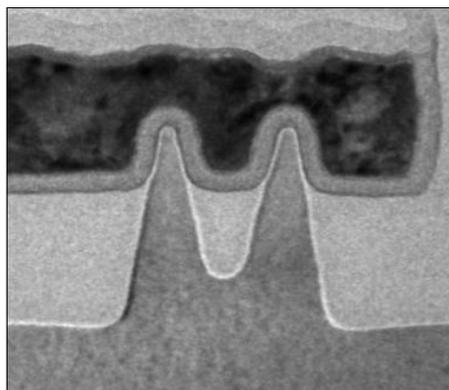
Intel 14nm 技術 by Mark Bohr, August 11, 2014

http://download.intel.com/newsroom/kits/14nm/pdfs/Intel_14nm_New_uArch.pdf

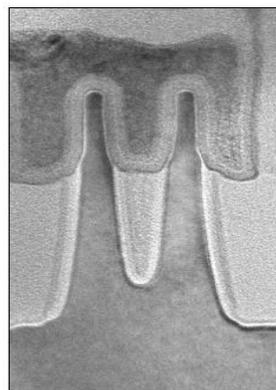


Minimum Feature Size

	22 nm Node	14 nm Node	Scale
Transistor Fin Pitch	60	42	.70x
Transistor Gate Pitch	90	70	.78x
Interconnect Pitch	80	52	.65x



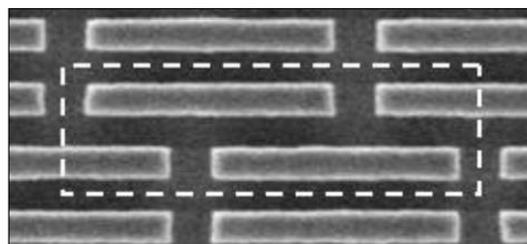
22 nm 1st Generation Tri-gate Transistor



14 nm 2nd Generation Tri-gate Transistor

SRAM Cell

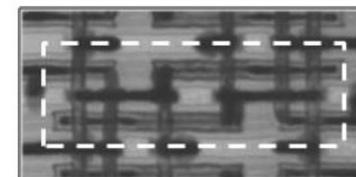
22 nm Process



.108 μm^2

(Used on CPU products)

14 nm Process



.0588 μm^2

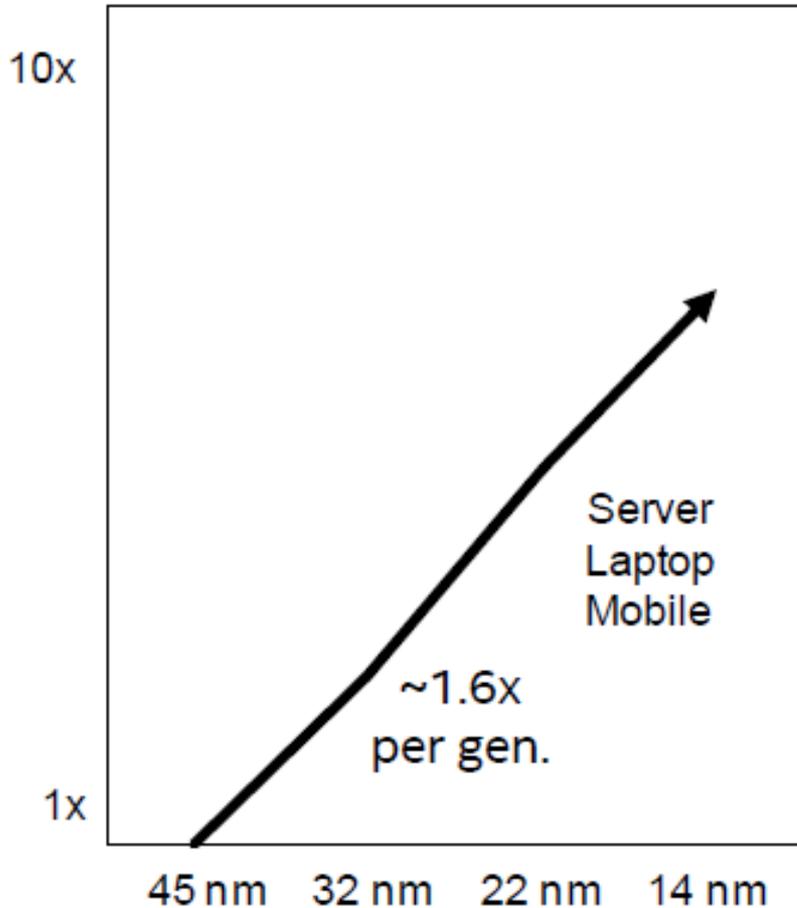
(0.54x area scaling)

微細化のメリットは14 nm でも継続

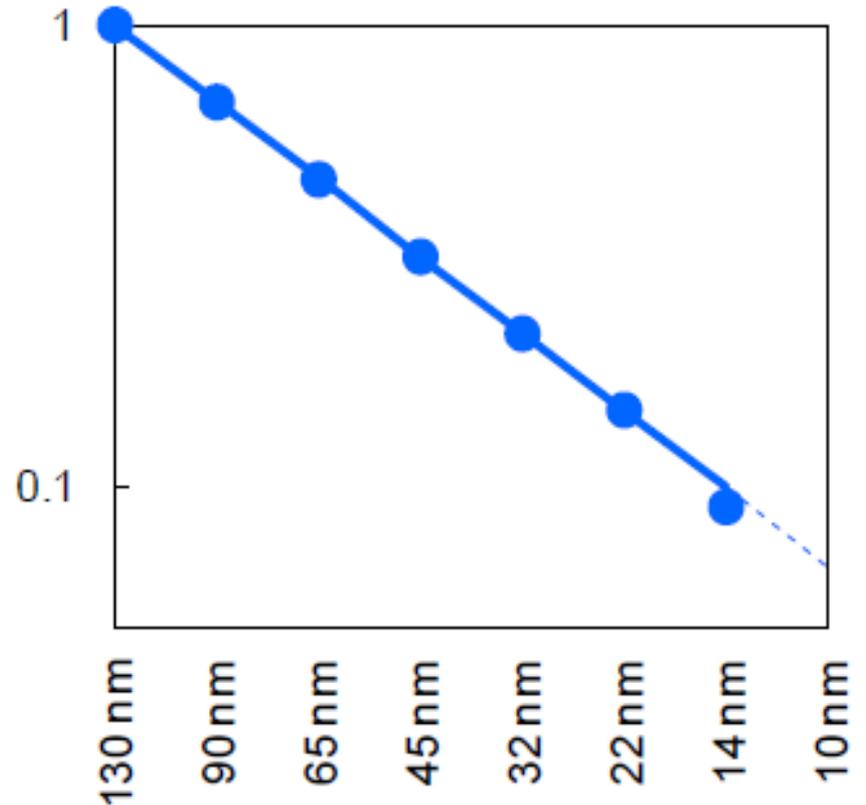
http://download.intel.com/newsroom/kits/14nm/pdfs/Intel_14nm_New_uArch.pdf

性能とコストで過去のトレンドを維持

性能/ワット



コスト/トランジスタ (normalized)



MOSFET構造の現状

Technology node

65nm

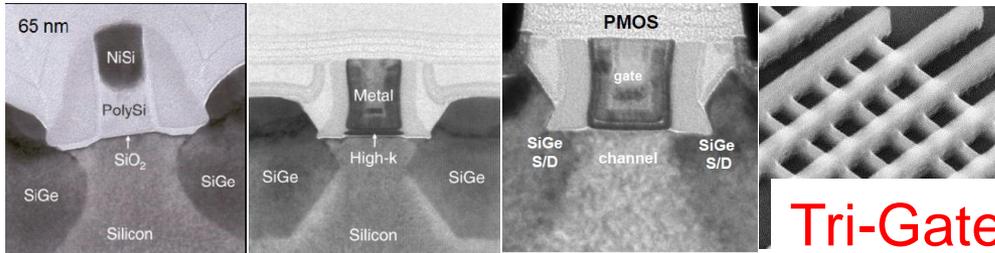
45nm

32nm

22nm

L_g 35nm

L_g 30nm

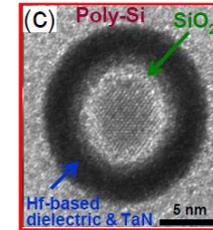
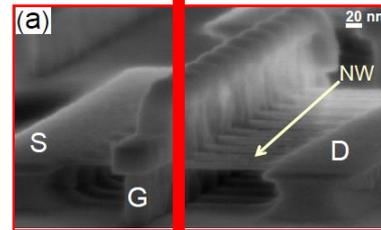


Now

Future

14nm

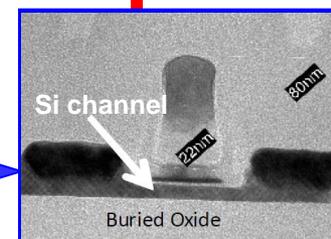
10nm, 7nm, 5nm, 3.5nm



Main stream
(Fin, Tri, Nanowire)

Si MOSFET

Planar



Alternative

(FDSOI)

FD: Fully Depleted

Si is still main stream for future !!

- M. Bohr, pp.1, IEDM2011 (Intel)
- P. Packan, pp.659, IEDM2009 (Intel)
- C. Auth et al., pp.131, VLSI2012 (Intel)
- T. B. Hook, pp.115, IEDM2011 (IBM)
- S. Bangsaruntip et al., pp.297, IEDM2009 (IBM)

Others

Alternative (III-V/Ge)
Channel FinFET

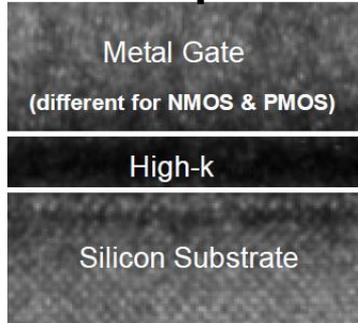
Emerging
Devices

High-k ゲート絶縁膜の現状

Hf-based oxides

45nm EOT:1nm	32nm EOT:0.95nm	22nm EOT:0.9nm	14nm EOT:0.9nm
-----------------	--------------------	-------------------	-------------------

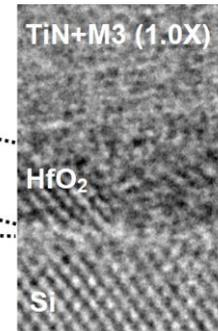
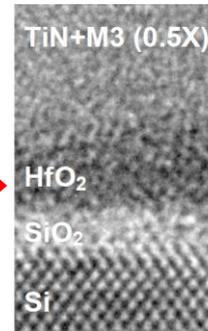
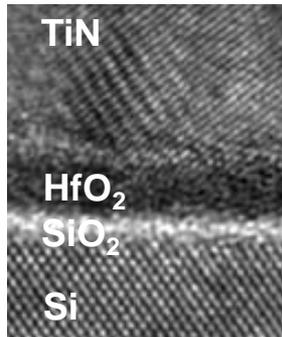
10nm, 7nm, 5nm, 3.5nm,



SiO₂ IL (Interfacial Layer) is used at Si interface to realize good mobility

Technology for direct contact of high-k and Si is necessary

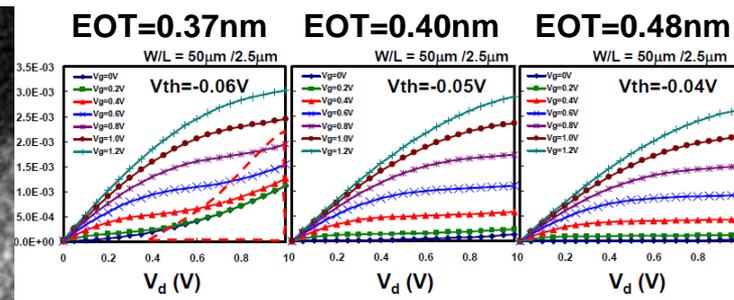
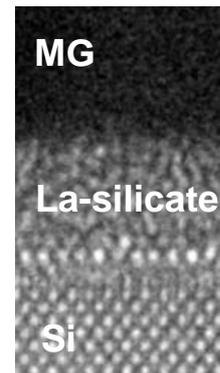
EOT=0.9nm
HfO₂/SiO₂
(IBM)



EOT=0.52 nm

Remote SiO₂-IL scavenging HfO₂ (IBM)

Continued research and development



0.48 → 0.37nm Increase of I_d at 30%

Direct contact with La-silicate (Tokyo.Tech)

K. Mistry, et al., p.247, IEDM 2007, (Intel)
T.C. Chen, et al., p.8, VLSI 2009, (IBM)
T. Ando, et al., p.423, IEDM2009, (IBM)
T. Kawanago, et al., T-ED, vol. 59, no. 2, p. 269, 2012 (Tokyo Tech.)
K. Kakushima, et al., p.8, IWDTF 2008, (Tokyo Tech.)

未来

今後どこまで微細化が続くのか？

今度こそ2～3世代先に本当に狼がやって来る
という予想

今後10年先までの予想(2016~2025)

社会の急激な大きな変革

IoT, ビッグデータ処理、人工知能、スマートグリッド

スマート社会

自動運転

自動医療診断

ロボットによる介護

自動手術

コンピュータによる安全・安心社会

コンピュータによる癒し

・
・

自動作詞、作曲、小説作成??

自動政治(人工知能による理想政治)???

IoT, ビッグデータ処理、人工知能、スマートグリッドの社会

膨大な量の情報処理が必要



より高速・低消費電力のマイクロプロセッサが必要



素子の微細化が重要



質問1: 素子の微細化限界はいつ来るのか?



質問2: 素子の微細化限界到達後の世界はどうなる?

答え:素子の微細化限界は間も無く確実に来る

究極の限界:原子間距離 $\sim 0.3 \text{ nm}$

原理的限界:トンネル長 $\sim 3 \text{ nm}$

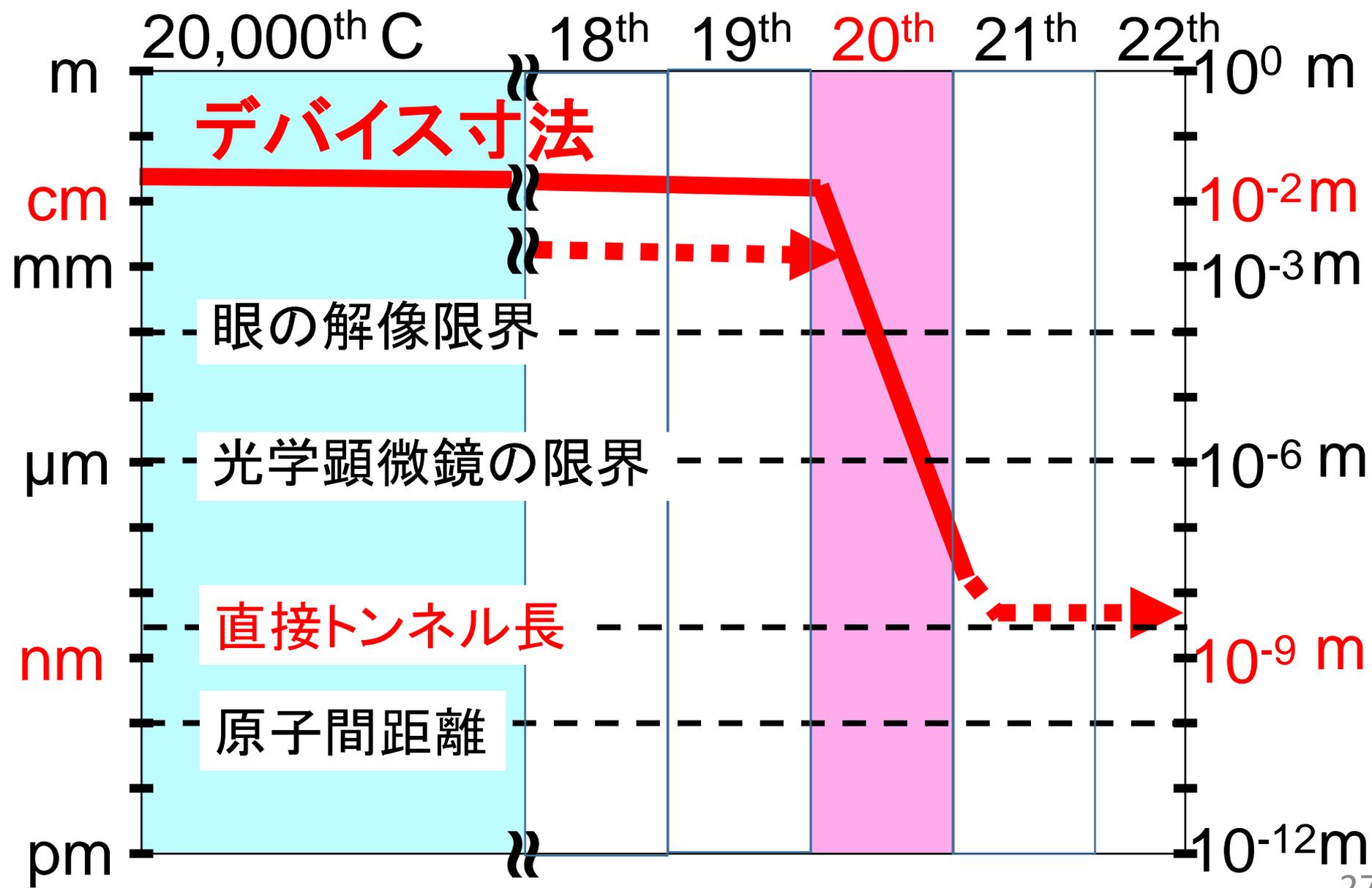
実用的限界:微細化デメリット $25 \sim 10 \text{ nm}$

これは縦方向(膜厚)、横方向(リソなど)も同じ

ナノテクノロジーまではあるが、
寸法上はピコテクノロジーは有り得ない。

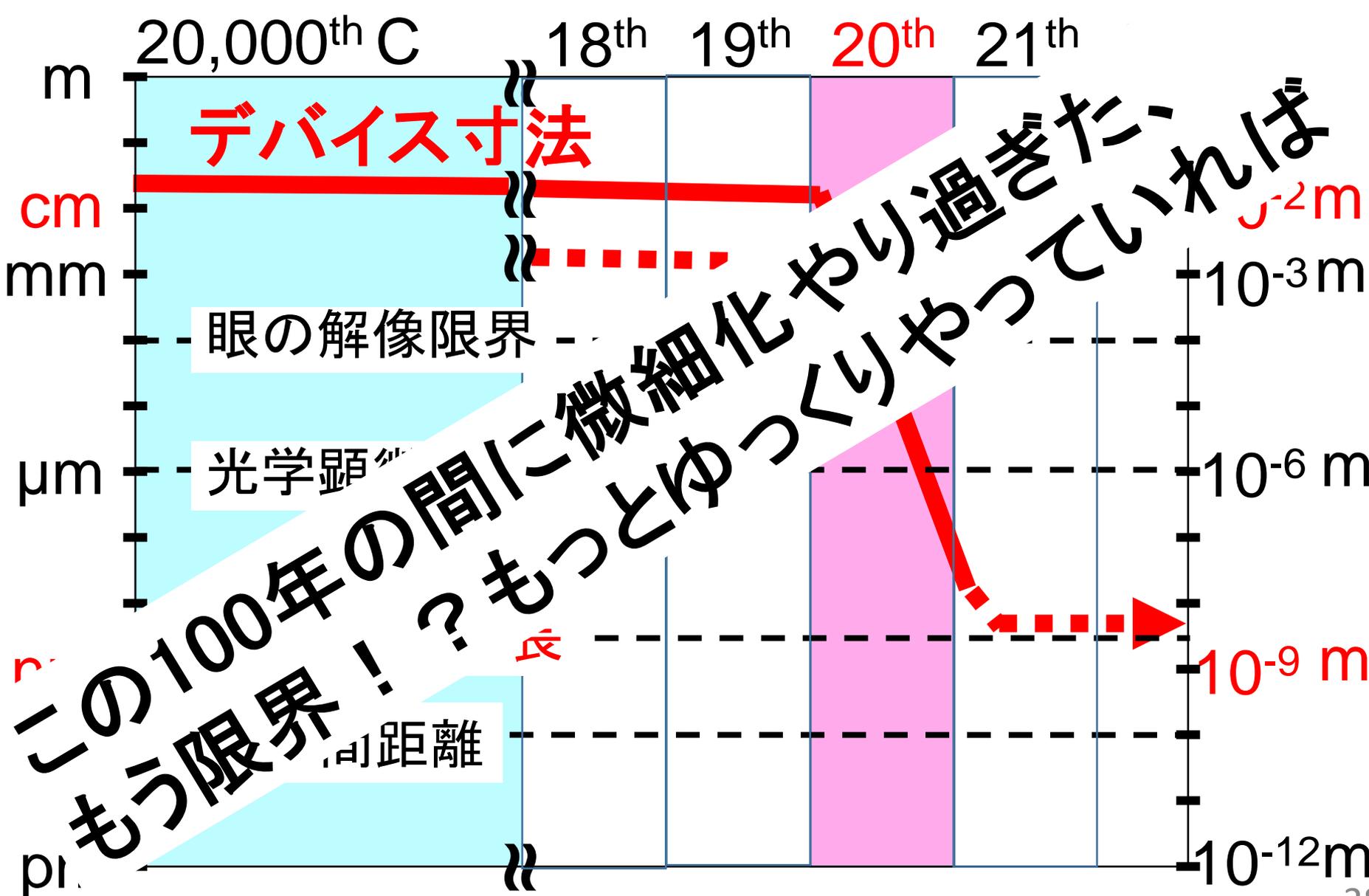
石器時代 → →

トエレクトロニクス →



石器時代 →

エレクトロニクス →



20,000th C

18th 19th 20th 21th

m

cm

mm

μm

pm

デバイスの寸法

目の解像限界

光学顕微鏡の分解距離

この100年の間に微細化やり過ぎた

もう限界！？ もっとゆっくりやっていたら

実用的な限界は？

微細化を止める要因(デメリット)

1. ソース・ドレイン間のオフのリーク電流の増大
2. ソース・ドレイン間のオンの電流の減少
3. リソのコストの増大
4. 配線抵抗、配線間容量の増大
5. ばらつき、歩留まり、信頼性の劣化

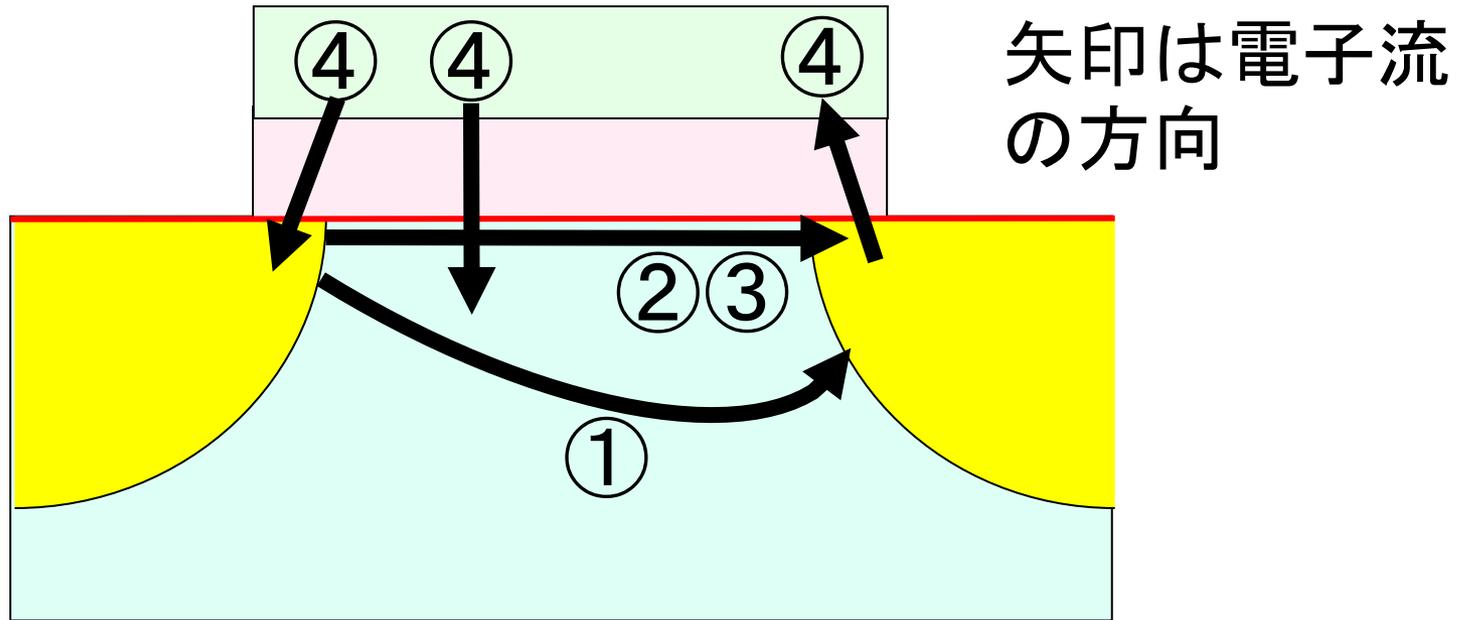
実用的な限界は？

微細化を止める要因

1. ソース・ドレイン間のオフのリーク電流の増大

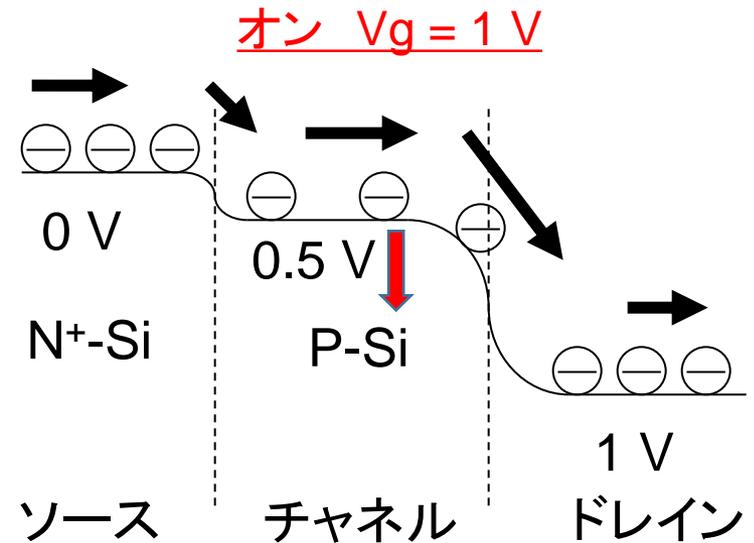
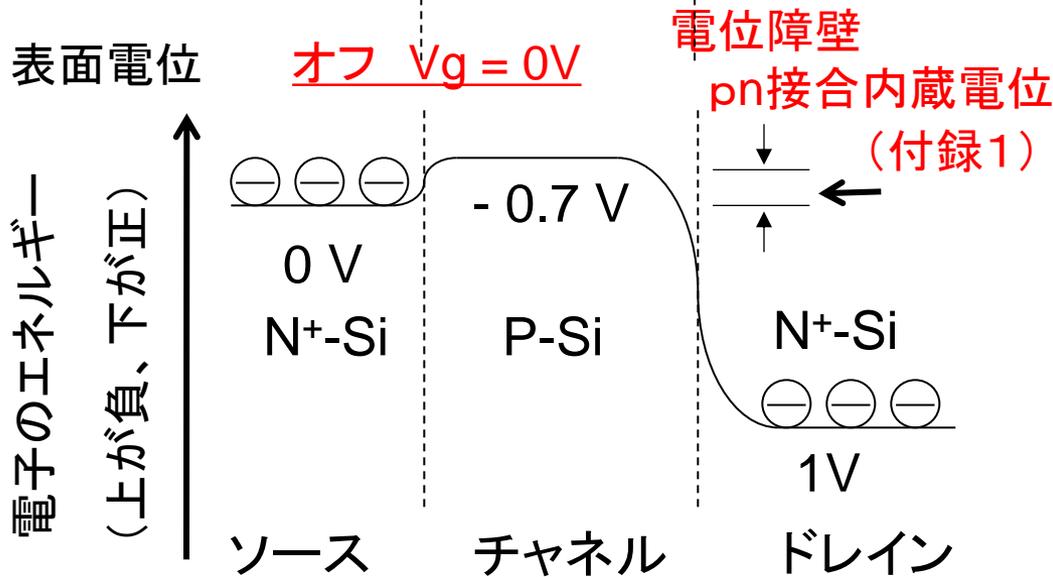
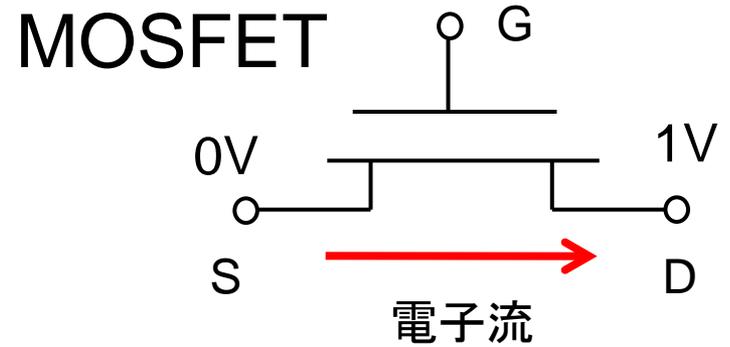
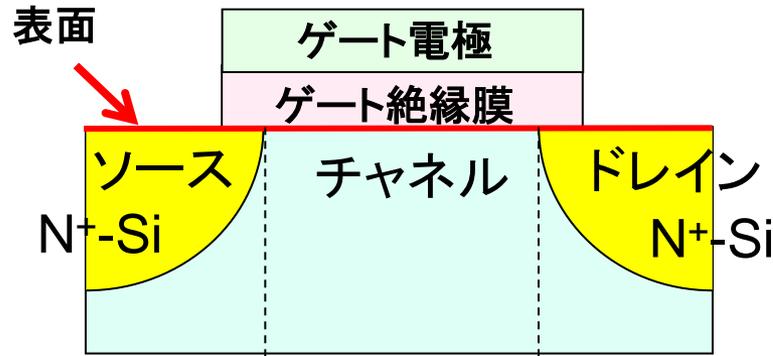
ソース・ドレイン間の距離が極めて短くなる
のでリークが増えるのは当然

1. オフ時のリーク電流

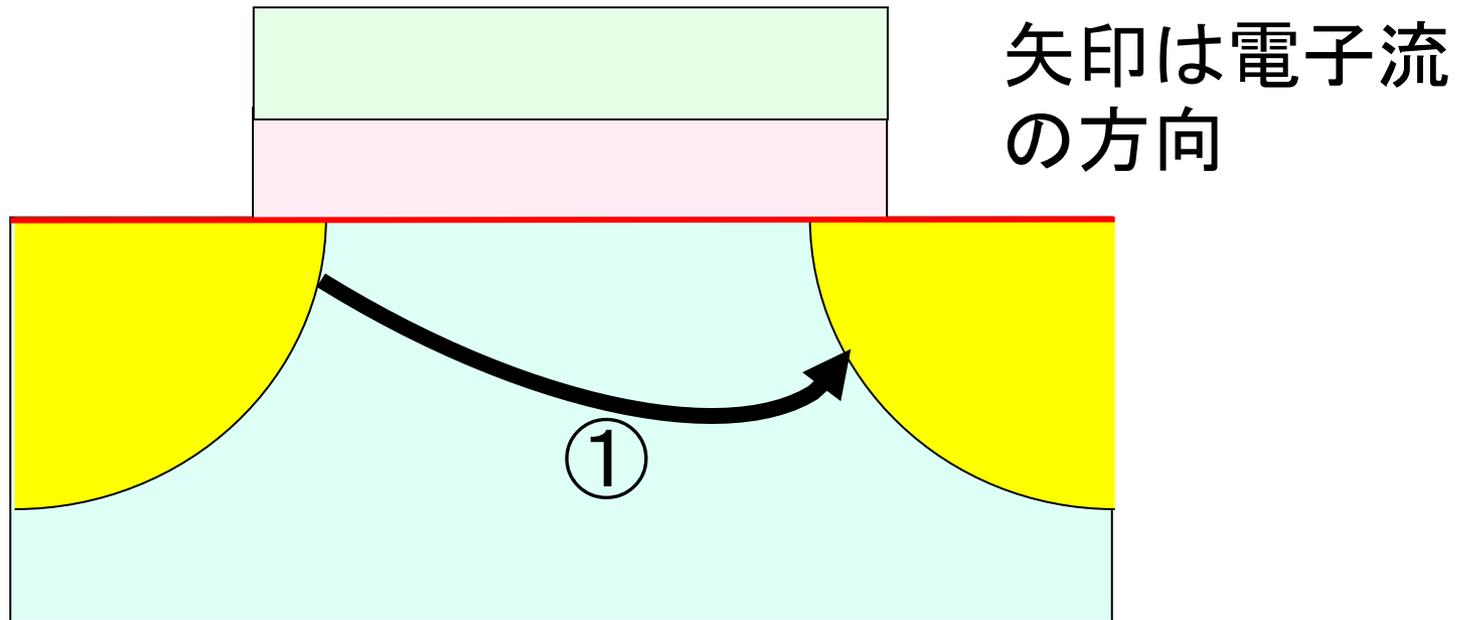


- ①. パンチスルー電流
- ②. 直接トンネル電流
- ③. サブスレッシュホールド電流
- ④. ゲート絶縁膜リーク電流

MOSFETの動作原理



1. オフ時のリーク電流

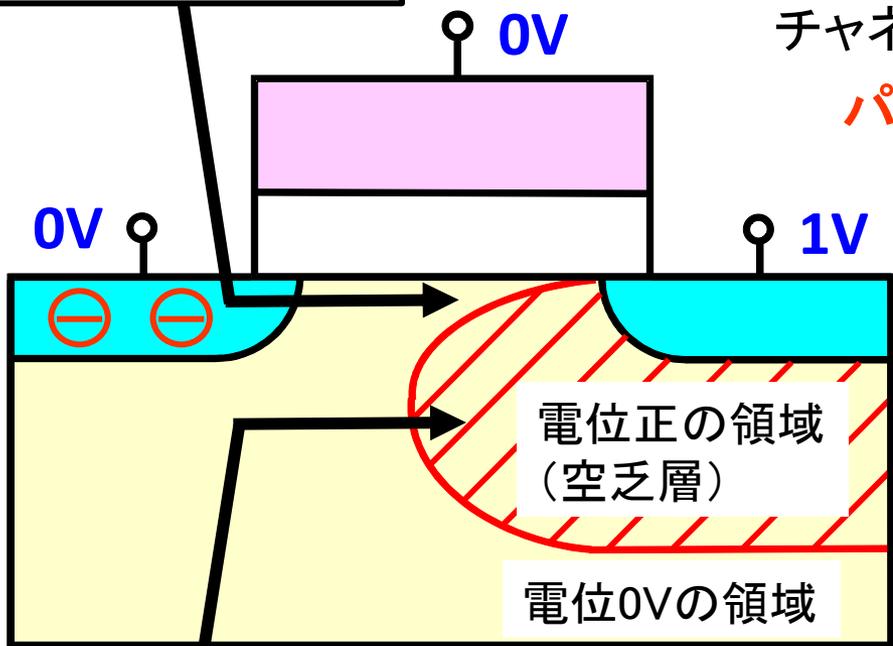


①. パンチスルー電流

突き抜け電流

浅いところはゲート
バイアスでチャネル
電位0V制御可能

長チャネル



深いところはゲート
バイアスでチャネル
電位制御不可能:

ドレイン電位の影響
を受ける

0V

A. 電圧低下
空乏層領域削減

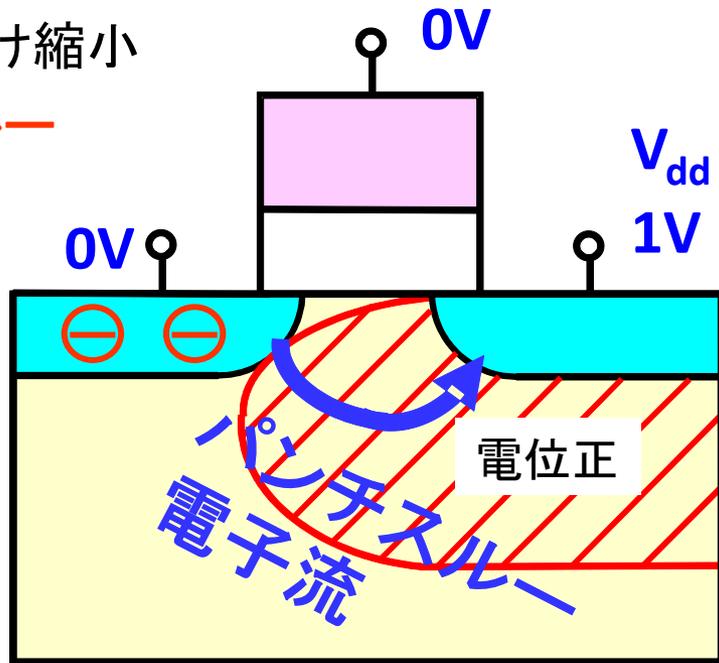
B. ゲート膜薄膜化
ゲート電界増大

→チャネル電位制御性増強

チャンネル長だけ縮小

パンチスルー

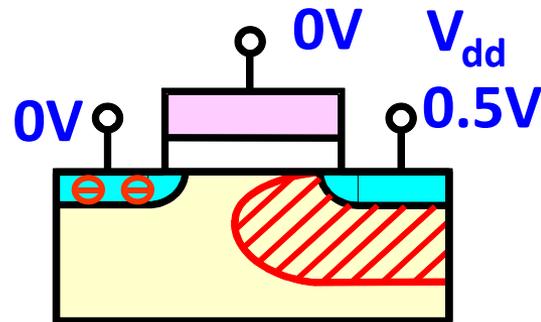
短チャネル



パンチスルー
電子流

電位正

ステアリング
解決策



パンチスルーの解決策

スケーリング

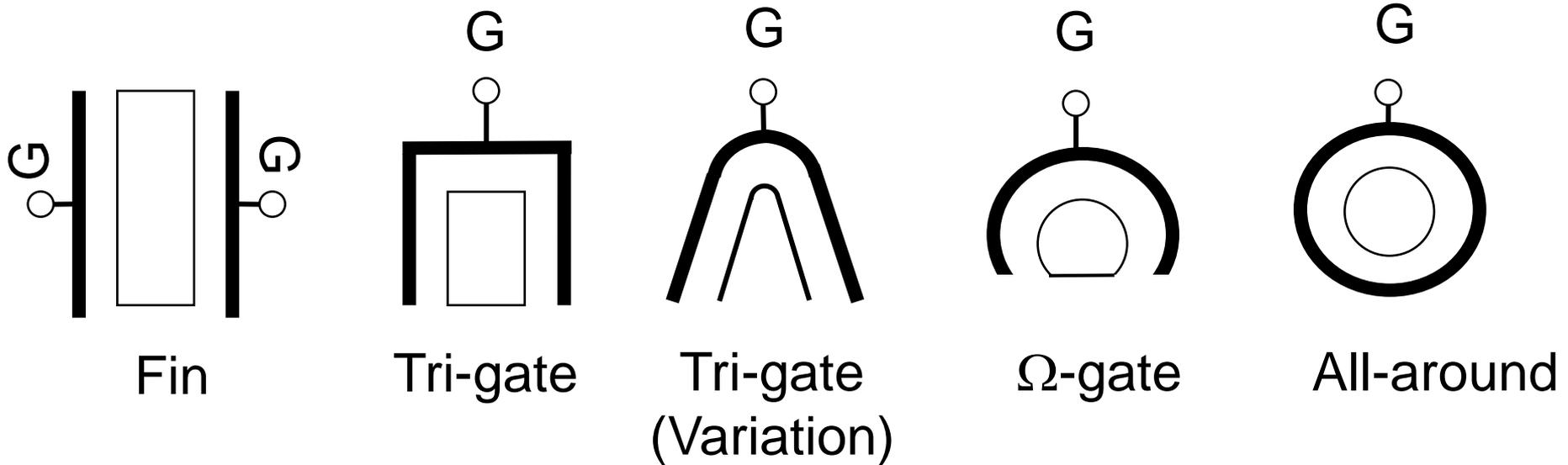
A. 電圧低下 → 近年は電圧低下は困難(後述)
空乏層領域削減

B. ゲート膜薄膜化 → 今後とも重要
ゲート電界増大
→チャネル電位制御性増強

もうひとつ(付録参照)

C. ゲート/チャネル構造変換 → 最近(22nmから)
Fin FET, FD(Fully Depleted) SOI等
→チャネル電位制御性増強

Multi-gate 構造 (断面図)



チャンネルをゲートで囲ってチャンネル電位を制御

パンチスルーの解決策

スケーリング

A. 電圧低下 → 近年は電圧低下は困難(後述)

空乏層領域削減

B. ゲート膜薄膜化 → 今後とも重要

ゲート電界増大

→チャネル電位制御性増強

もうひとつ(付録参照)

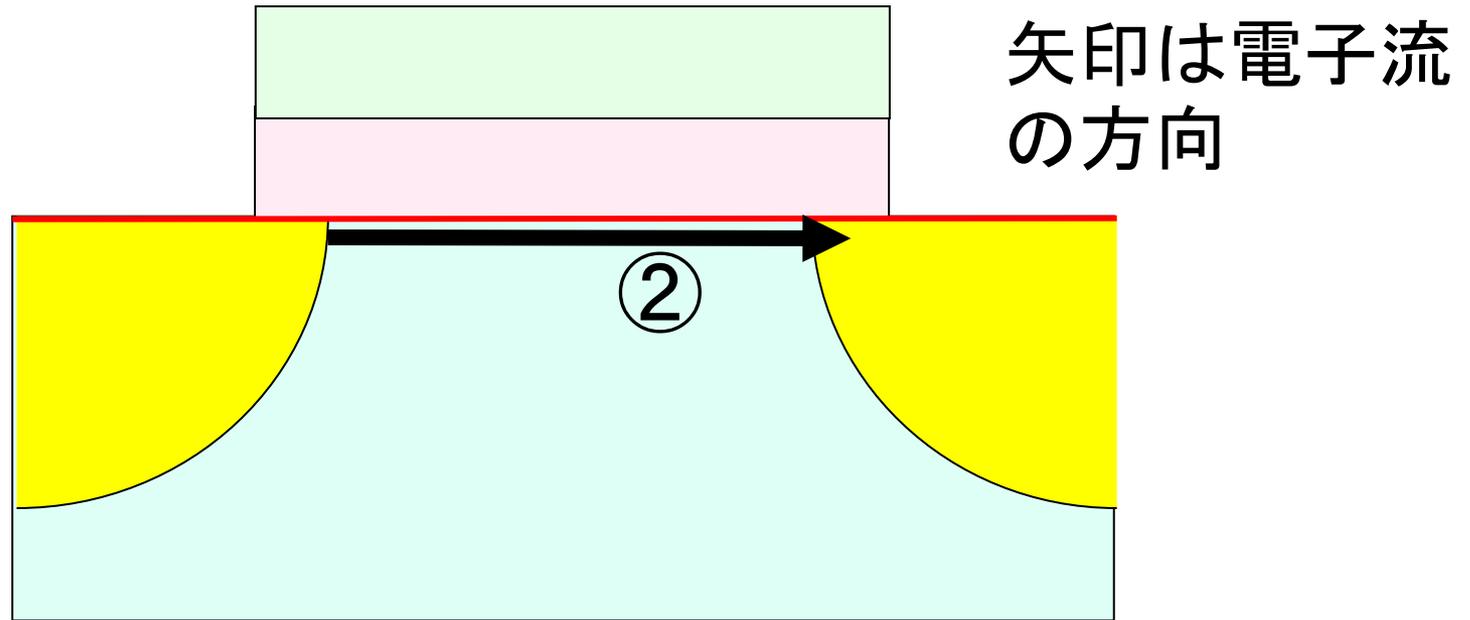
C. ゲート/チャネル構造変換 → 最近(22nmから)

Fin FET, FD(Fully Depleted) SOI等

→チャネル電位制御性増強

- ・B, Cの組み合わせに若干Aを加えることによって原理的にはゲート長数nmまではOK(シミュレーション)
- ・B, Cの技術開発の成否がカギ

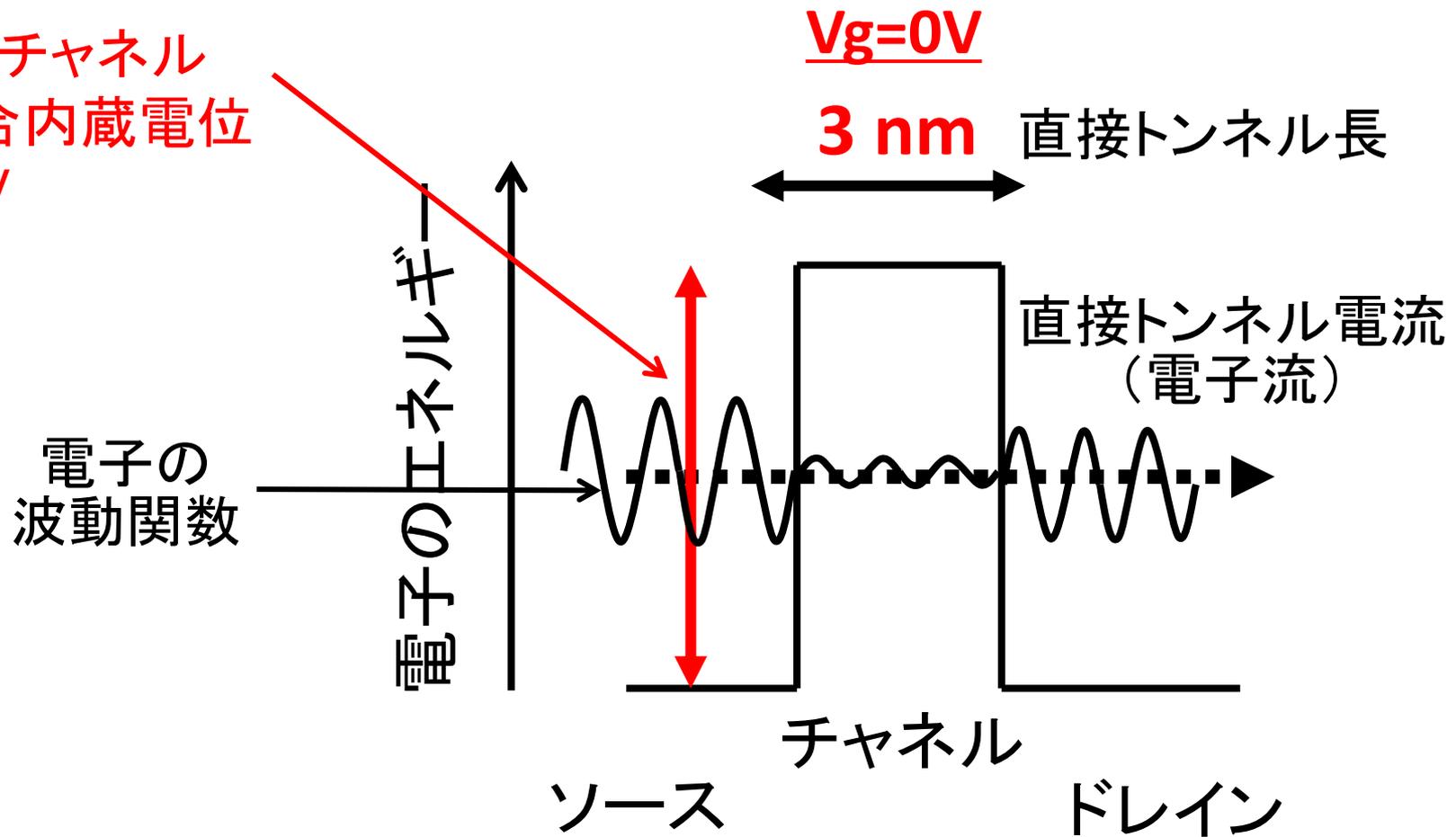
1. オフ時のリーク電流



②. 直接トンネル電流

量子力学的現象

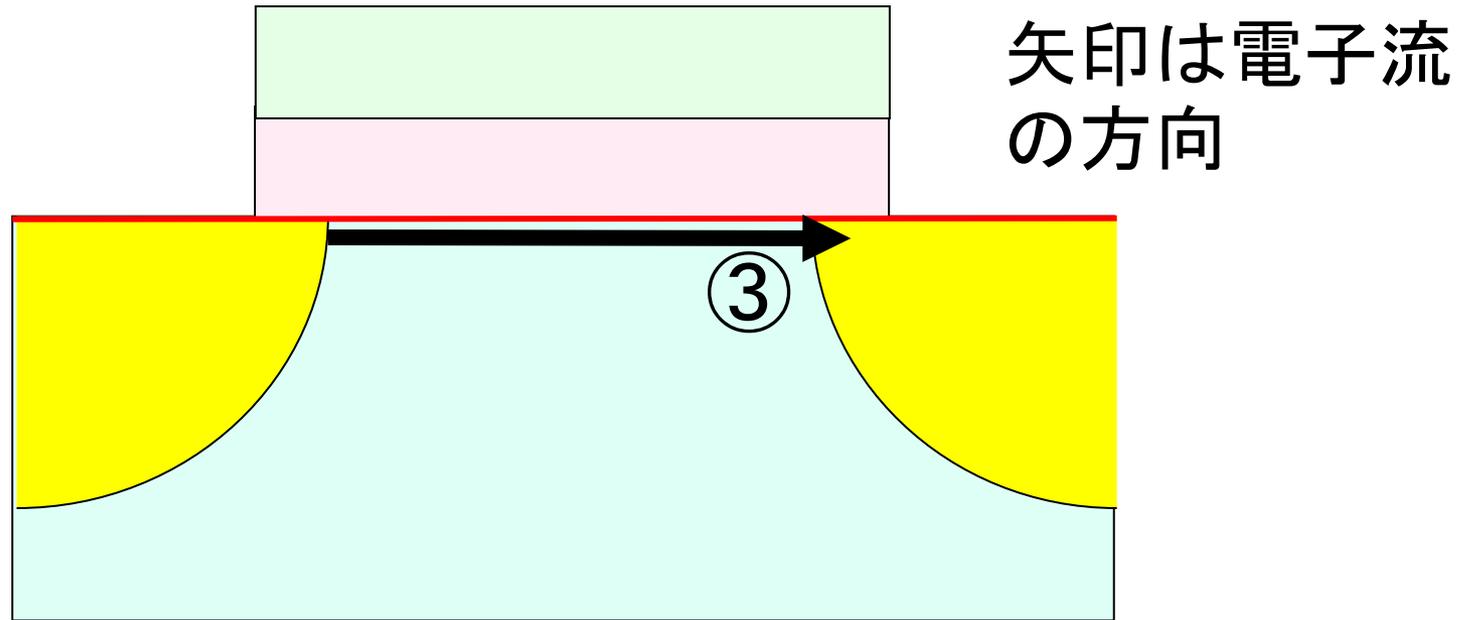
ソース/チャネル
pn 接合内蔵電位
< 0.7 V



$L_g < 3 \text{ nm}$ でもトランジスタ動作するがリーク電流過大

- ・材料を変えれば内蔵電位は多少変わるが物理現象であり、根本的解は無い!
- ・微細化の原理的限界 $L_g \approx 3 \text{ nm}$

1. オフ時のリーク電流



③. サブスレッシュホールド電流

スレッシュホールド:しきい値

しきい値以下の領域のリーク電流

サブスレッシユホールド電流(付録参照)

$$I_{\text{off}} \propto \exp(\phi_s/kT) = \exp(V_g/mkT)$$

V_g の指数関数

$$m = 1 + C_D/C_{\text{ox}}$$

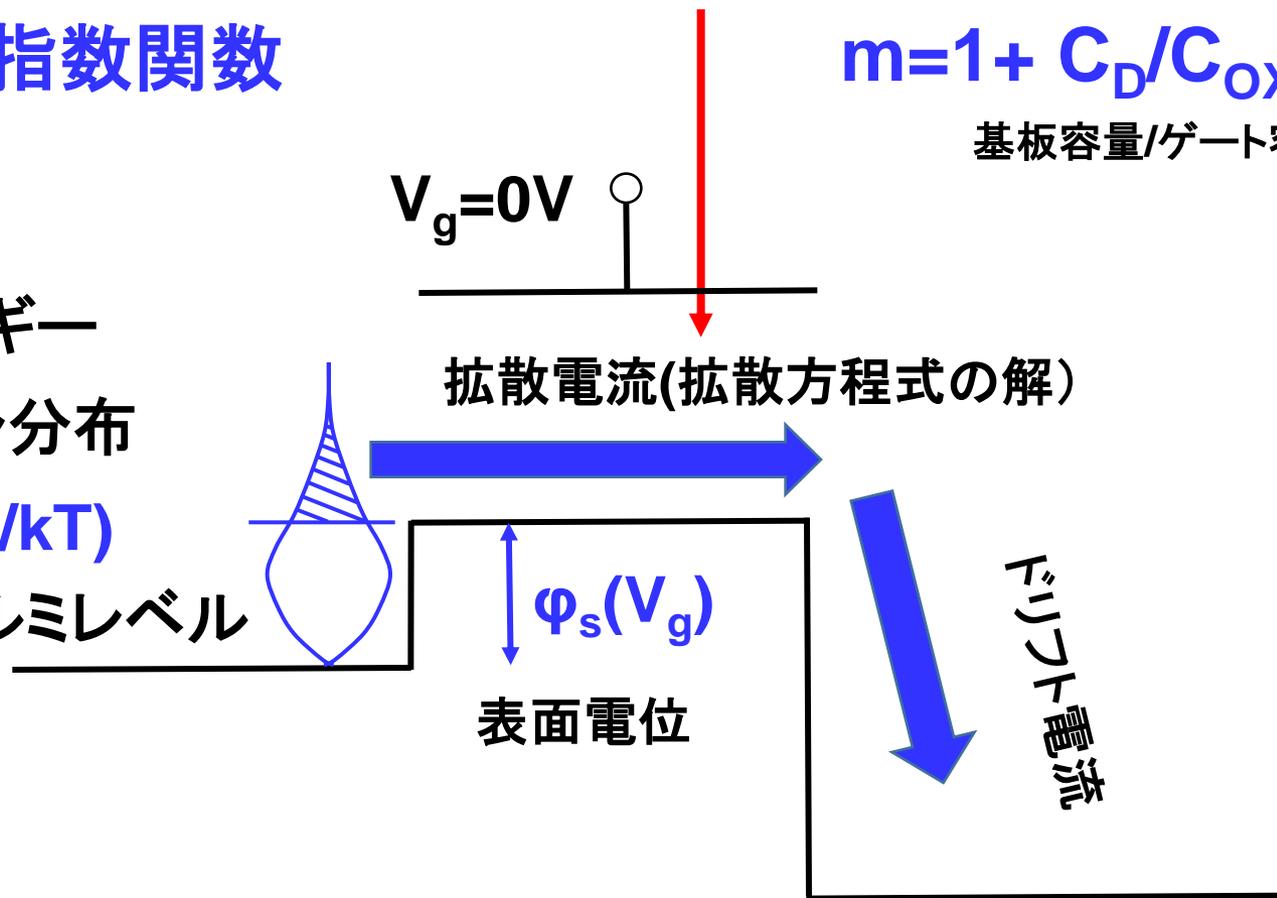
基板容量/ゲート容量

電子エネルギー

ボルツマン分布

$$n \propto \exp(\phi_f/kT)$$

ϕ_f :フェルミレベル

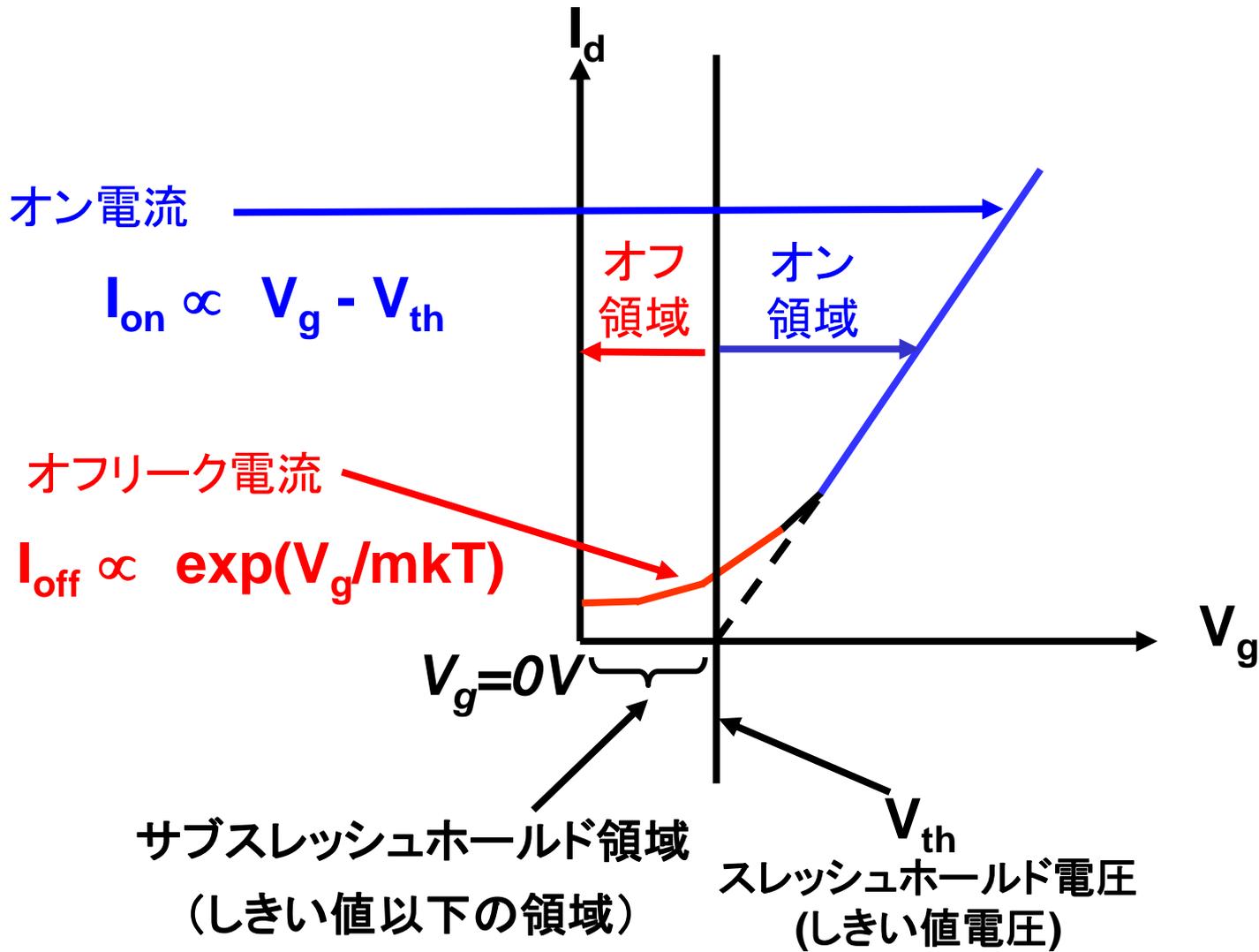


n-Si
ソース

p-Si
チャネル

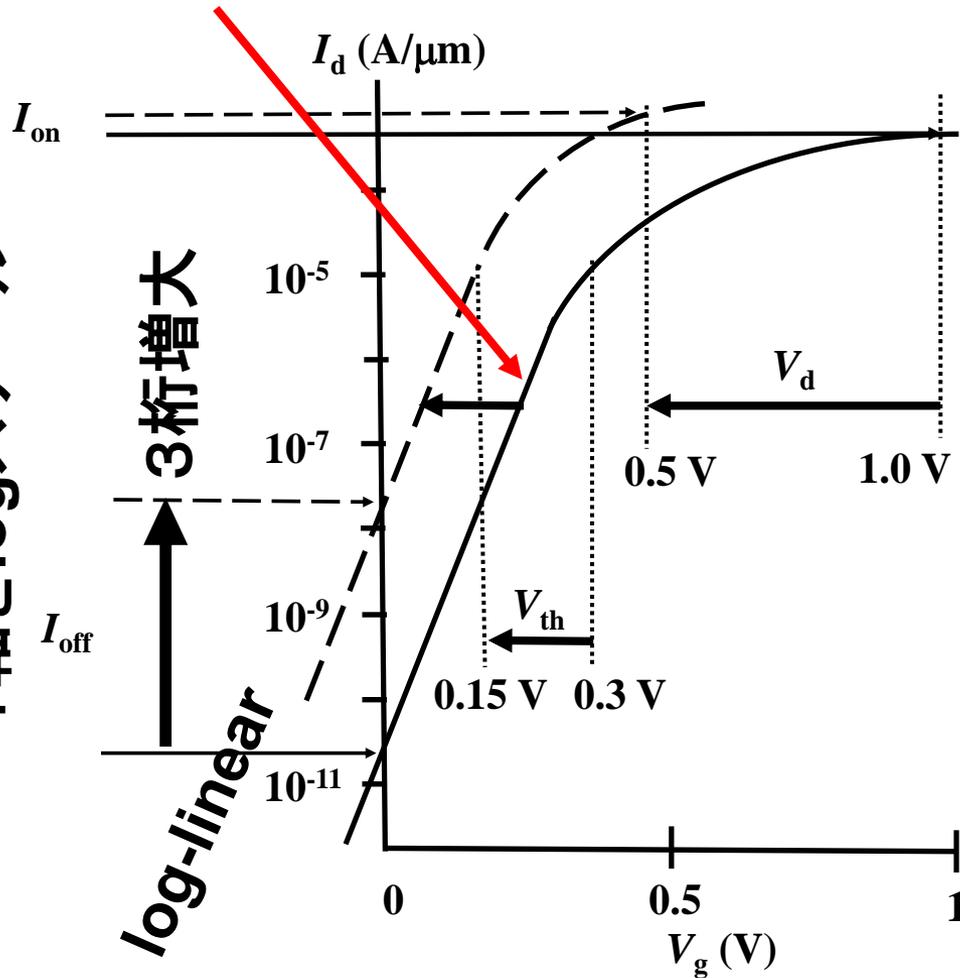
n-Si
ドレイン

サブスレッシユホールド電流



$$I_{\text{off}} \propto \exp(\phi_s/kT) = \exp(V_g/mkT)$$

Y軸をlogスケール

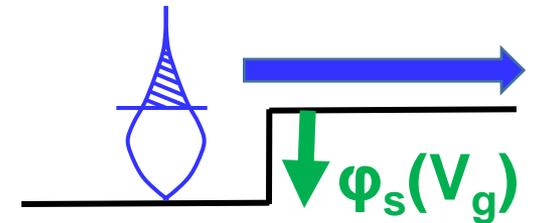


スケーリング

寸法と電圧を1/2に

$$L_g \rightarrow 1/2 \quad V_d, V_g \rightarrow 1/2$$

$$V_{\text{th}} \rightarrow 1/2 \quad (\phi_s \text{を下げること})$$

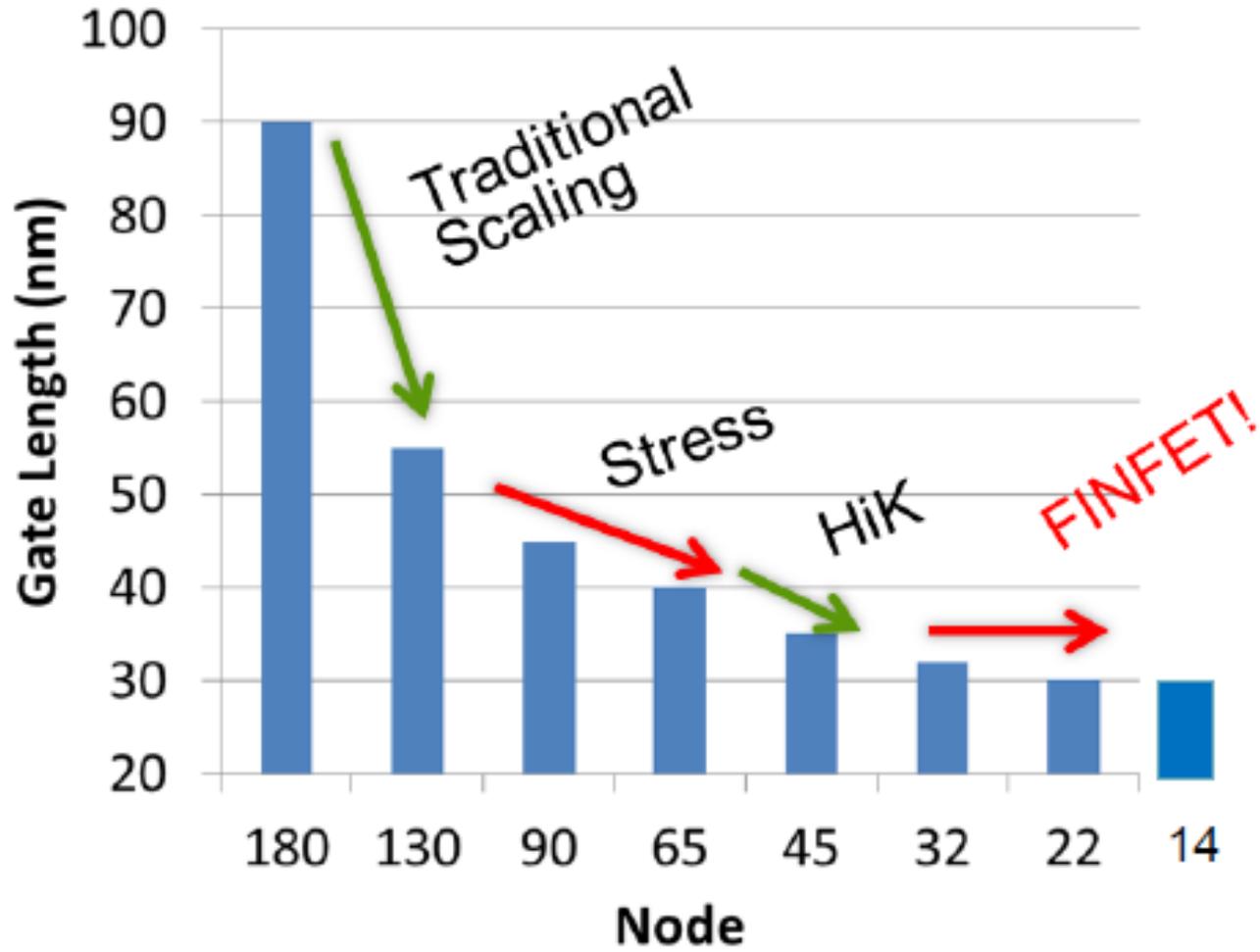


ϕ_s が下がり

$$I_{\text{off}} \rightarrow 10^3 \text{と極端に増加}$$

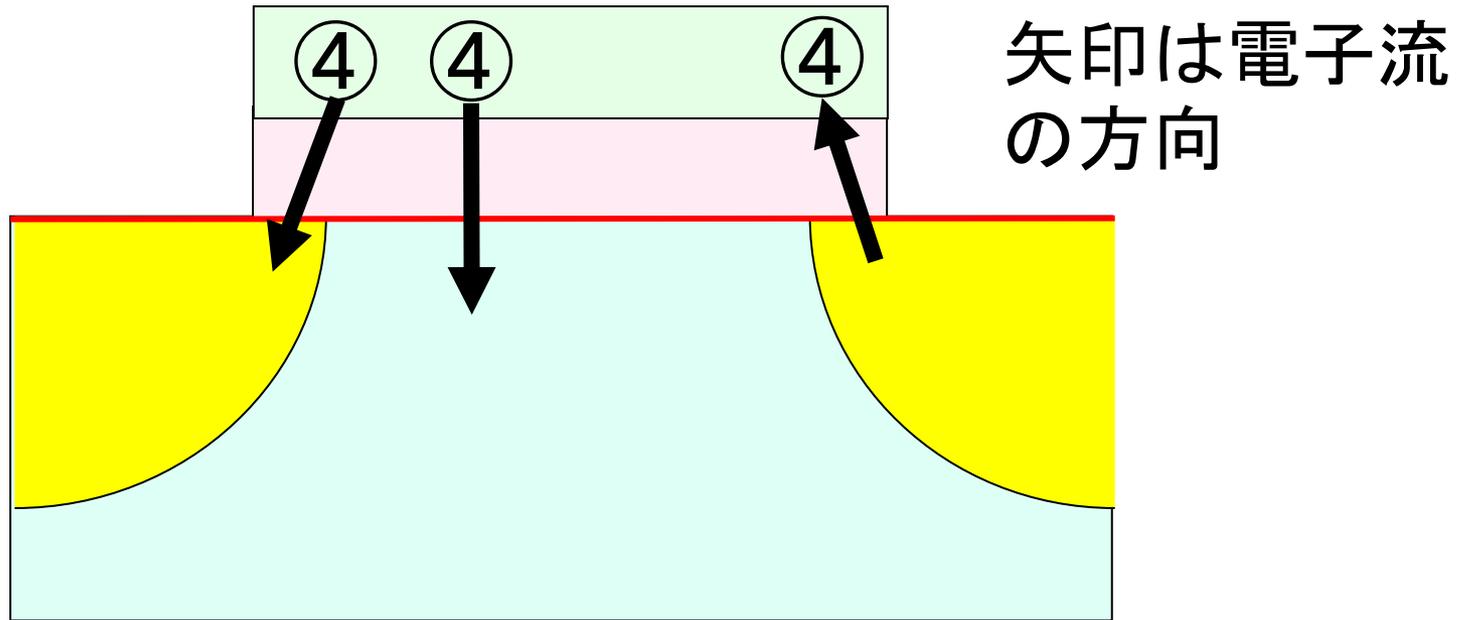
- ・サブスレッシュホールド電流は微細化にとって最大の問題
- ・アプリに依るが、 $L_g=25\sim 10\text{nm}$ 位に限界ありそう
- ・場合によってはもっと手前で

実際ゲート長の微細化はSub-30 nmで飽和傾向？



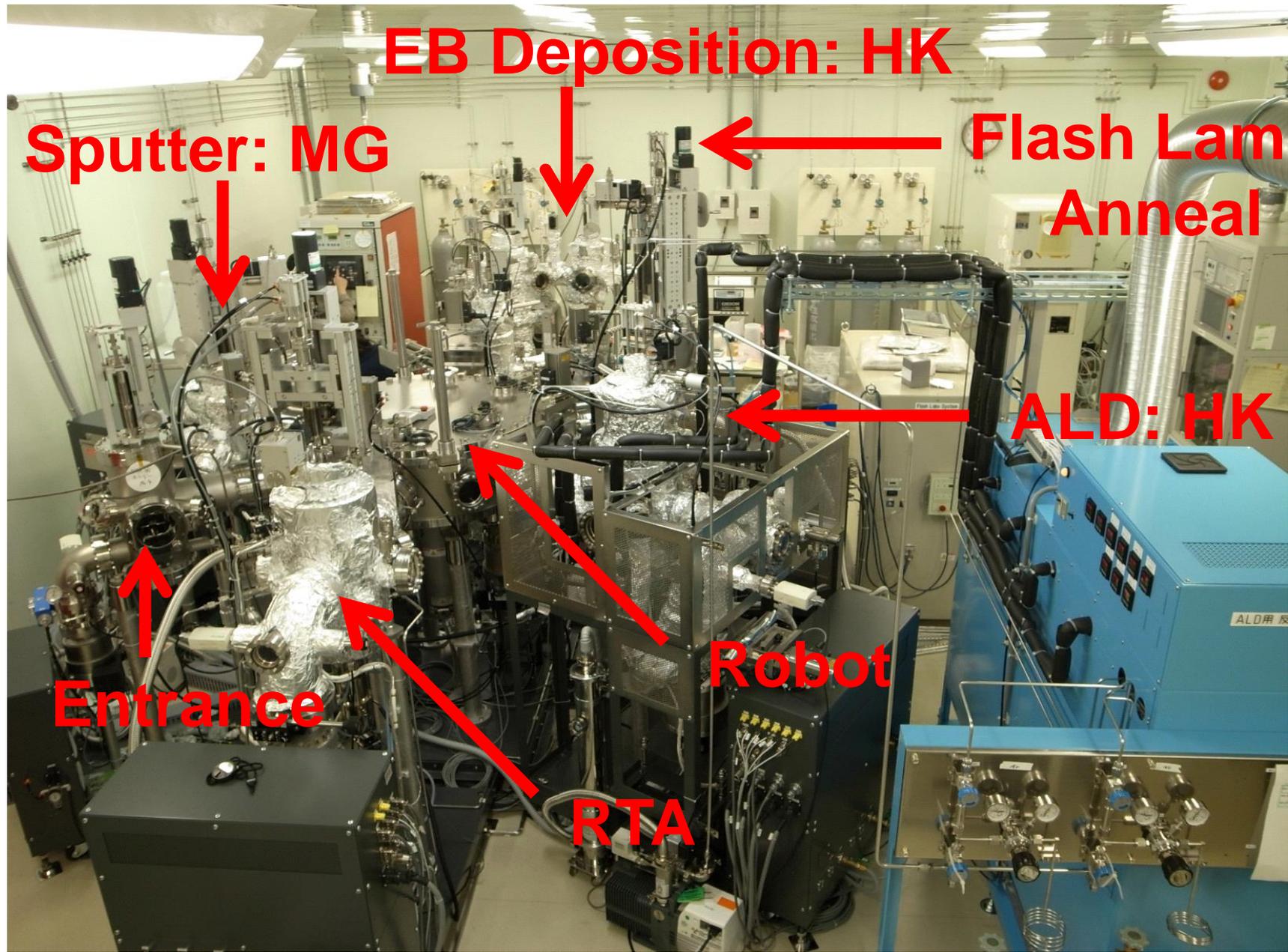
Scott Thompson, Tutorial IEDM 2015

1. オフ時のリーク電流



④ ゲート絶縁膜リーク電流

クラスター装置による実験(東工大)

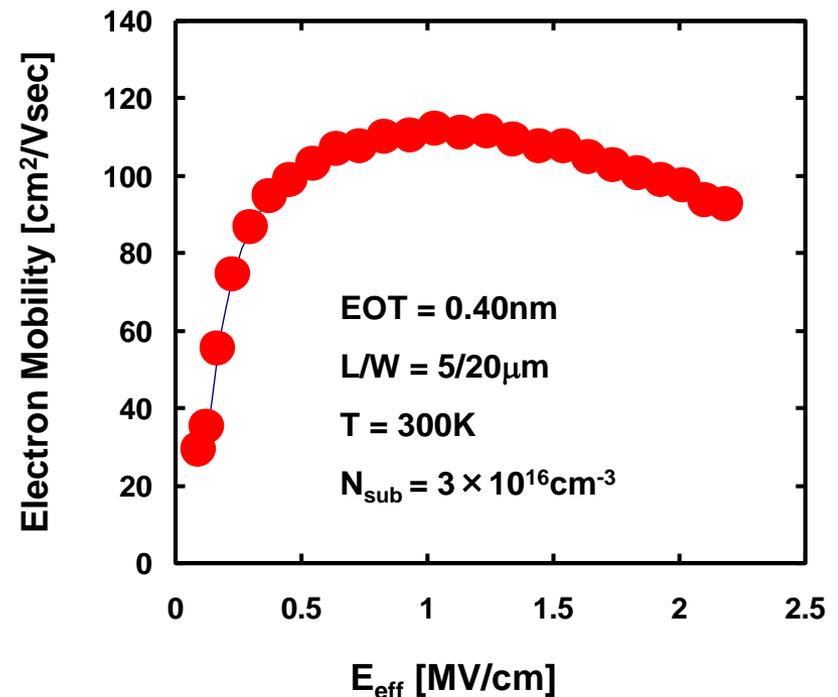
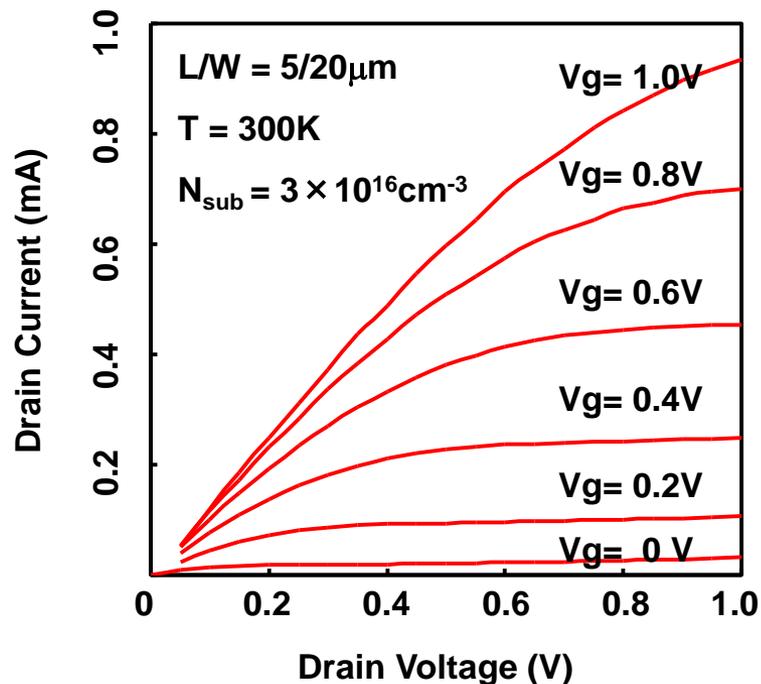


トランジスタ特性

ゲート電極: W

ゲート絶縁膜: La silicate ($\text{La}_x\text{Si}_y\text{O}_z$)

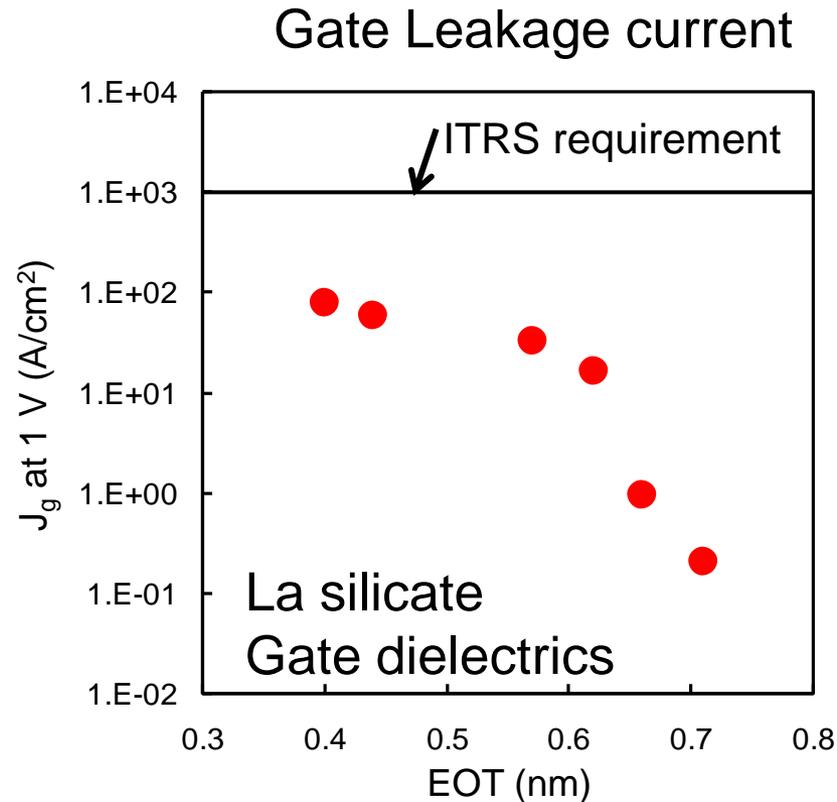
SiO_2 換算膜厚 (EOT) = 0.40nm



ゲート絶縁膜リーク電流

EOT=0.4 nm (Lg=5nm対応)でも

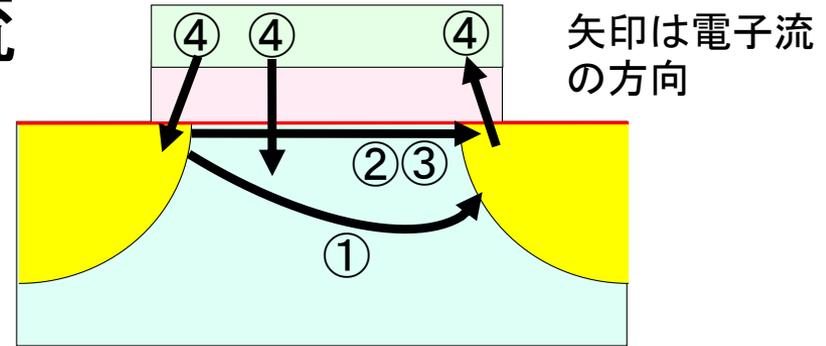
ロードマップの許容電流より1桁小さい



信頼性は別だが、ゲートリークはLg=5nmの世代までOKと思われる

1. オフ時のリーク電流

サブスレッシュホールド電流が
微細化限界を決める



①. パンチスルー電流 限界 $L_g = \text{数 nm}$

解: Fin FET, ナノワイヤFETの導入とゲート絶縁膜薄膜化

②. 直接トンネル電流 限界 $L_g = 3 \text{ nm}$

解: 無し

③. サブスレッシュホールド電流 限界 $L_g = 25 \sim 10 \text{ nm} ?$

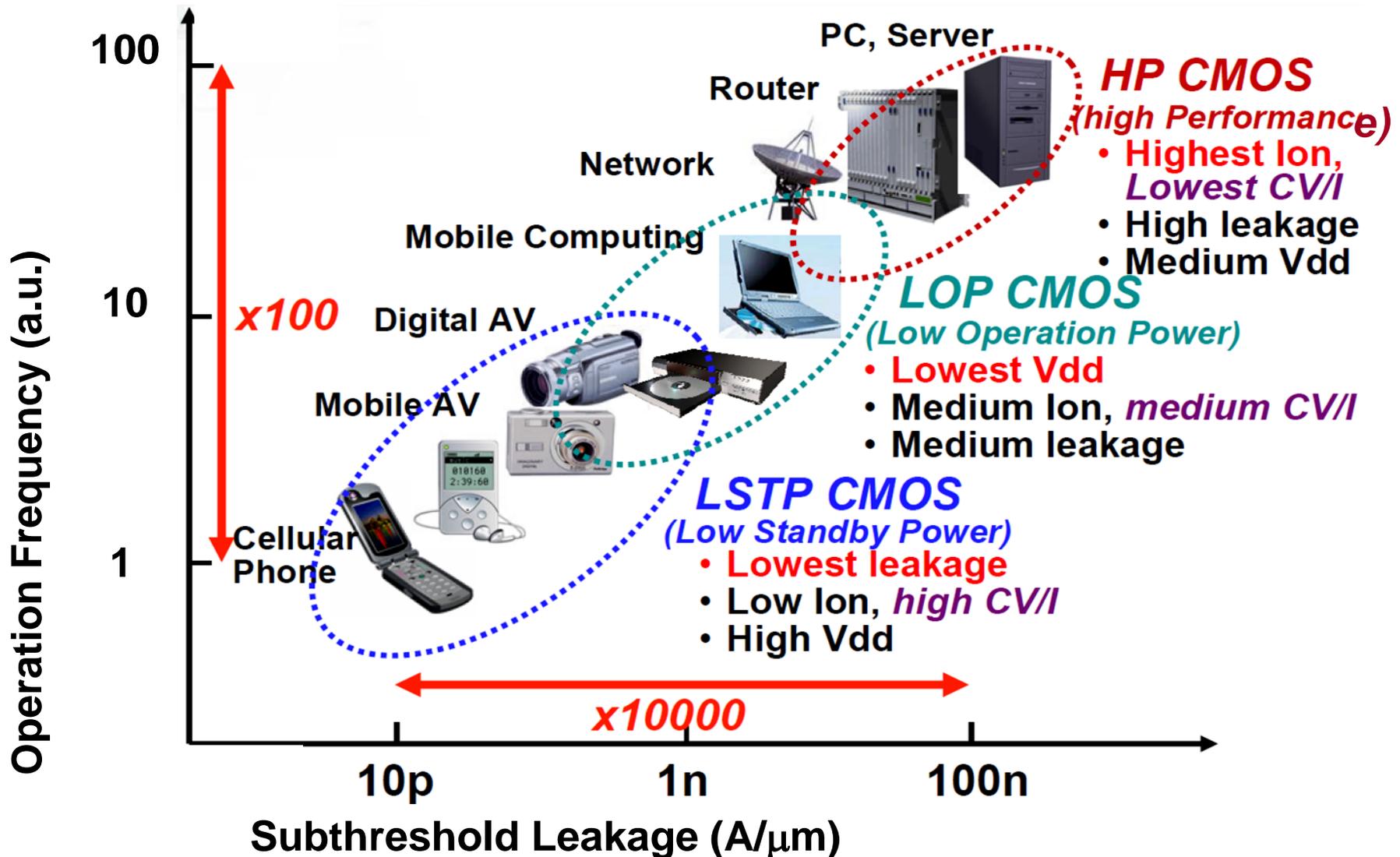
解: V_{th} をできるだけ高く保つ (しかし電源電圧も下げれない)

④. ゲート絶縁膜リーク電流 限界 $L_g = 5 \text{ nm}$

解: より高い誘電率を持つ膜の導入

微細化限界はアプリで異なる

オフリークの抑制と高性能化のトレードオフ



実用的な限界は？

微細化を止める要因

2. ソース・ドレイン間のオンの電流の減少

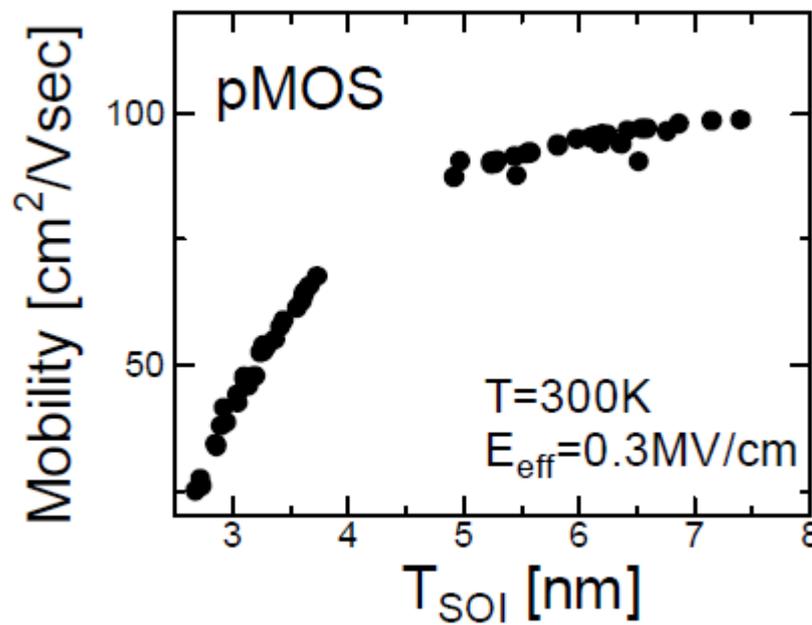
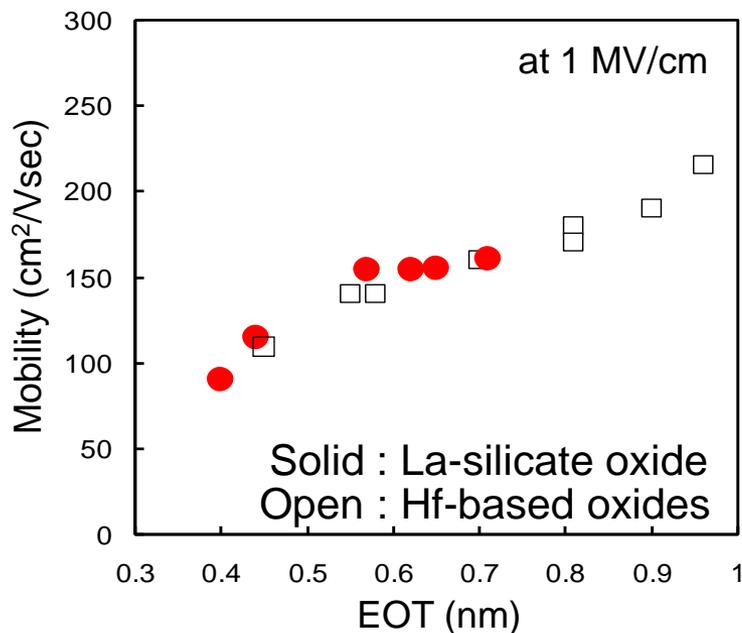
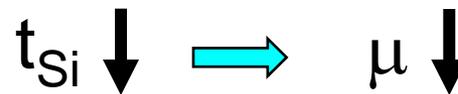
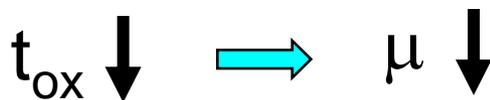
移動度の劣化

キャリア密度の減少

ゲート酸化膜厚 (t_{ox}) とシリコン膜厚 (t_{Si}) を小さくすると移動度が大幅に劣化.

ITRS 2013

Year	2013	2015	2017	2019	2021	2023	2025	2027
EOT (nm)	0.80	0.73	0.67	0.61	0.56	0.51	0.47	0.43
T_{Si} (nm)	7.4	6.1	5.1	4.3	3.6	3.0	2.5	2.0



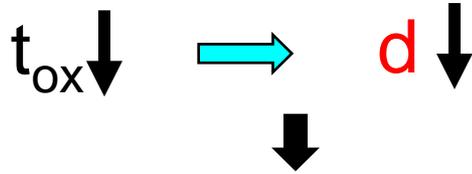
T. Kawanago, et al., (Tokyo Tech.) T-ED, 2012

K. Uchida et al., pp.47, IEDM2002 (Toshiba)

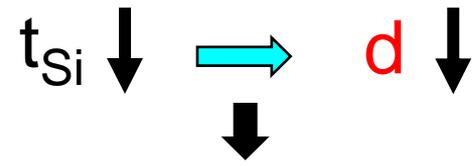
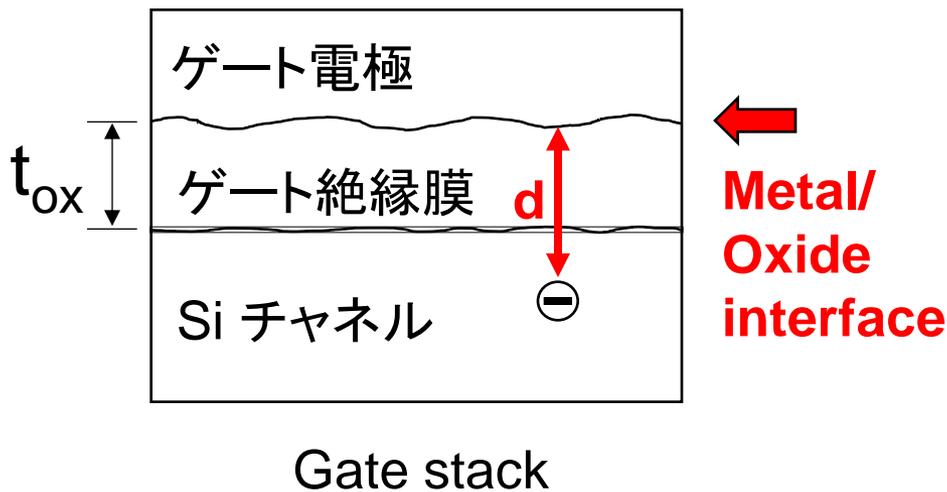
L.-Å. Ragnarsson, et al., (IMEC) Microelectron. Eng., 2011.

T. Ando, et al., (IBM) IEDM 2009

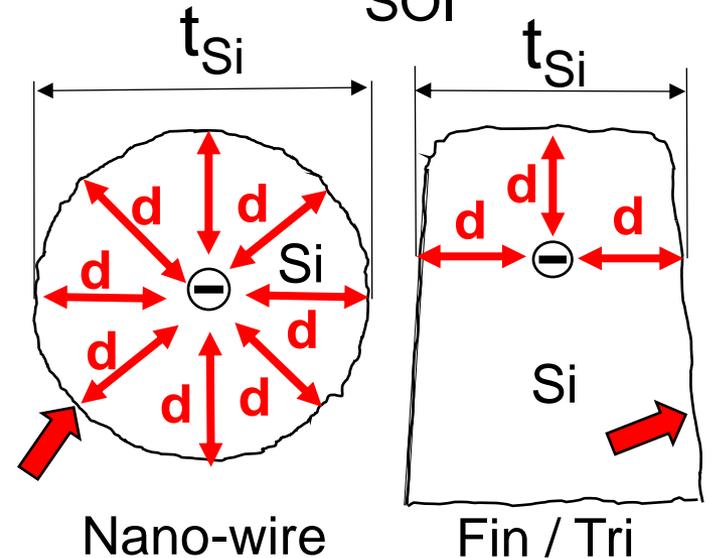
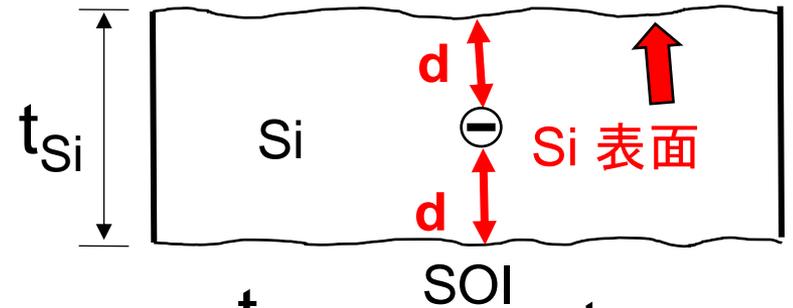
μ (移動度) の劣化



第2の界面(ゲート絶縁膜/メタル界面)でのチャネルキャリア(電子)の散乱がゲート絶縁膜の薄膜化に伴い増大



Si 表面でのチャネルキャリア(電子)の散乱がシリコン膜厚の減少に連れて増大



キャリア密度の低下

ITRS 2013

Year

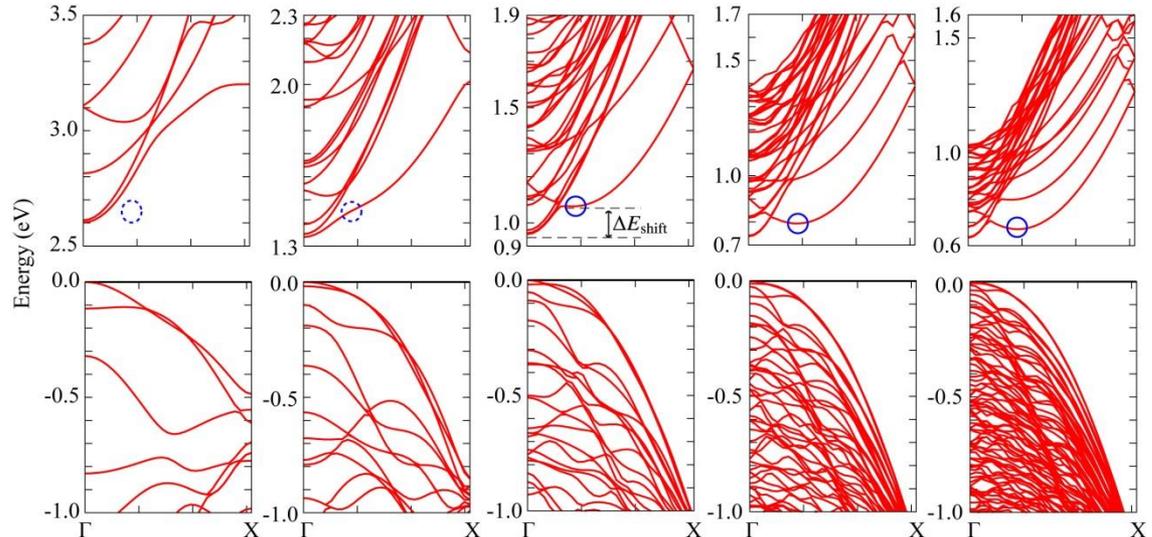
2013 2015 2017 2019 2021 2023 2025 2027

T_{Si} (nm)

7.4 6.1 5.1 4.3 3.6 3.0 2.5 2.0



Diameter 1 nm 2 nm 3 nm 4 nm 6 nm



Si nanowire
band structure

実用的な限界は？

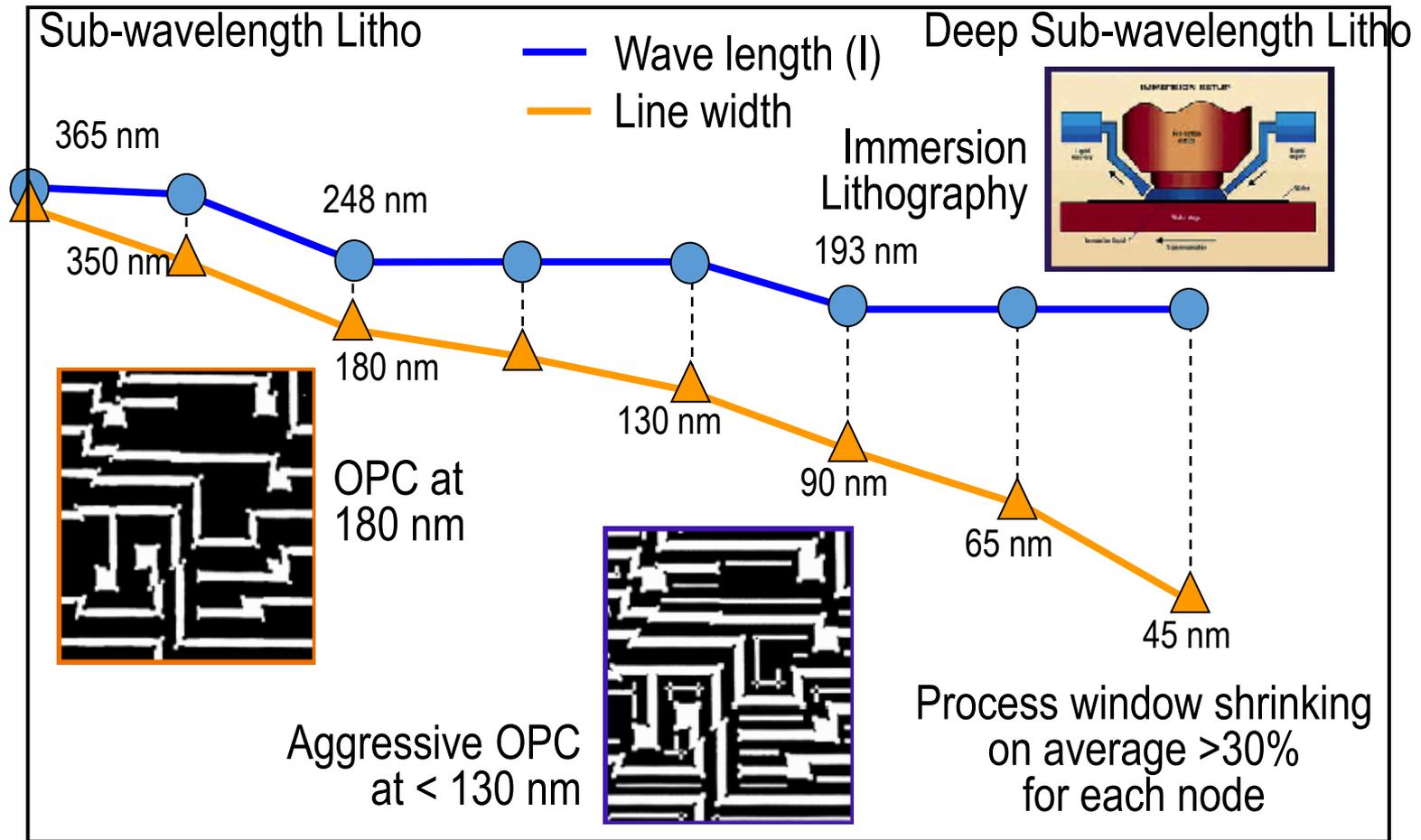
微細化を止める要因

3. リソのコストの増大

様々な技術を用い光の波長よりも細かいパターンを露光

→ リソのコスト増大

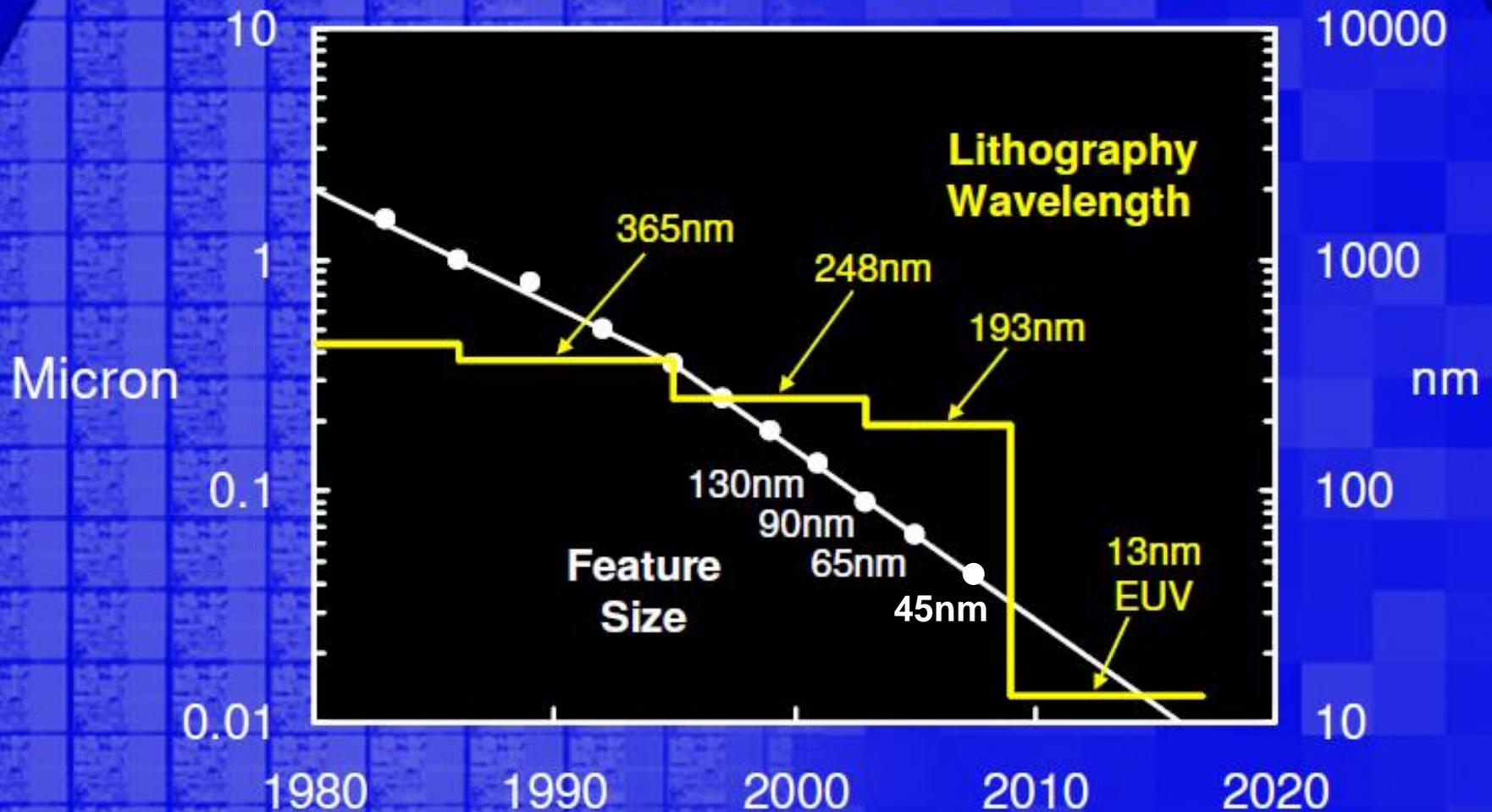
例えば液浸(Immersion)



PROCESS CONTROL: THE INVESTMENT THAT YIELDS

Ref:KLA Tencor

Lithography Challenge



Minimum feature size is scaling faster than lithography wavelength

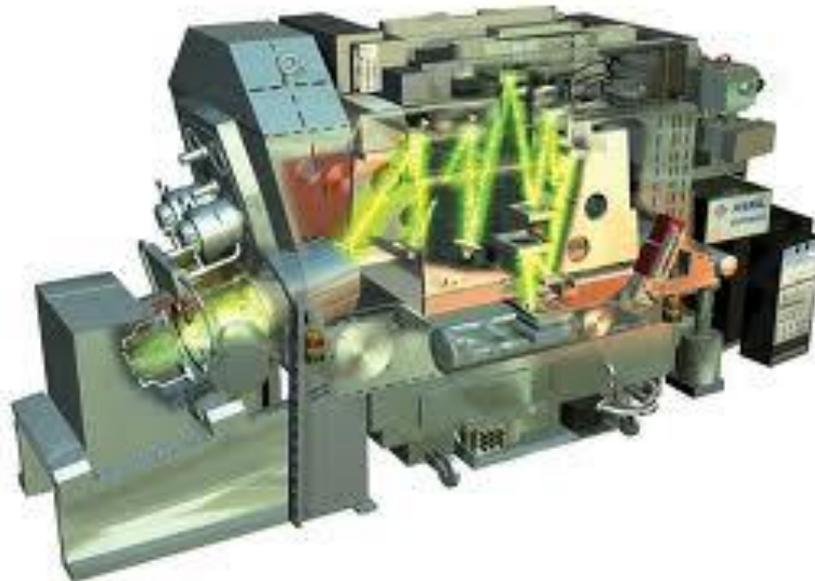
EUV (Extreme Ultra Violet) 露光

遠紫外線すなわち軟X線光源

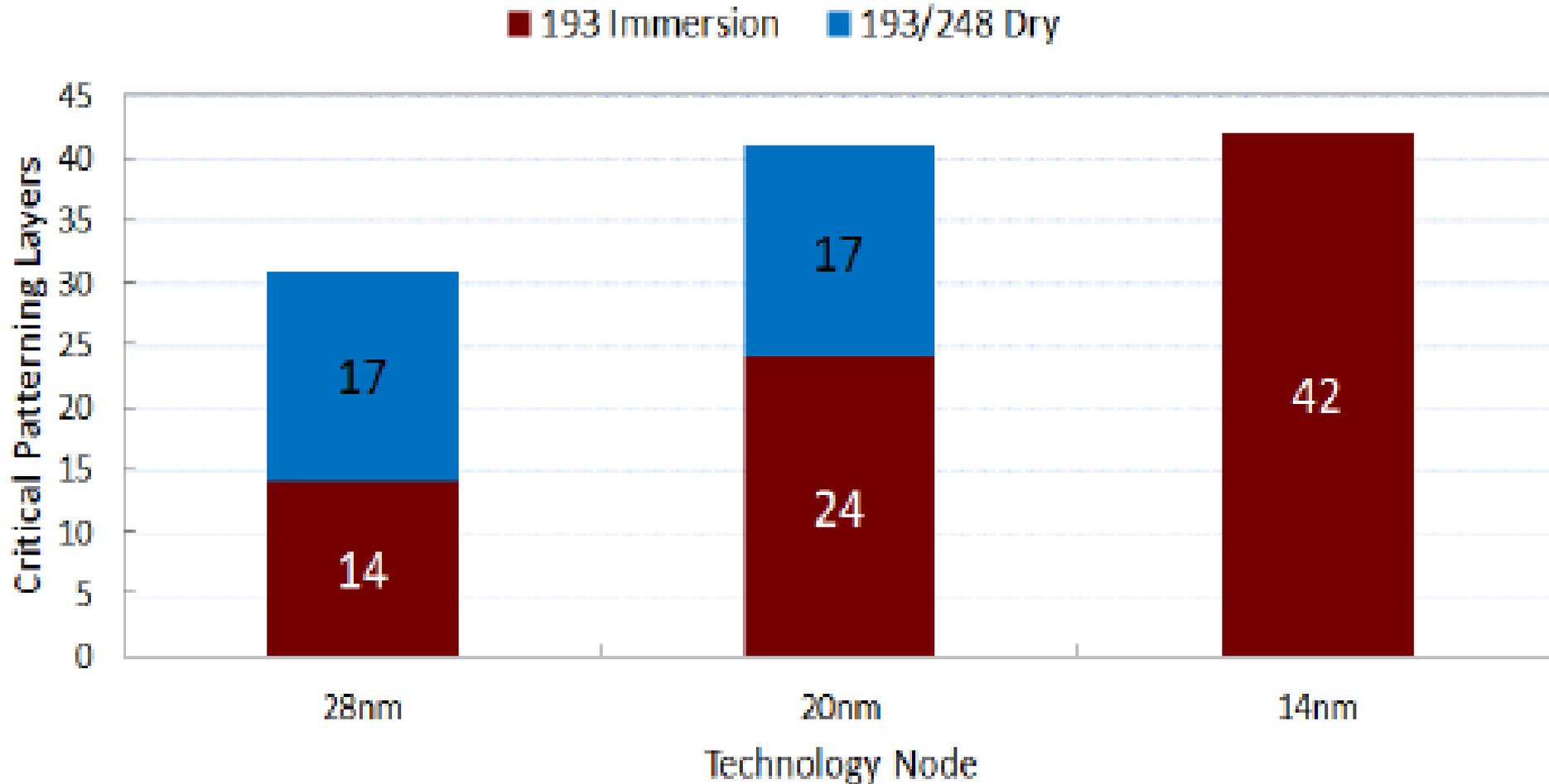
量産用露光機の開発大幅に遅延

光の照度不足→露光に時間を要する
7 nm技術の第2世代頃に完成？

高額: 1台100億円

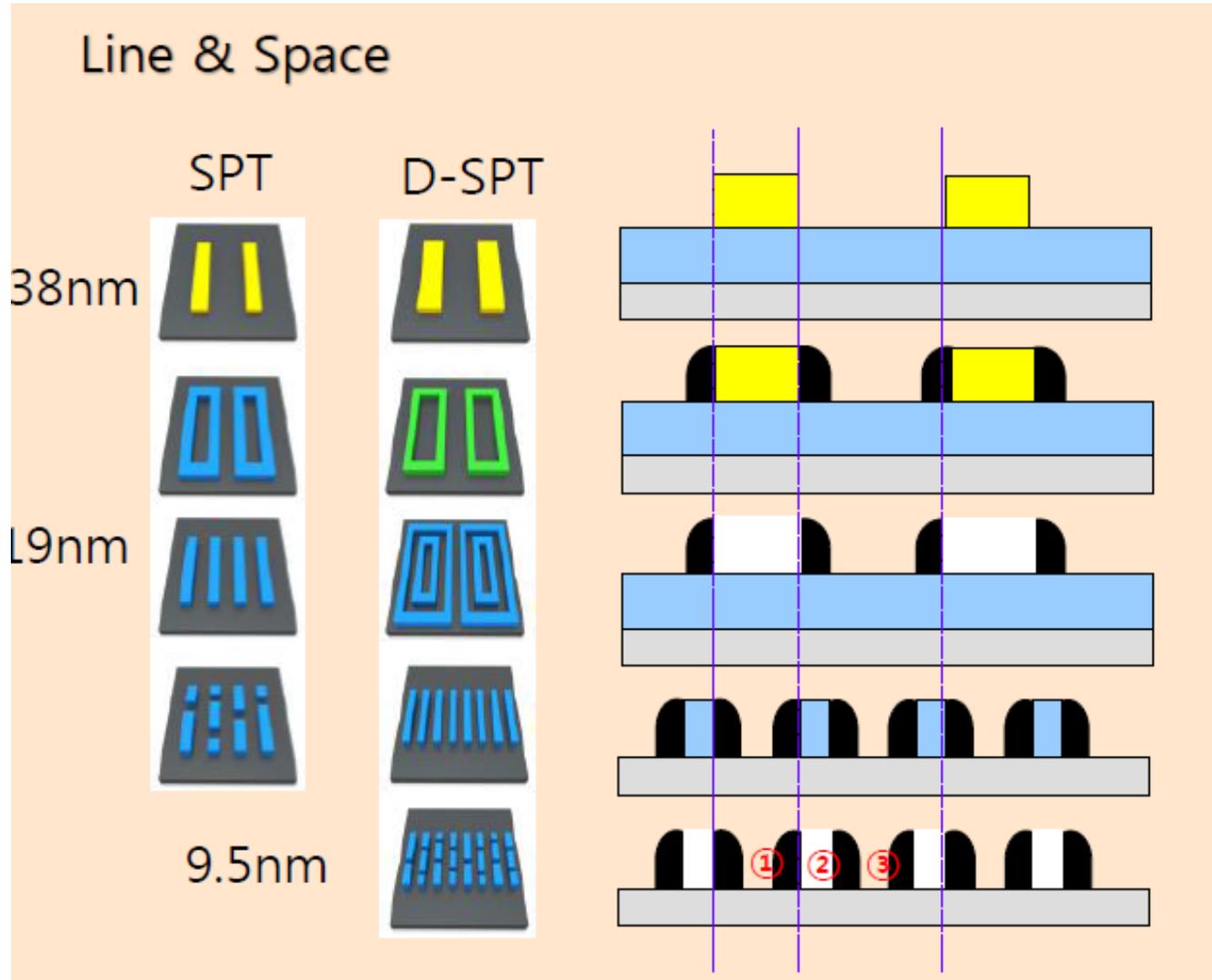


リソの回数増大: 液浸(Immersion)リソの増大



Scott Thompson, Tutorial IEDM 2015

2回、3回リソにより線幅を1/2や1/4を→コスト増

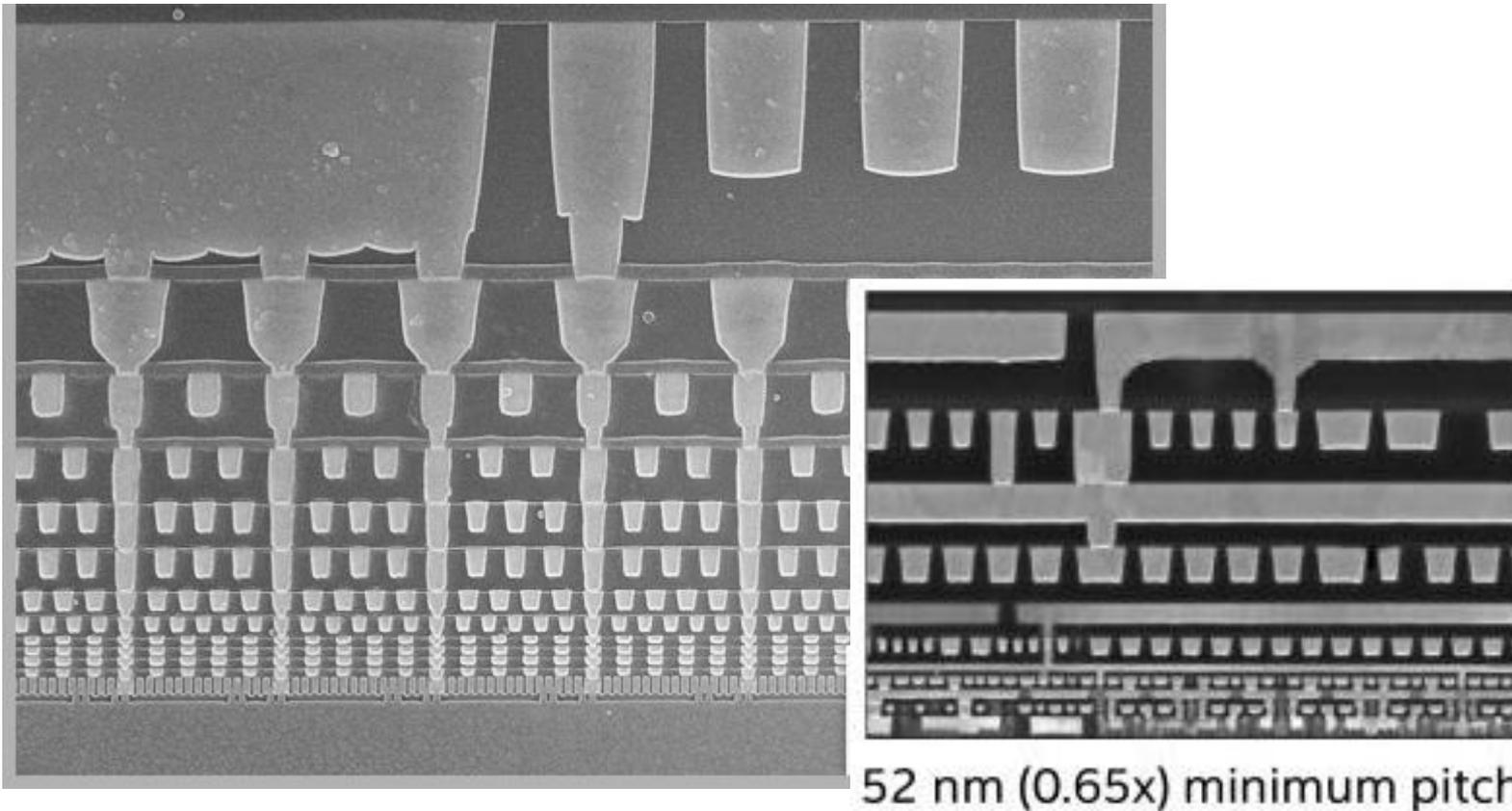


Changyeol Lee, Short Course IEDM 2015

多層配線のリソのコスト増大

Intel 14nm SOC技術 Symp on VLSI Tech. 2014

最小線幅; 26 nm Half Pitch



実用的な限界は？

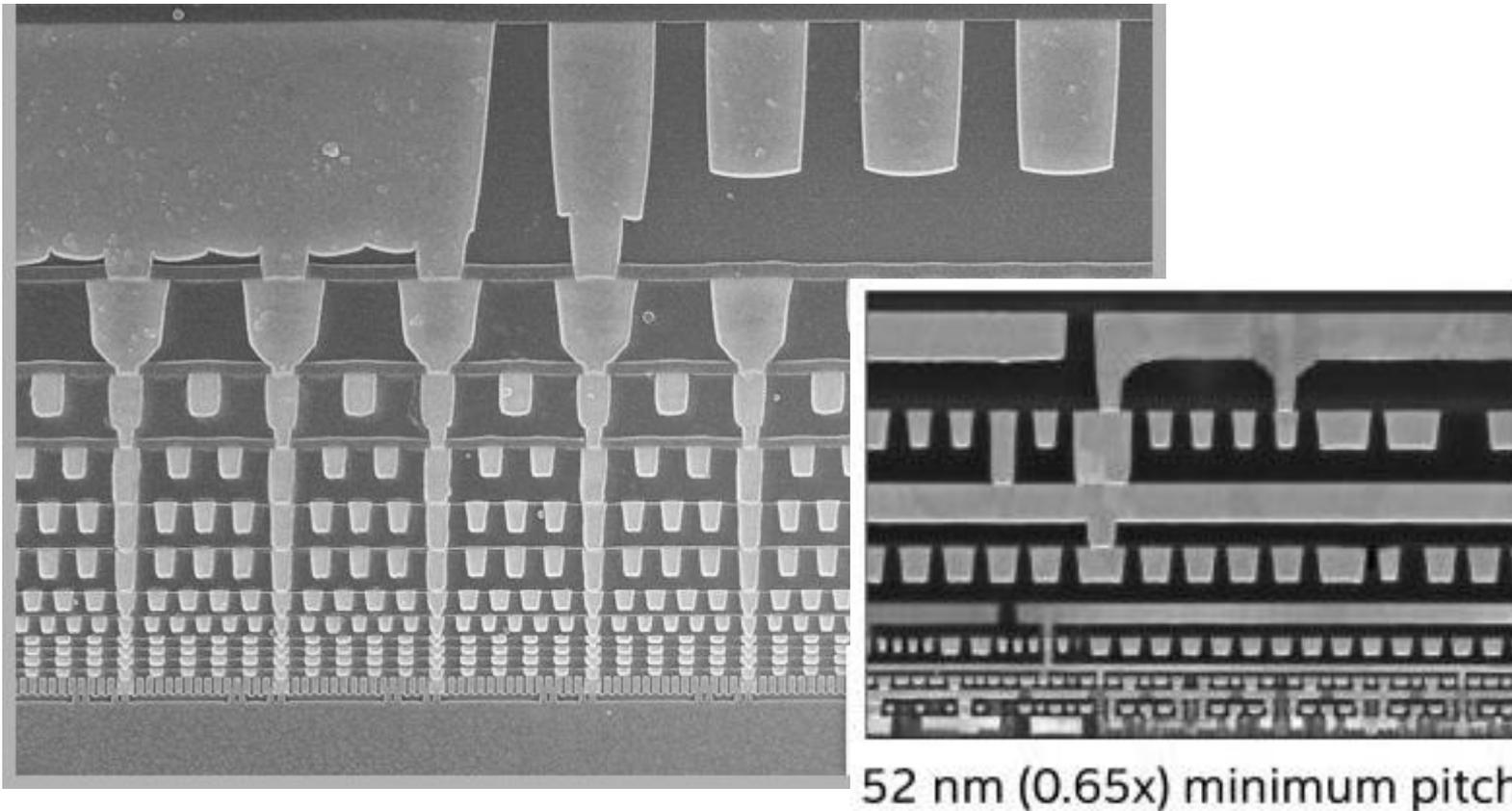
微細化を止める要因

4. 配線抵抗、配線間容量の増大

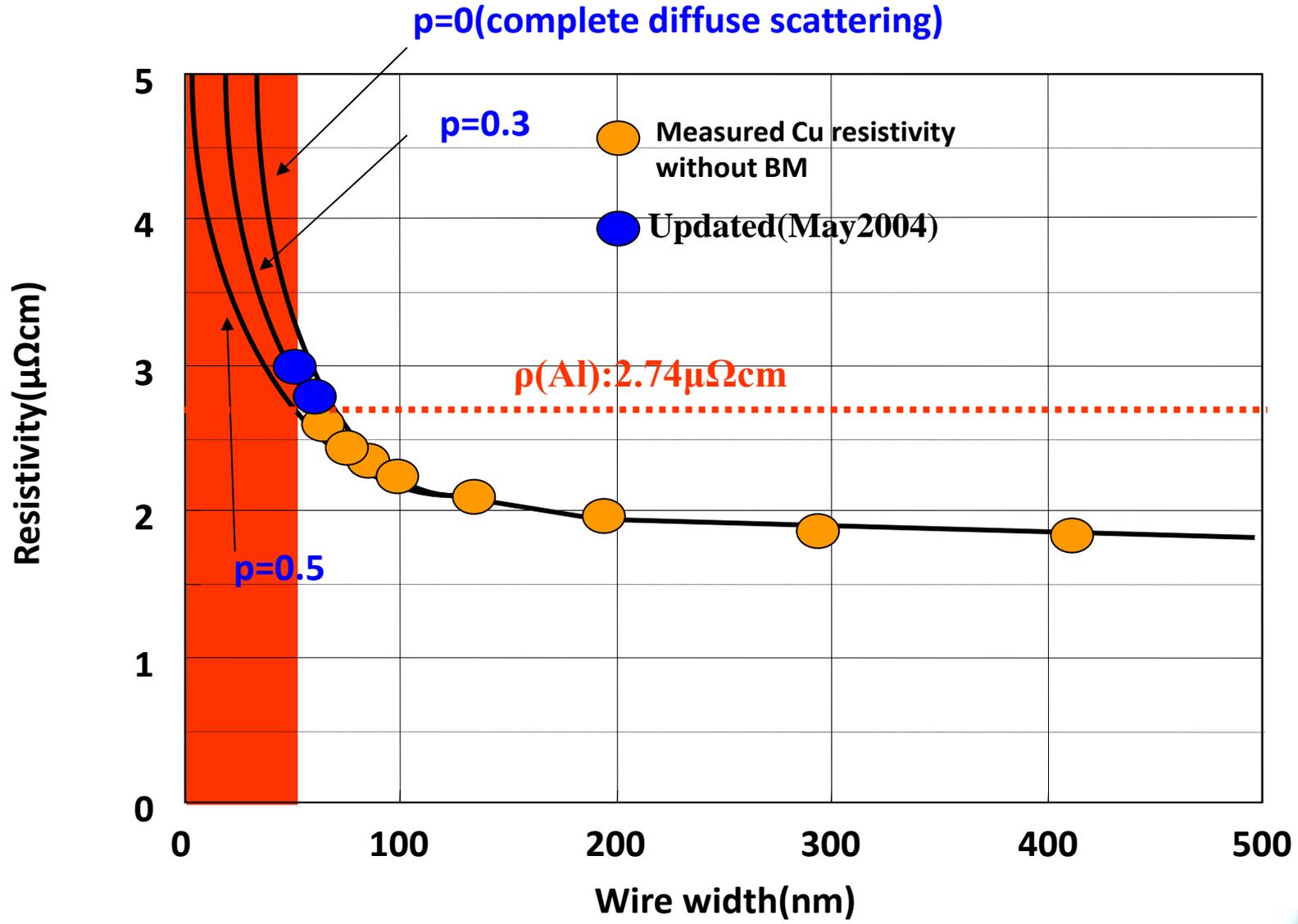
多層配線のリソのコスト増大

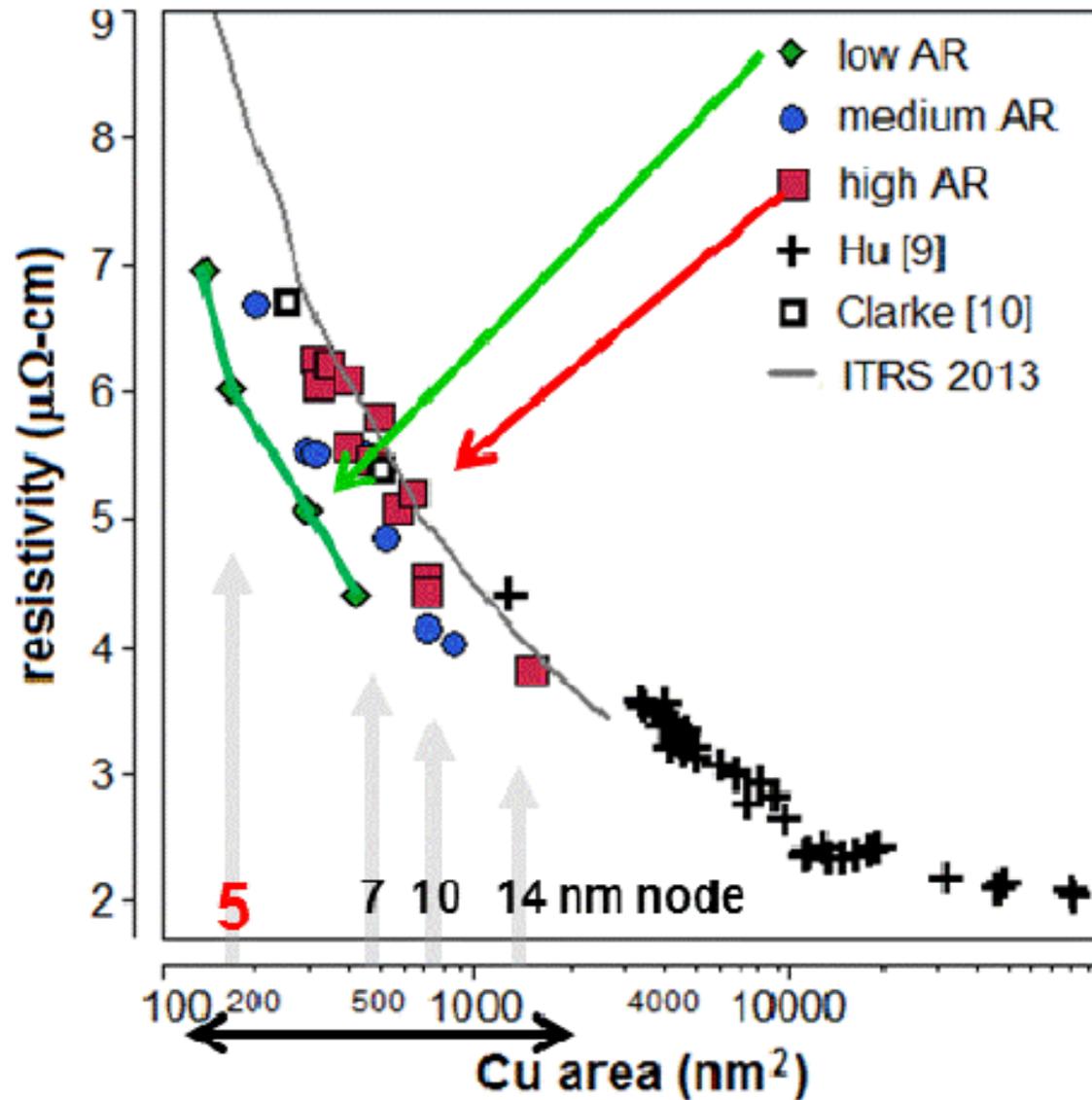
Intel 14nm SOC技術 Symp on VLSI Tech. 2014

最小線幅; 26 nm Half Pitch



Cu Wire Resistivity Increase by Electron-scattering Effect





Takeshi Nogami, Short Course IEDM 2015

実用的な限界は？

微細化を止める要因

5. ばらつき、歩留まり、信頼性の劣化

ばらつき： ゲート長

不純物濃度(ドナ、アクセプタ)

歩留まり、信頼性の劣化：

ゲート絶縁膜

配線

今後10年先までの予想(2016~2025)

素子の微細化限界はどこか？

素子の微細化限界は間も無く確実に来る

ピコテクノロジーは有り得ない。 物理寸法

- ・究極の限界: 原子間距離 $\sim 0.3 \text{ nm}$
- ・原理的限界: トンネル長 $\sim 3 \text{ nm}$
- ・実用的限界: 微細化デメリット $25 \sim 10 \text{ nm}$

1. ソース・ドレイン間のオフのリーク電流の増大
2. ソース・ドレイン間のオンの電流の減少
3. リソのコストの増大
4. 配線抵抗、配線間容量の増大
5. ばらつき、歩留まり、信頼性の劣化

この辺に
限界??

	2014	2016	2018/19?	202X??	202X??
技術名	14 nm	10 nm	7 nm?	5 nm??	3.5 nm??

ITRS 2013に関して

1. 技術名と物理寸法 (HP, L_g) の間に大きな乖離

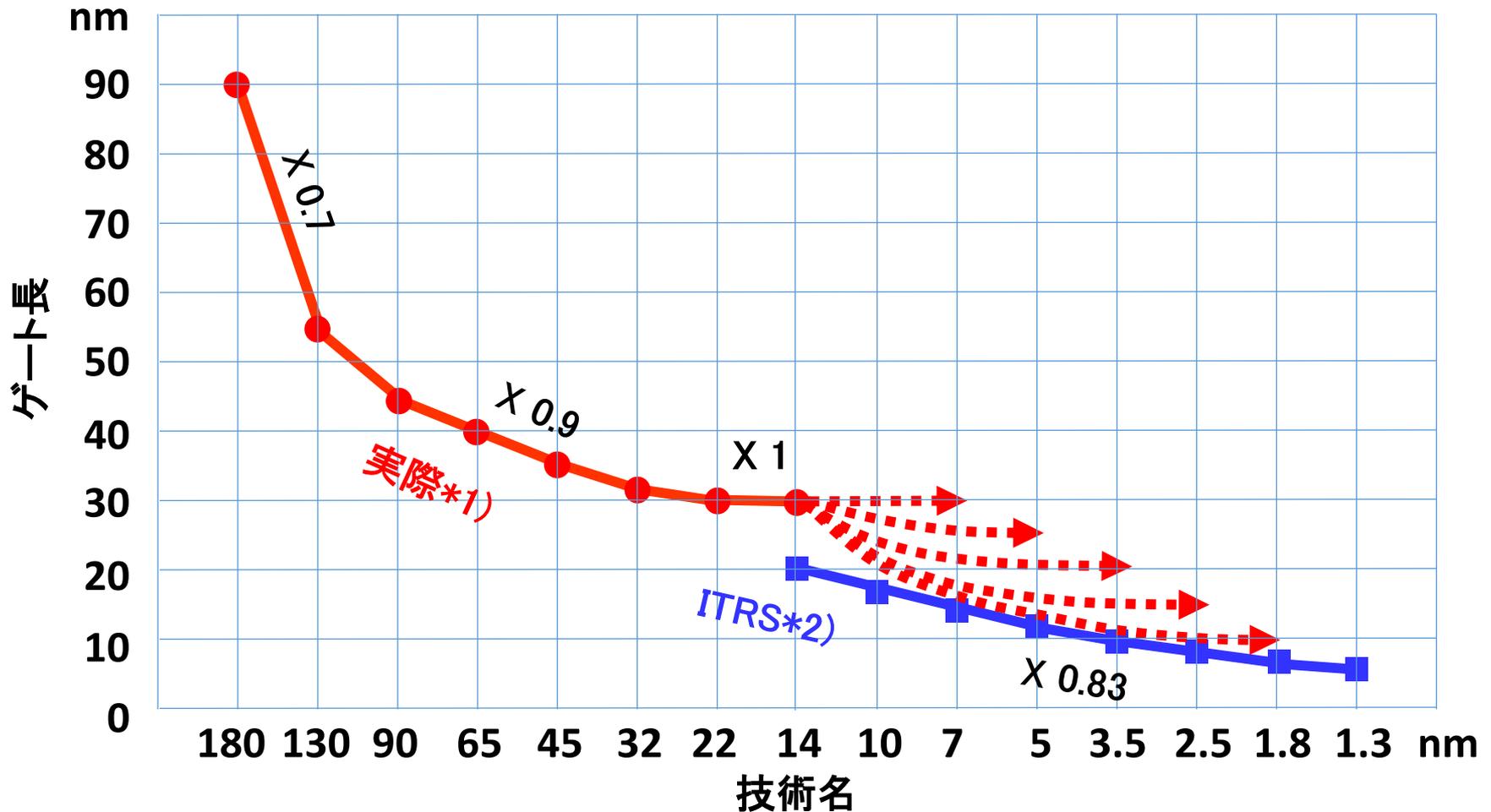
Year	2013	2015	2017	2019	2021	2023	2025	2027
技術名(nm)	14	10	7	5	3.5	2.5	1.8	1.3
HP (nm)	40	32	25.3	20	15.9	12.6	10	8
L _g (nm)	20.2	16.8	14.0	11.7	9.7	8.1	6.7	5.6

2. 物理パラメータの縮小率は既に0.8~0.96/2years

		Year 2013	Year 2027
技術名(nm)	X 0.70 / 2 years	14 (nm)	1.3 (nm)
HP(nm)	X 0.80 / 2 years	40 (nm)	8 (nm)
L _g (nm)	X 0.83 / 2 years	20.2 (nm)	5.6 (nm)
T _{Si} (nm)	X 0.84 / 2 years	0.86 (V)	0.65 (V)
EOT (nm)	X 0.91 / 2 years	0.80 (nm)	0.43 (nm)
V _{dd} (V)	X 0.96 / 2 years	7.4 (nm)	2.0 (nm)

状況証拠2

製品のゲート長の微細化は30 nmで飽和傾向？
2Xnm位までは行くのか？



*1) Scott Thompson, Tutorial IEDM 2015

*2) ITRS2013

5 nm技術の懸念点

技術(ノード)名と物理寸法との乖離が拡大。数字が全く無意味！

新たな世代に乗り換えるメリットを実感できるのか？

- ・性能/ワット、コスト/トランジスタがどの位向上するのか？
- ・物理パラメータの縮小率が更に後退するようだと、新たな世代としてのメリットを実感できるのか？
- ・主たる市場の携帯用でオフリークを抑制できるか？
- ・歩留まり、信頼性をタイムリーに向上させ量産開始できるのか？

市場がメリットを実感できる技術を開発できなくなった時点で微細化は終了、または当分の間休止(その後III-Vなどあるのか？)

メモリは既に微細化ではなく、3次元方向に延伸。しかしロジックは大幅に延伸することが難しい

新世代のデバイス開発の条件

機能当たりのコストの削減

- ← 基本的には**Mooreの法則**の継続の必要性
- ← 基本的には**素子微細化**の継続の必要性

機能当たりの消費電力の削減

- ← 基本的には**素子微細化**の継続の必要性

機能当たりの性能の向上

- ← 基本的には**素子微細化**の継続の必要性

逆に言えば

機能当たりのコストが高くなれば売れない

機能当たりの消費電力が増えれば売れない

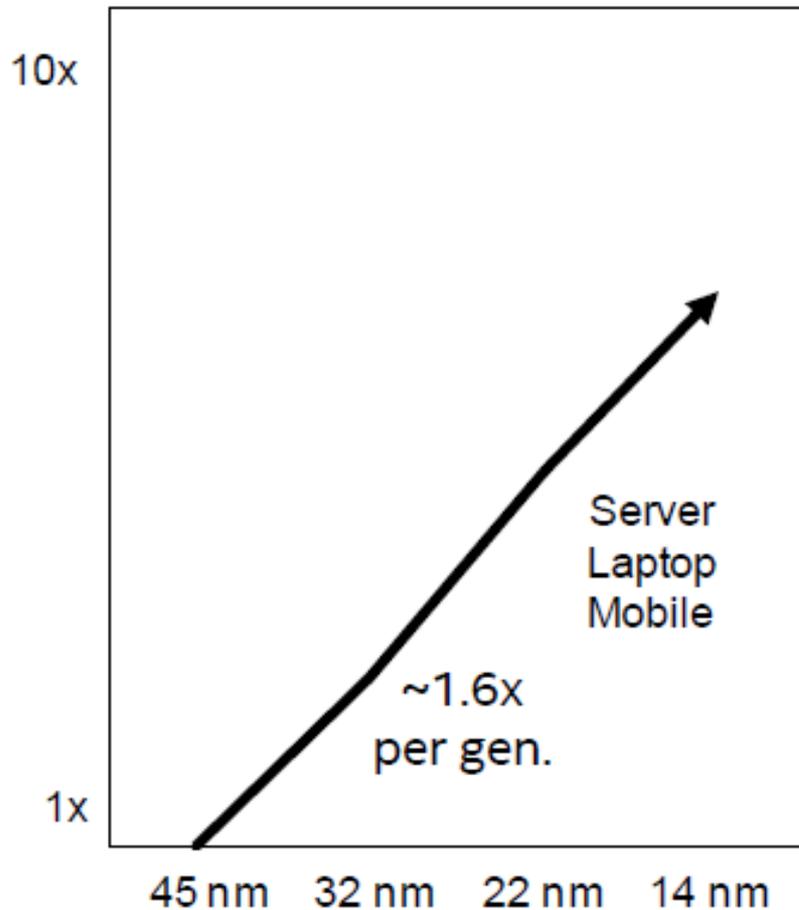
機能当たりの性能の向上しなければ売れない

(性能重視の場合はコスト、電力の優先度は後回し)

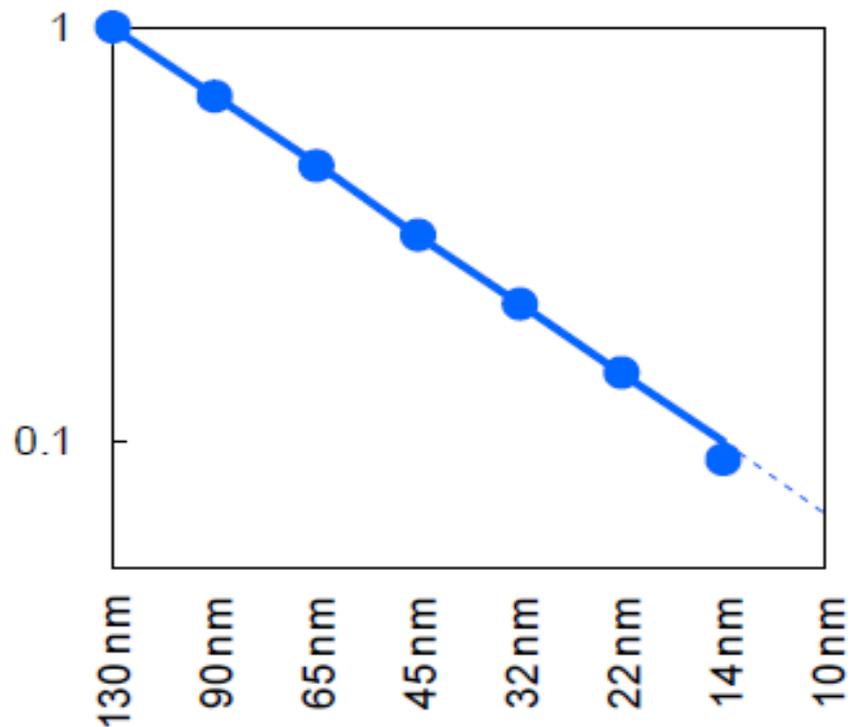
これが今後も達成できるか？

Merit for downsizing to 14 nm (Intel case)

Performance/W



\$ / Transistor
(normalized)



開発の現状は？

10 nmの製品は間もなく市場に 2016年

10 nm生産ラインの投資済み

7 nmの技術開発は相当できていると聞いている

市場には2018/19/20年??

7 nmの技術での縮小率がどうなるかが問題

5 nmの技術は今の縮小率を維持しなければなら
ないなら難しい？ 未だ解が見つかってないのでは？

2020年以降は微細化とMoore法則継続の可能性もあるが、寸法縮小率が問題

・その縮小で性能・コストが市場に魅力あるか？

今後どちらになるのか？

ITRS:縮小率を10年間維持 ←————→ 過去の実績:縮小は次第に飽和

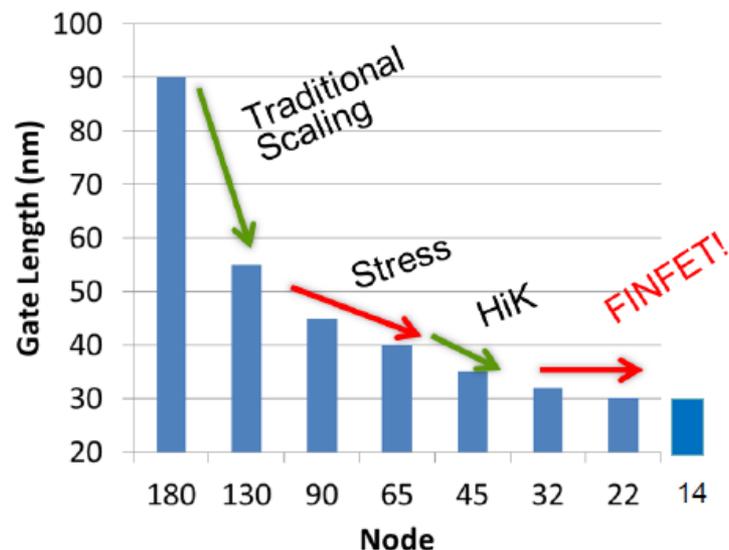
この先は不明

ITRS 2013 (Published in April 2014)

Year	2013	2015	2017	2019	2021	2023	2025	2027
Commercial name (nm)	14	10	7	5	3.5	2.5	1.8	1.3
Half pitch (HP) (nm)	40	32	25.3	20	15.9	12.6	10	8
L_g (nm)	20.2	16.8	14.0	11.7	9.7	8.1	6.7	5.6

Commercial name (nm)	X 0.70 / 2 years
Metal half pitch (nm)	X 0.80 / 2 years
L_g (nm)	X 0.83 / 2 years
V_{dd} (V)	X 0.96 / 2 years
EOT (nm)	X 0.91 / 2 years
T_{Si} (nm)	X 0.84 / 2 years

IEDM 2015 SC



微細化飽和

それでは新材料・新機能デバイス(Emerging, Beyond CMOS)が集積回路でSi-MOSFETを置き換える可能性は？

今後10年以内はその可能性は低い

理由:ウエハー大口径化、集積回路、信頼性、歩留まりなどの研究・開発が殆ど為されていない

しかし常に新しい技術の研究開発は大変重要

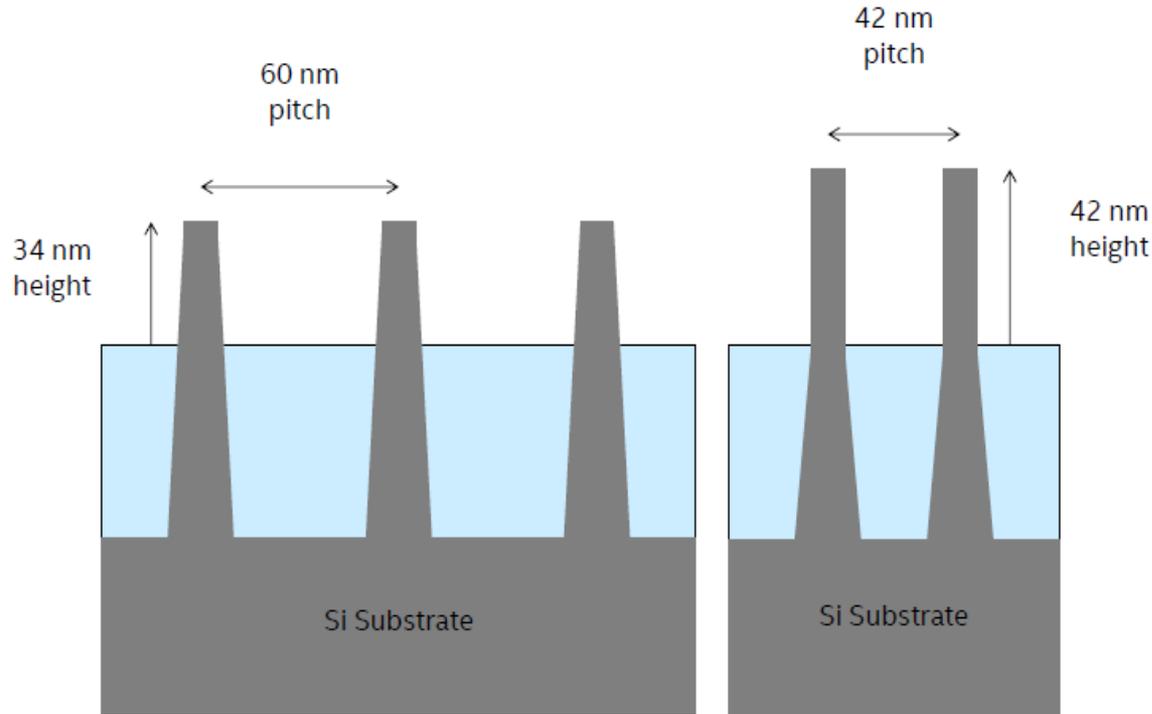
2020年代以降の可能性は否定しない

微細化飽和でMooreの法則はどうなる？

3次元への延伸で継続するか？

Finの高さを伸ばし他トランジスタのWを稼ぐ

高さに限界 → せいぜい2回程度行うことが可能か？



22 nm Process

14 nm Process

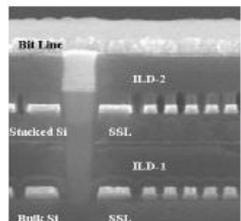
メモリも3次元方向に積み上げ:

現在40層程度、100層は行くか？

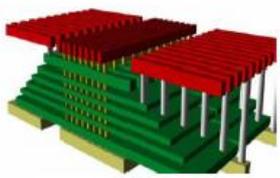
但し: 倍々で200層、500層、1000層になると厳しい

Types of 3D device architecture

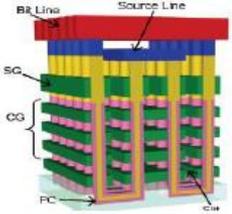
- TCAT, BiCS, and DCSF are based on TANOS, SONOS, and FG, respectively
- VG-NAND and V-SAT are top gate structures



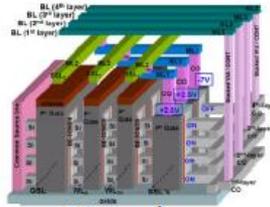
Samsung-Simple Stack (IEDM 2006)



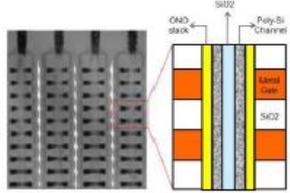
Toshiba-BICS (VLSI 2007)



Toshiba-P-BICS (VLSI 2009)



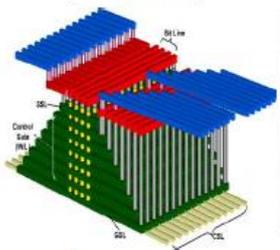
Macronix VG-NAND (VLSI 2010)



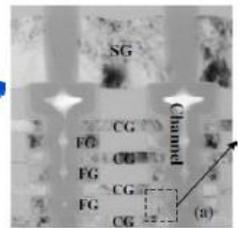
Hynix SMARt-NAND (IEDM 2012)



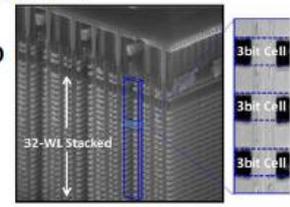
Macronix-Multi TFT (IEDM 2006)



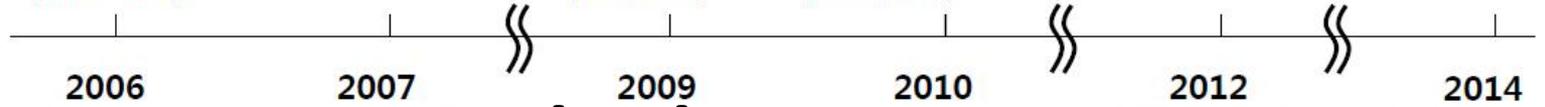
Samsung-TCAT (VLSI 2009)



Hynix FG-NAND (IEDM 2010)

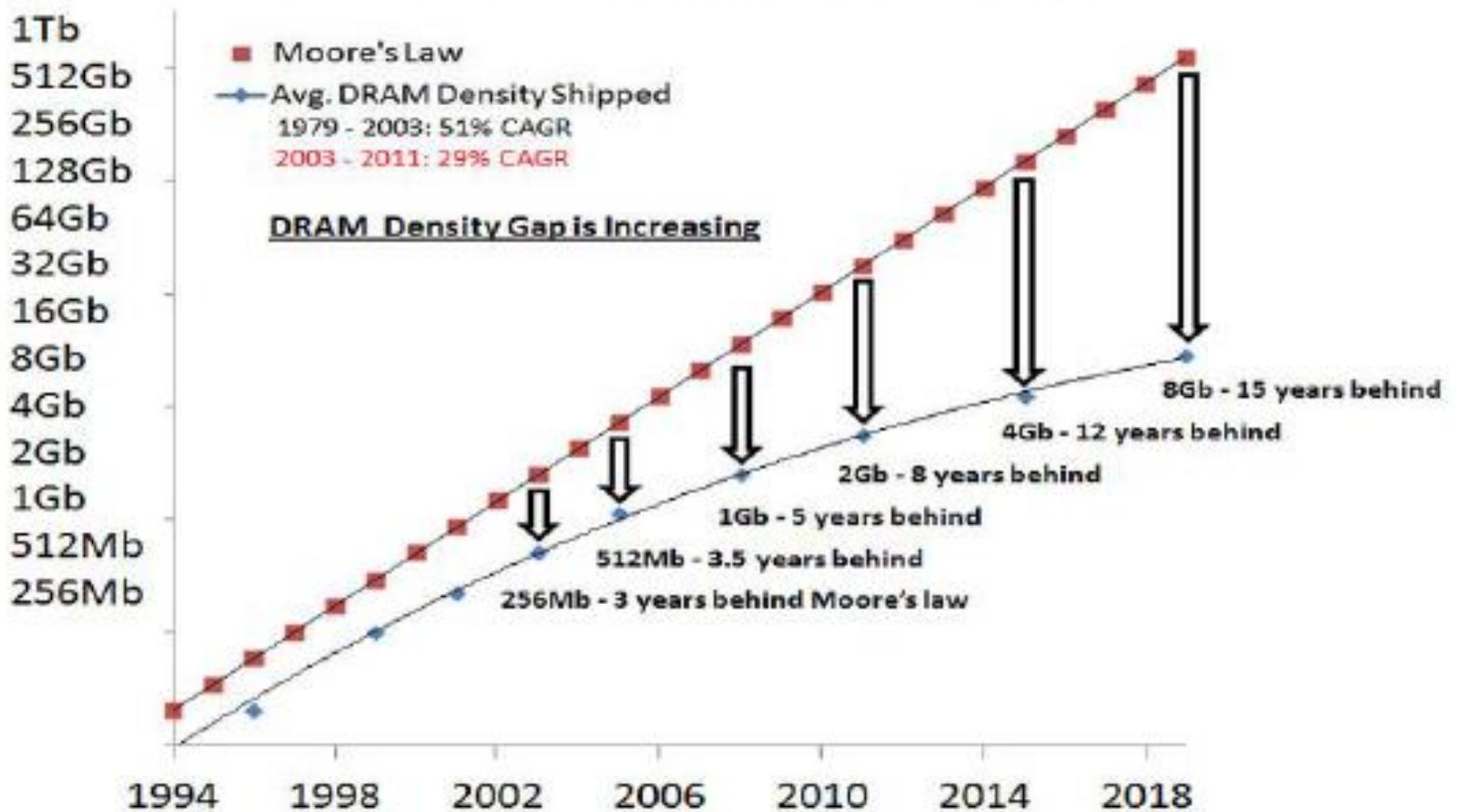


Samsung World 1st Commercialized VNAND (ISSCC 2014)



DRAMでは昔にMooreの法則飽和傾向

Moore's Law and DRAM Density Progression

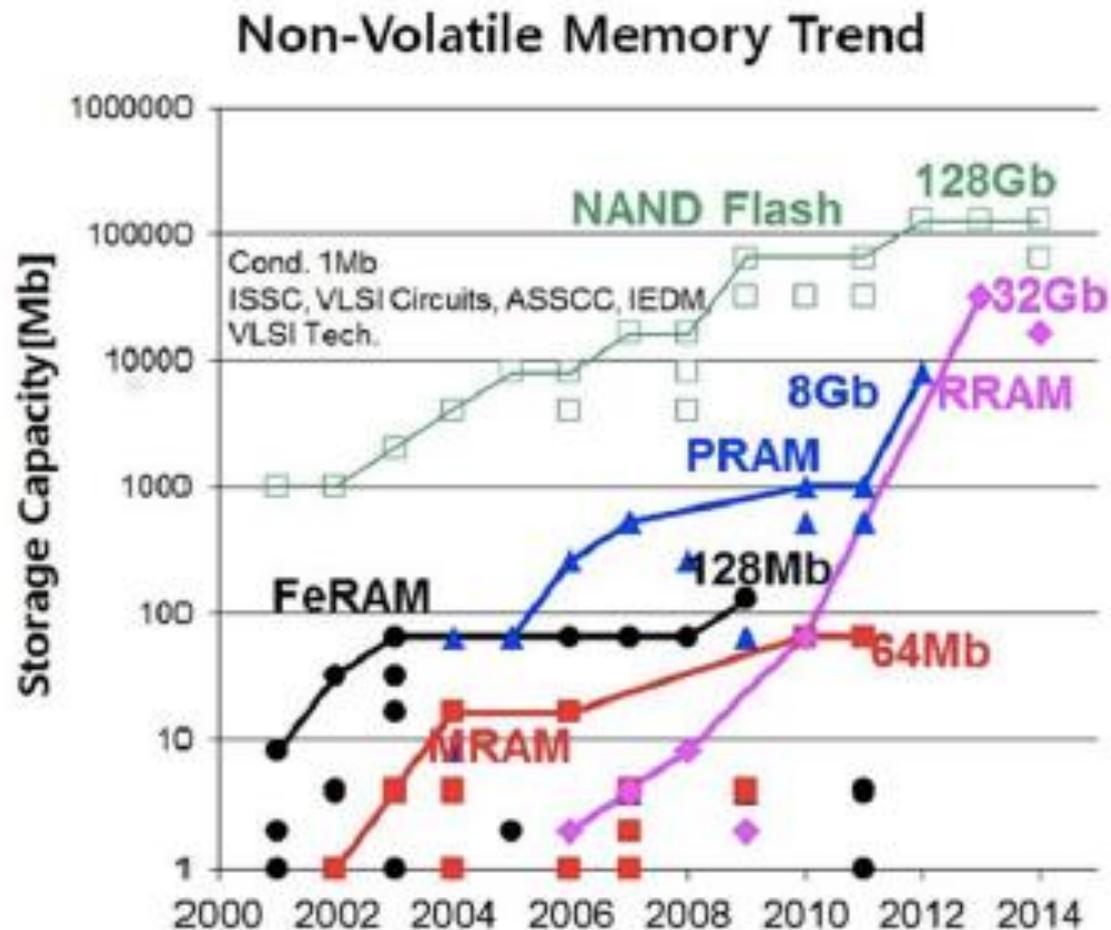


Changyeol Lee, Short Course IEDM 2015

Source: De Dios and Associates

Netlist Blog, Jul 24, 2012

フラッシュでもMooreの法則飽和傾向



Source: ISSCC

Dirk J. Wouters, Short Course IEDM 2015

今後10年先までの予想(2016~2025)

- ・微細化次第に飽和
- ・Mooreの法則も今後次第に飽和
- ・今後は恐らくITRSの予想より縮小率は鈍化すると思われる
- ・微細化縮小率減少、集積素子数増加率減少しながらも、だらだらと新世代の製品技術が市場にでる可能性も？(即ち中間世代の増設？)
- ・但し、新世代技術のコストパフォーマンスの改善が少なければ、新世代の市場占有率は直ぐには伸びない
- ・新材料・新機能デバイス(Emerging, Beyond CMOS)は10年以内には集積回路の主流とはならない

今後10～30年先までの予想(2026～2050)

今後10～35年先までの予想(2026～2050)

垂直から水平に(現在も既にその傾向)

微細化の天井(限界)

横方向に拡散・展開

MEMS, Sensor

素子微細化路線

横方向に拡散・展開

Power, Photovoltaic

H. Iwai, ESSDERC 1993

今後10～35年先までの予想(2026～2050)

1. 縦から横展開へ

→ 異種デバイスの開発

2. 異種デバイス集積化(Moore than More)

→ 新たな次元へのMoore則の展開

3. 更にネットを通しての異種・同種デバイス集積化

→ 更に新たな次元へのMoore則の展開

→ IoTそのもの

現在既に1～3が始まっている

今後10～35年先までの予想(2026～2050)

素子の微細化限界到達

今後は省エネ化、高性能化、低コスト化は鈍化

異種デバイスの開発

IoTによるMoore則の展開

WearableからEnvironmentalへ

すなわち持ち運ぶのではなく、環境に配置

(display, sensor, microprocessor, power supply, etc.)

デバイスよりも、システム、アプリが重要
→ それを使って何を行うか

今後10～35年先までの予想(2026～2050)

もう一つ

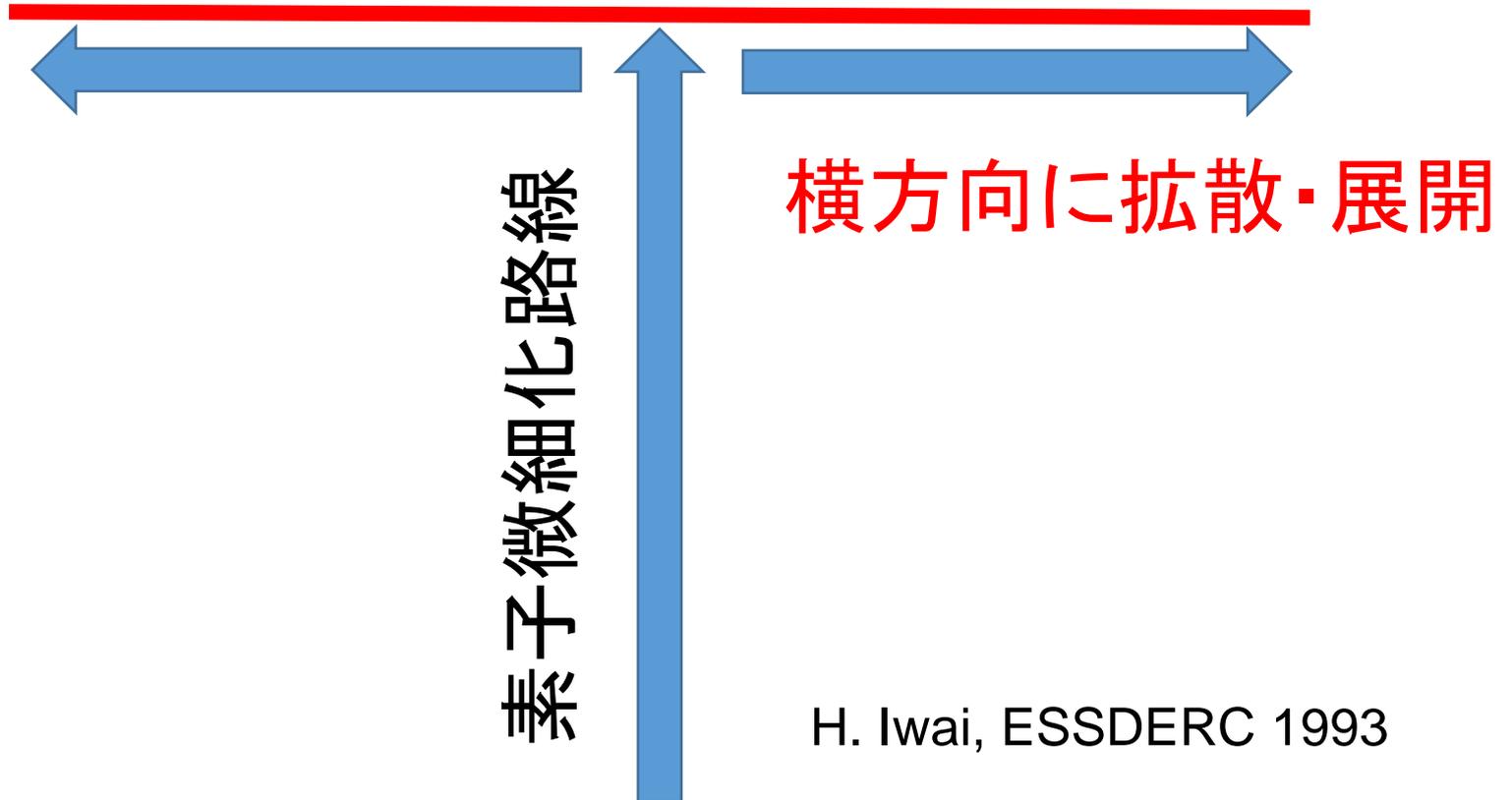
製造プロセス、製造装置の究極の低コスト化

- ・CRは必要か？
- ・ウエハーでのプロセスは必要か？
- ・プロセス装置は何故高いのか？

今後10～35年先まで

→ 大変Excitingな時代になる筈

微細化の天井



H. Iwai, ESSDERC 1993

何故大変Excitingな時代？

横方向展開であるが故に

技術・ツール、環境はあなたの為に既に用意されている

- ・ナノデバイス作成プロセス・装置
- ・プロセス・デバイス・装置シミュレーションソフト
- ・数値解析ソフト、描画ソフト
- ・材料に関する科学的知見・経験

必要なものは？

ニーズ・アプリに関するあなたのcrazyなidea

ニーズ・アプリに関するあなたのビジネスモデル

Ideaが有れば誰でも新たな分野を比較的容易に開拓可能

新たなアプリ分野の開拓

小規模は個人で、中規模は会社で、大規模は国で
他国に先駆けてPJTを組み、他国に数年でも先行する

→構造改革の大きなチャンス

→他国に輸出も

スマート社会

自動運転

医療自動診断

自動手術

ロボットによる介護

安全・安心社会

日本にとってピンチは大きなチャンス

旧型の産業が淘汰され、新たなビジネスモデルや
産業の勃興期→淘汰では日本が既に世界に先行

退場した嘗ての石炭産業ではなく、炭素繊維で
蘇った繊維産業のように！

今後35～85年先までの予想(2051～2100)

今後35～85年先までの予想(2051～2100)

更にもっと

Excitingな時代となるであろう！

今後35～85年先までの予想(2051～2100)

生体系の積極的利用

H. Iwai, INFOS 1995 **Ultra small volume**
Small number of neuron cells
Extremely low power

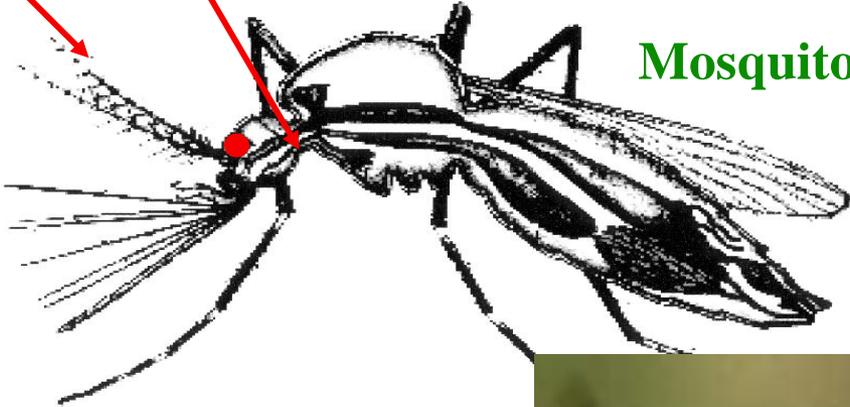
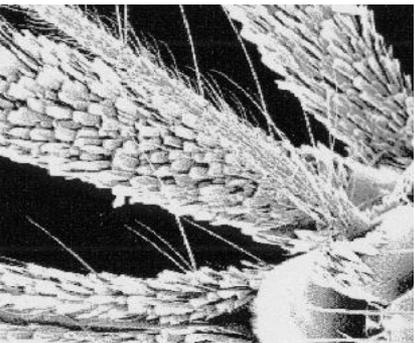
Sensor

Brain

Infrared
Humidity
CO₂

Real time image processing
(Artificial) Intelligence
3D flight control

Mosquito



Dragonfly is further high performance

Bio System is much more efficient than semiconductor

System and Algorism becomes more important!

But do not know how?



今後35～85年先までの予想(2051～2100)

生体系の利用

- ・昆虫の脳などのアルゴリズムを集積回路に応用できるか？
- ・アルゴリズム解明は相当に難しい
- ・本当に人の脳を集積回路、コンピュータに移植できるか？
- ・昆虫同等の感度を持ったセンサなど人工的に製造できるか

今後35～85年先までの予想(2051～2100)

デバイス製造プロセスはどうか？

SFの領域に近いが、遠い将来DNAを使って自己集積化が可能か？(但し、これは2100年には間に合わないであろう。)

DNAを使った自己集積化

例えば珊瑚は微細化構造をもった石灰岩を作ることができる



デバイスを直ぐに作るのは難しいが、機能性材料(構造体)や機能性薬液(加工用)などからスタート

質問？

どちらを選びますか？

1. 生物のアルゴリズムを集積回路上に移植
2. 集積回路を止めて生体系そのものを集積回路として使う

質問？

私の答え

2. 集積回路を止めて生体系そのものを集積回路として使う

理由

理由

1. 生物は数10億年～数億年の自然淘汰によって最適化の進化を遂げてきた。

理由

1. 生物は数10億年～数億年の自然淘汰によって最適化の進化を遂げてきた。

集積回路は僅かに40年の歴史

理由

1. 生物は数10億年～数億年の自然淘汰によって最適化の進化を遂げてきた。

集積回路は僅かに40年の歴史

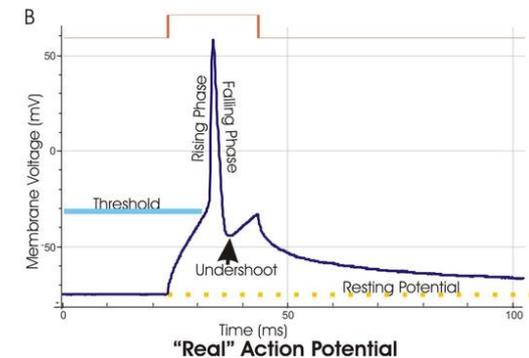
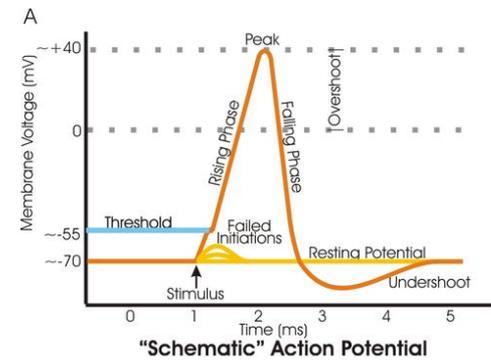
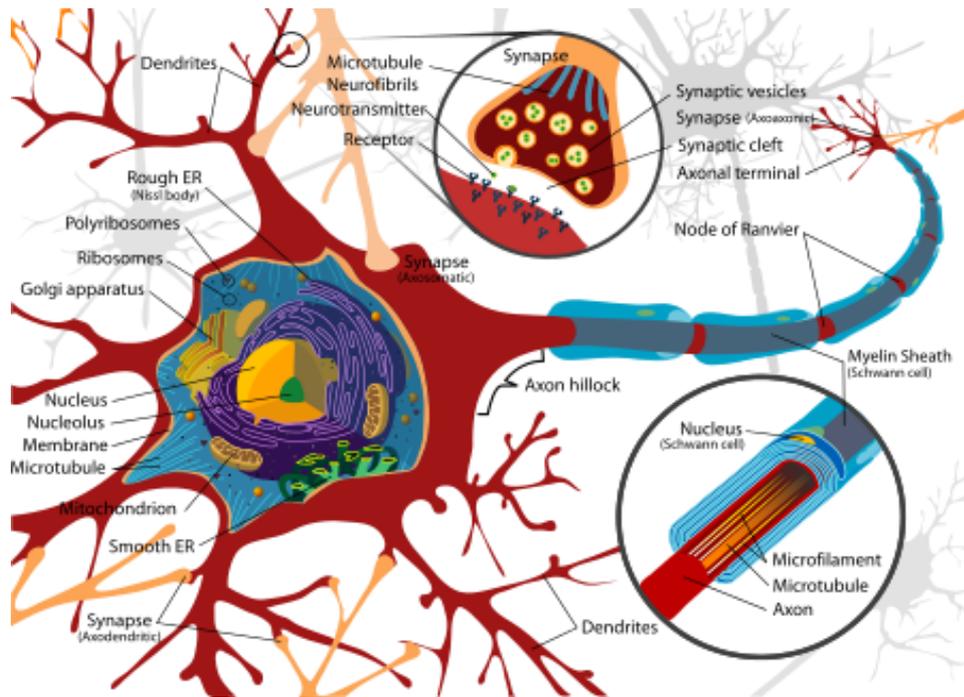
もしも集積回路の方が優れているのであれば我々の脳細胞はシリコントランジスタ、神経は銅または銀またはカーボンナノチューブでできている筈

2. もう一つの理由は？

2. もう一つの理由は使用電圧

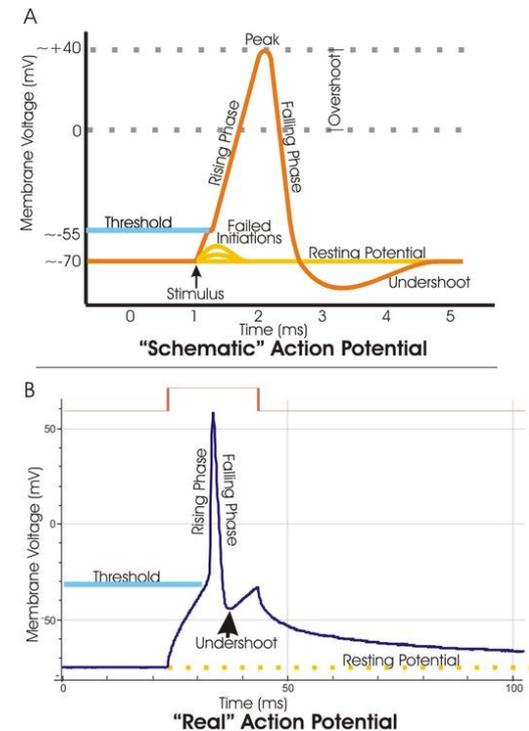
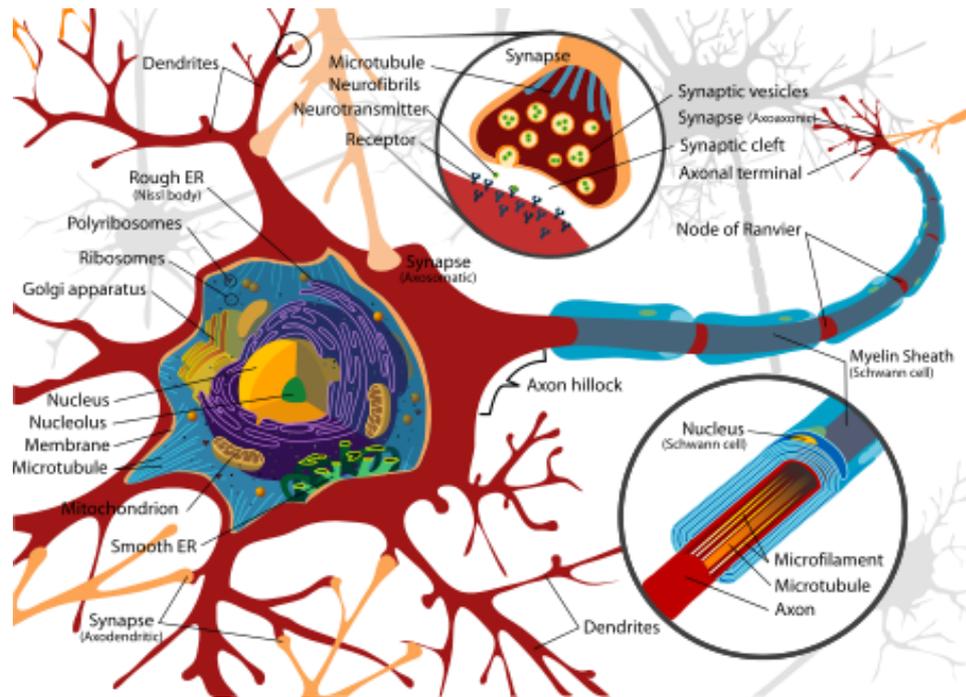
2. もう一つの理由は使用電圧

生物系は100 mV以下の電圧と化学物資伝達を使用



2. もう一つの理由は使用電圧

生物系は100 mV以下の電圧と化学物資伝達を使用



半導体系はスイッチとして機能する為には数100mV以上のバンドギャップが必要である

寿命はどうか？

寿命はどうか？

半導体は一声10年

寿命はどうか？

半導体は一声10年

昆虫は数日から数週間だが、動物は数10年、種によっては100年以上

寿命はどうか？

半導体は一声10年

昆虫は数日から数週間だが、動物は数10年、種によっては100年以上

貝には500年以上、ザリガネの一種は175年、ムカシトカゲ、象亀も100年以上

寿命はどうか？

半導体は一声10年

昆虫は数日から数週間だが、動物は数10年、種によっては100年以上

貝には500年以上、ザリガネの一種は175年、ムカシトカゲ、象亀も100年以上

DANの改造で昆虫の不老化を行うか？

機械は定期的メンテが必要

動物は自分で全てを行う。

基本的には水と食料を与えれば良い

野生のものはそれすら自前で確保できる

もう一つ重要なこと

もう一つ重要なこと

生物の脳との直接インターフェイスの開発

もう一つ重要なこと

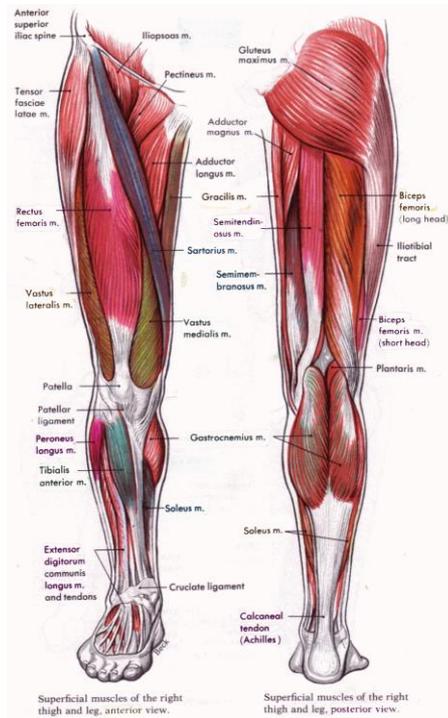
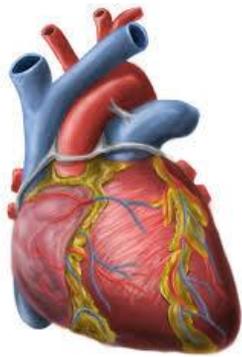
生物の脳との直接インターフェイスの開発

生物と人間・コンピュータとの会話を可能にする

生物の脳を思いのままに操ることを可能にする

(倫理上の問題注意)

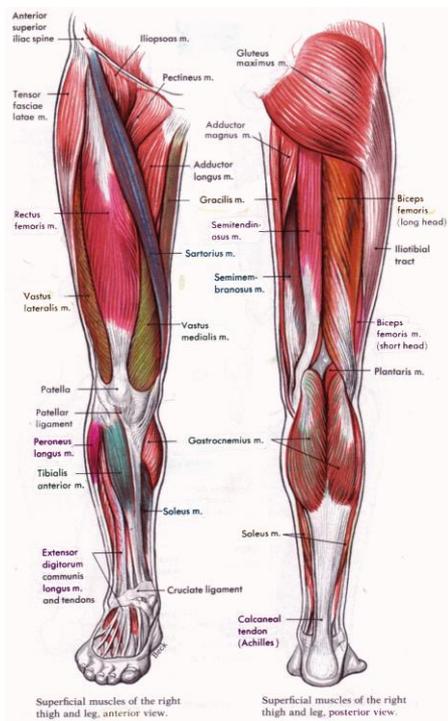
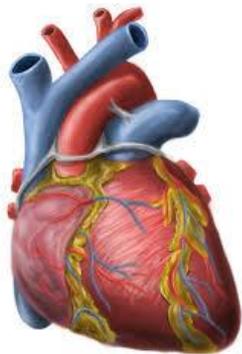
ところで動物は何故、エンジンやモータを使ってこなかったのか？



ところで動物は何故、エンジンやモータを使ってこなかったのか？

エネルギー効率が悪いからであろう

人間程度の力のモータを高効率で動かすには数10V以上の高電圧が必要と思われる



今世紀後半からは

機械(半導体)など生物系との組み合わせが重要な技術となるであろう。

機械では犬に及ばぬことが多い

今世紀後半からは

機械(半導体)など生物系との組み合わせが重要な技術となるであろう。

機械では犬に及ばぬことが多い

嗅覚を利用した犯罪捜査、人命救助

今世紀後半からは

機械(半導体)など生物系との組み合わせが重要な技術となるであろう。

機械では犬に及ばぬことが多い

嗅覚を利用した犯罪捜査、人命救助
盲導犬

今世紀後半からは

機械(半導体)など生物系との組み合わせが重要な技術となるであろう。

機械では犬に及ばぬことが多い

嗅覚を利用した犯罪捜査、人命救助

盲導犬

猟犬、牧羊犬

今世紀後半からは

機械(半導体)など生物系との組み合わせが重要な技術となるであろう。

機械では犬に及ばぬことが多い

嗅覚を利用した犯罪捜査、人命救助

盲導犬

猟犬、牧羊犬

犬糞(そり)

今世紀後半からは

機械(半導体)など生物系との組み合わせが重要な技術となるであろう。

機械では犬に及ばぬことが多い

嗅覚を利用した犯罪捜査、人命救助

盲導犬

猟犬、牧羊犬

犬橇(そり)

ペット(癒し)

2045年問題

https://en.wikipedia.org/wiki/Predictions_made_by_Ray_Kurzweil

Raymond Kurzweil



\$1000 buys a computer a billion times more intelligent than every human combined. This means that average and even low-end computers are vastly smarter than even highly intelligent, unenhanced humans.

2045年問題

The Singularity is an extremely disruptive, world-altering event that forever changes the course of human history. The extermination of humanity by violent machines is unlikely (though not impossible) because sharp distinctions between man and machine will no longer exist thanks to the existence of cybernetically enhanced humans and uploaded humans.

真のAIは
存在しない

電子デバイスによるAIが人類の知能を超えて活躍するには膨大なエネルギーが必要で恐らく不可能と思われる。

人型ロボットが人間の知能を以って活躍するのもSF映画の世界のみで、その為の膨大なエネルギーはどこから供給するのか？

恐らく、効率、セルフメンテナンスという観点から地球上では電子機械による人工知能は、100億人という個体を持つ人間やその他の生物系の知能に敵わないであろう。

長期的にはエレクトロニクスと生物系との密接な組み合わせが重要で、生物系の知能をもっと有効に活用することが可能且つ重要となるであろう。

今後の技術革命の流れ

1900

2000

2100

2200

1. 電子(電気)を使いこなす

エレクトロニクス

2. 目に見えないほど微細化し、そのメリットを享受する

マイクロ・ナノエレクトロニクス

3. ネット空間で全てを結合する

IoT

3. 生物系の機能を使いこなす

エレクトロニクスと生物系の融合

エレバイオニクス

(エレクトロバイオニクス)

結論 1

10年以内に微細化限界に到達(実際はもっと前の可能性)

Mooreの法則はIoTに拡張して継続

デバイス素子技術は垂直開発から水平拡散に変化

水平拡散なので開発環境は十分用意されており、
アイデア次第では大きなチャンス

半導体産業への需要の拡大は続くが、旧型産業の淘汰と新規
産業の勃興期

日本にとっても大きなチャンス

このチャンスを逃さない国の仕組み作りが重要

結論 2

電子デバイスによる人工知能は生物系の知能や文明に勝てるか？

恐らく効率の問題があり電子デバイス系は生物系の性能に到底太刀打ちできないであろう。

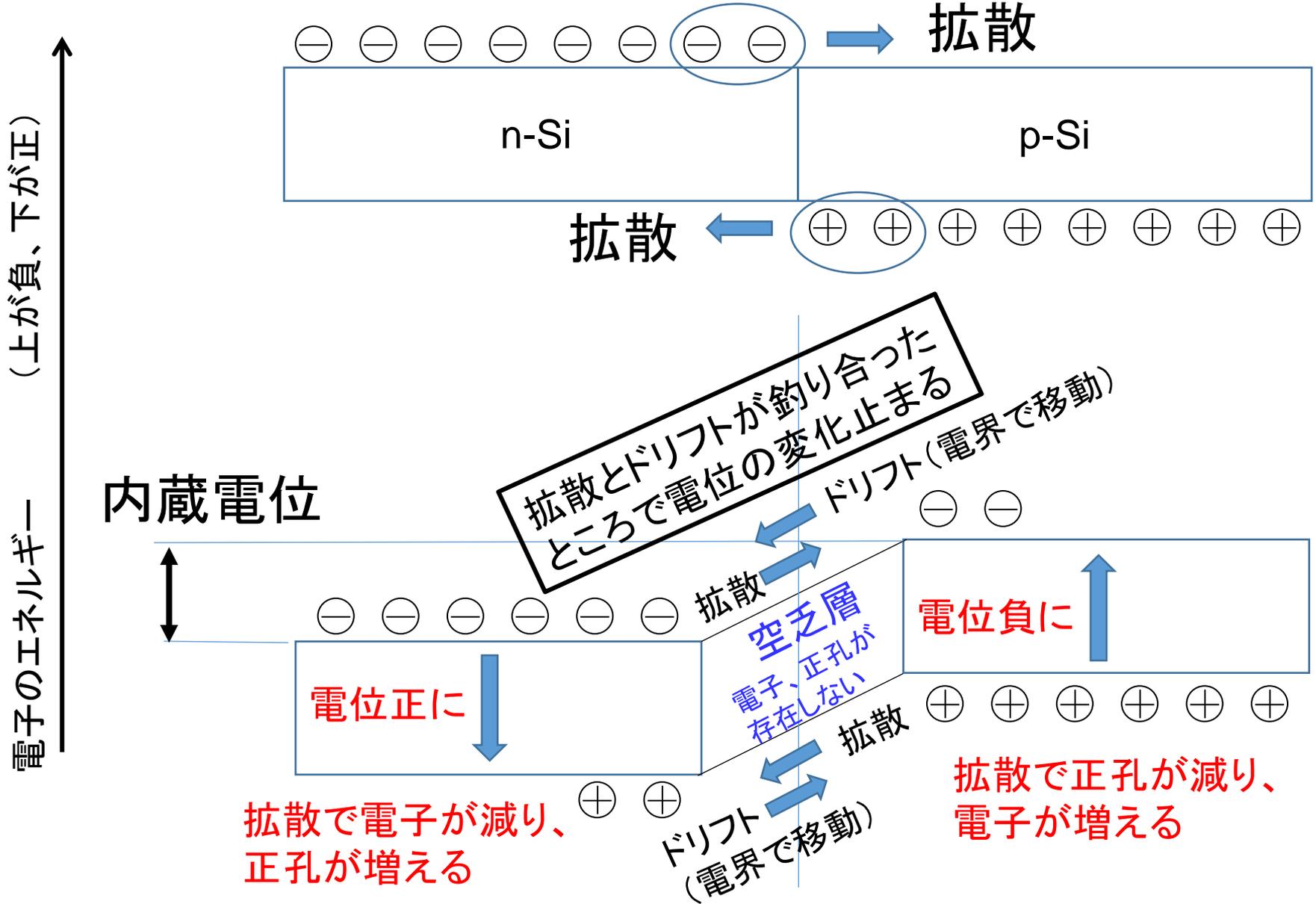
長期的には電子デバイスと生物系の融合と、生物系の有効利用が重要な役割を果たすであろう。

2045年問題は恐らく有り得ないのではないか。

ご清聴有難うございます

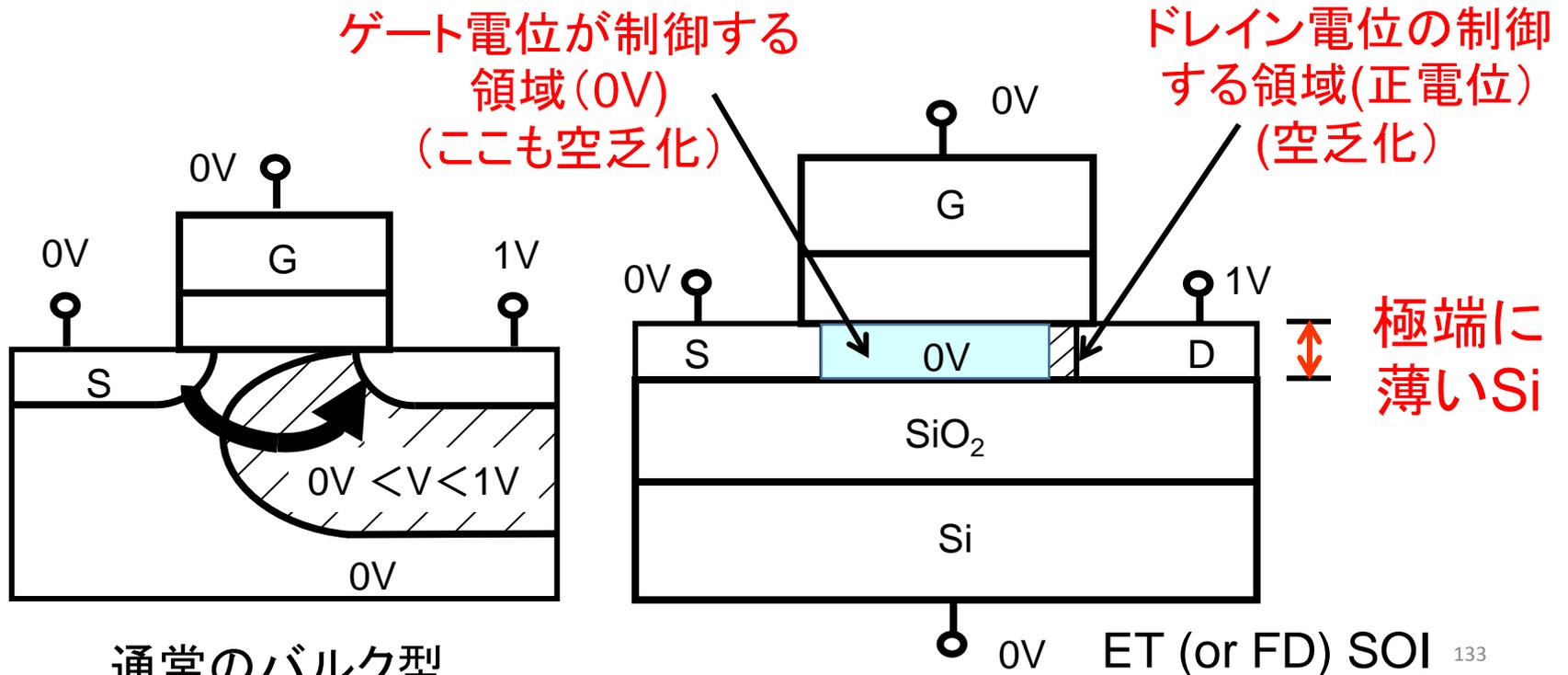
付録1

pn接合の内蔵電位



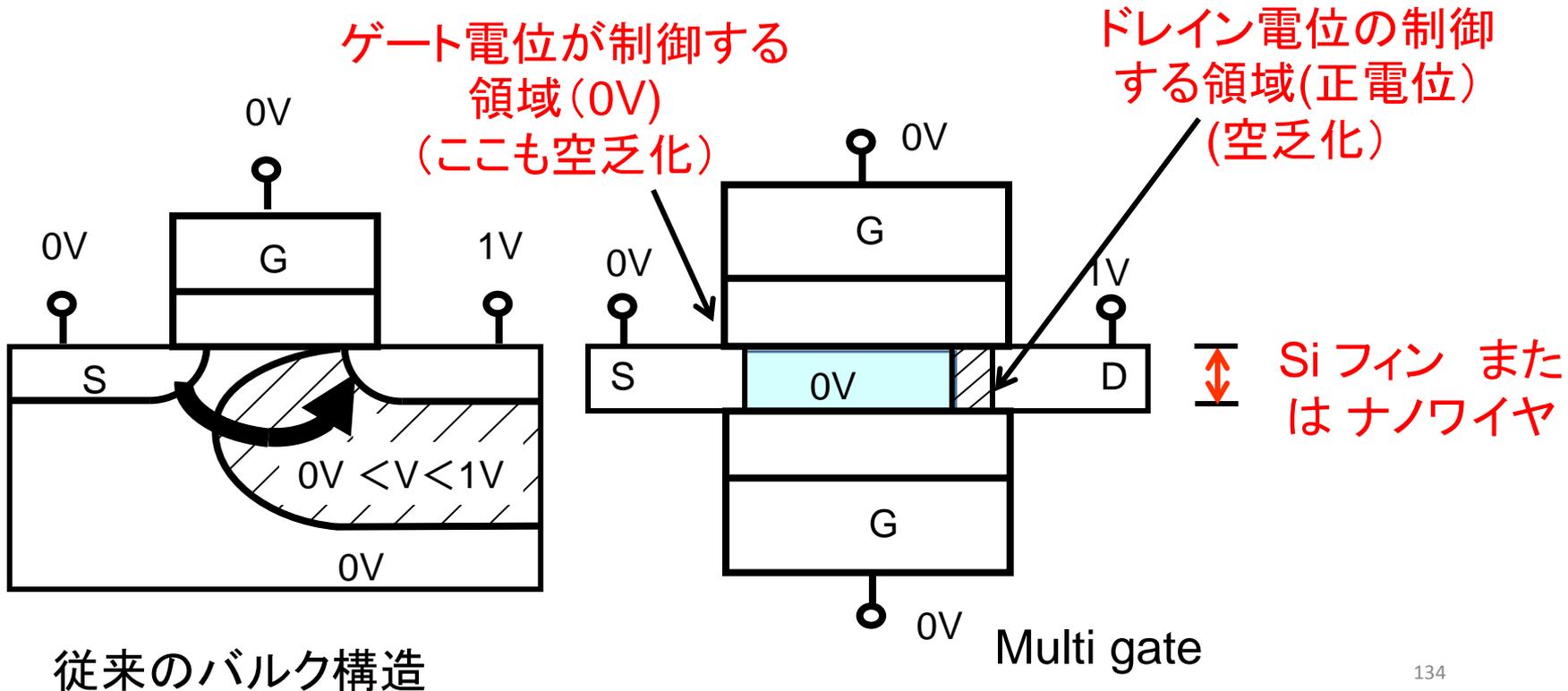
付録2 Fully-Depleted (or Extremely Thin) SOI

- 空乏層の広がるSi層の深い部分をカット
→ SOIの薄膜Si層を極端に薄く
- SOIの下のSi基板にバックゲートを-
→ 上下のゲート電極からチャネル電位を制御



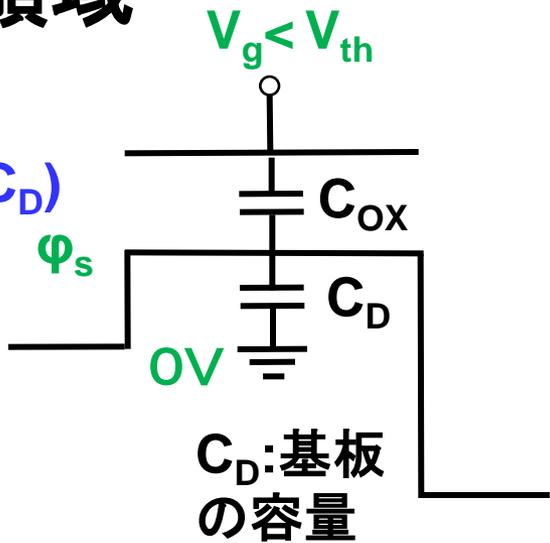
付録3 Surrounding ゲート構造 (Multiple gate)

- Si層を極端に薄く
- Si層をゲート電極で包むことでチャネル電位を制御



付録4 ゲート電圧 オフバイアス領域

表面電位: $\phi_s(V_g)$
 $= V_g \times C_{OX} / (C_{OX} + C_D)$
 $= V_g / m$



サブスレッシュホールド電流

$I_{off} \propto \exp(\phi_s/kT) = \exp(V_g/mkT)$

V_g の指数関数



拡散電流(拡散方程式の解)

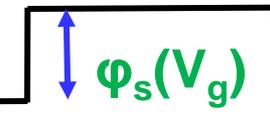


拡散電流

電子エネルギー
ボルツマン分布

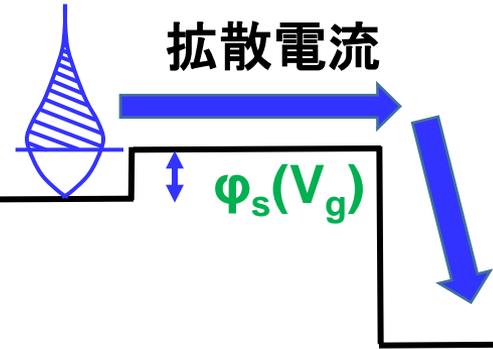
$n \propto \exp(\phi_f/kT)$

ϕ_f : フェルミレベル



表面電位

ドリフト電流



n-Si ソース p-Si チャンネル n-Si ドレイン