

エマージングデバイス (ERD) デバイス技術が進むべき道

2016年3月4日

半導体技術ロードマップ専門委員会 (STRJ)
WG12 (ERD)

品田高宏 (東北大学)

浅井哲也 (北海道大学)

東 悠介 (東芝)

屋上公二郎 (ソニー)

目次

1. STRJ WG12 (ERD) の紹介
2. エマージングロジックデバイス
 - ベンチマークとハイライト
3. エマージングメモリデバイス
 - ベンチマークとハイライト
4. エマージングアーキテクチャ
 - 脳型アーキテクチャ
5. ITRS2.0
 - 7つのフォーカスエリアとセキュリティデバイス
6. キーメッセージ

STRJ WG12 (ERD) ミッション

ミッション

- 10年～20年先に要求されるロジック、メモリの研究・技術動向をサーベイし、ベンチマークすること。
- ERDのためのEmergingアーキテクチャ、EmergingアーキテクチャのためのERDをディレクションすること。ERD x ERA。
- Extended CMOSの浸透を図ること。
- 日本で開発されているERDのプレゼンスを示すこと。
- ITRS2.0貢献：Low power, NVM, SCM, Security, Sensor

活動内容

- 月1回会合開催（8月を除く）。毎回ヒアリングを設定。
- 開催形態：ERM会合（30分）／ERD-ERM合同セッション（2時間）／ERM会合（30分）
- ERD委員、および外部有識者ヒアリングによる最新動向把握 → ベンチマーキング → 国際会議&ワークショップでプレゼン → 次のアップデートに反映
- ITRS国際会議への参加。ERD workshop企画貢献。

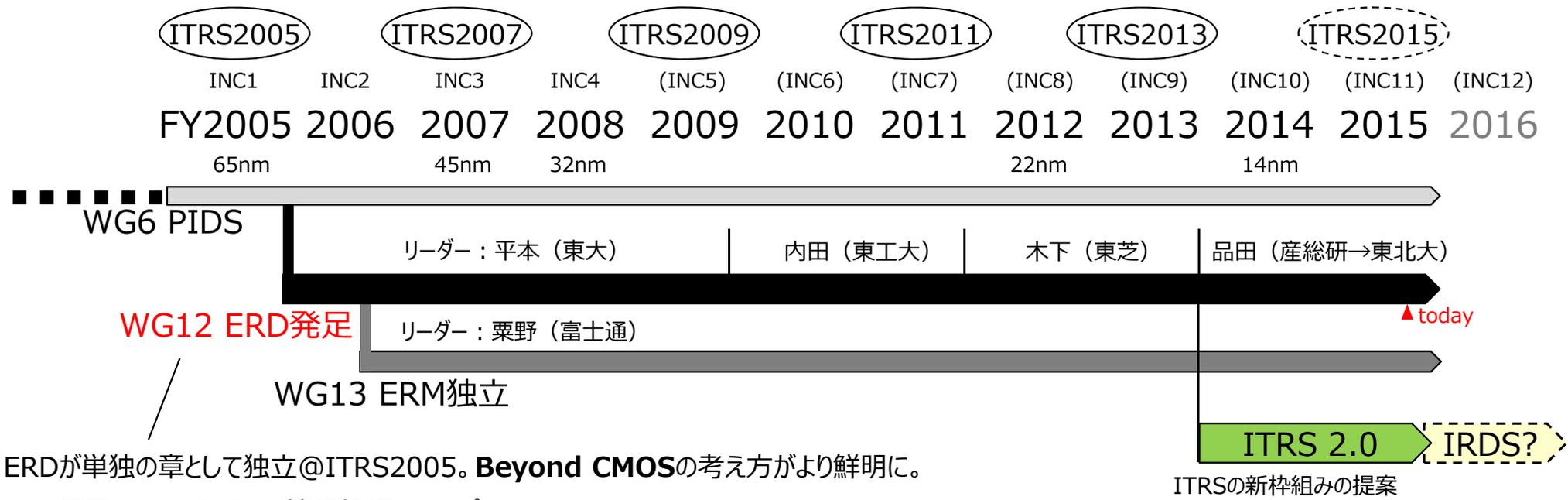
STRJ WG12 (ERD) 2015年度体制

STRJ 15WG中最大

23名 (企業 : 6, 大学 : 12, 国研等 : 5)

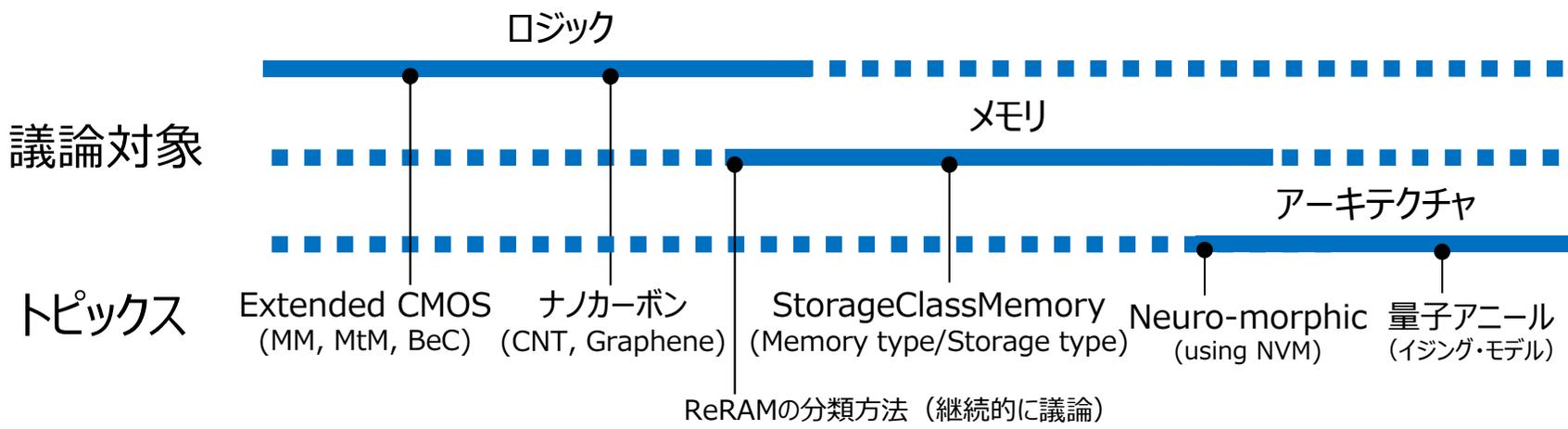
リーダー (1名)	品田高宏 (東北大) …4代目
サブリーダー (1名)	浅井哲也 (北大)
幹事 (1名)	東 悠介 (東芝)
国際担当 (1名)	平本俊郎 (東大)
ロジックG (8名)	リーダー 東 悠介 (東芝) 佐藤信太郎 (富士通研), 野田 啓 (京大) 内田 建 (慶應大), 大野雄高 (名大), 川端清司 (ルネサス) 藤原 聡 (NTT), 日高睦夫 (産総研)
メモリG (4名)	リーダー 屋上公二郎 (ソニー) 秋永広幸 (産総研), 高浦則克 (日立中研), 鶴岡 徹 (NIMS)
アーキテクチャG (3名)	リーダー 浅井哲也 (北大) ペパー・フェルディナンド (NICT)、原祐子 (東工大)
アドバイザー (6名)	栗野祐二 (慶大), 遠藤哲郎 (東北大), 河村誠一郎 (JST) 菅原 聡 (東工大), 竹内 健 (中大), 高木信一 (東大)
委員会外協力 (1名)	棚本 哲史 (東芝)

WG12 (ERD) 活動の流れ



ERDが単独の章として独立@ITRS2005。Beyond CMOSの考え方がより鮮明に。

1. 極限CMOSを超える情報処理へのアプローチ
2. 2020年までに実用化される新情報処理デバイスの同定

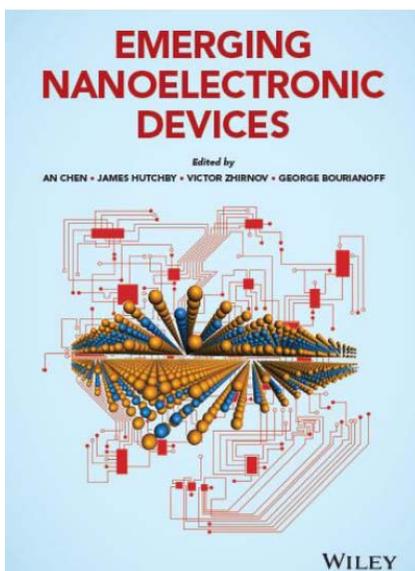
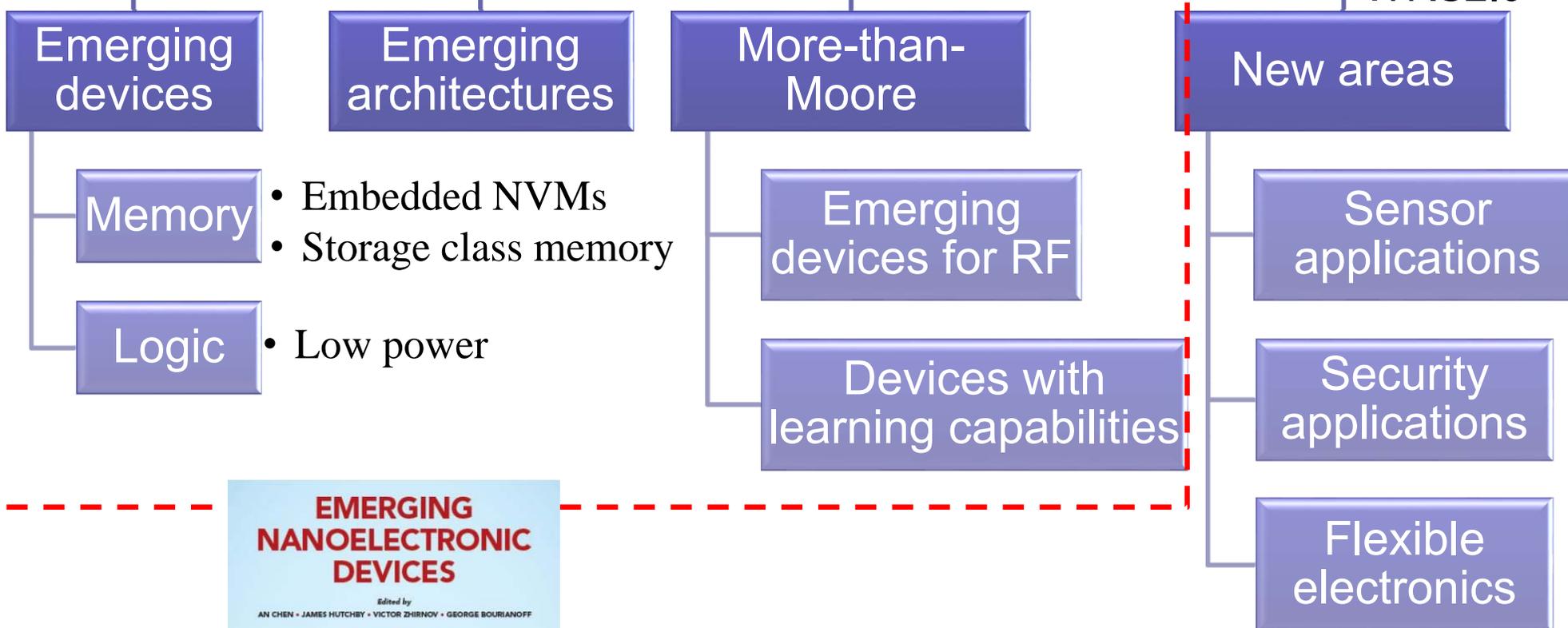


ITRS ERD オーバービュー

ERD

ERD 2013

ITRS2.0



A. Chen, J. Hutchby, V. Zhirnov, G. Bourianoff (Ed's)
"Emerging Nanoelectronic Devices" (Wiley, Jan. 2015)

Emerging memory devices	Emerging logic devices	Emerging architectures
<ul style="list-style-type: none"> Emerging ferroelectric memory <ul style="list-style-type: none"> ○ FeFET ○ FE tunnel junction Carbon memory Mott memory <u>Macromolecular memory</u> <u>Molecular memory</u> ReRAM <ul style="list-style-type: none"> ○ Electrochemical metallization bridge ○ Metal oxide: bipolar filament ○ Metal oxide: unipolar filament ○ Metal oxide: bipolar non-filamentary <div data-bbox="179 1204 683 1412" style="border: 1px solid black; padding: 5px; margin-top: 10px;"> <p>原理が不明確、特性が魅力的でなく WSでも得票が伸びていない。一部はReRAMと同じような原理で動作していると思われ、それらはReRAMのセクションに含める形で記載。</p> </div>	<ul style="list-style-type: none"> Carbon-based nanoelectronics Nanowire FETs Tunnel FET <u>n-Ge and p-III-V</u> <hr/> <ul style="list-style-type: none"> Spin-FET and spin-MOSFET NEMS <u>Atomic switch</u> Mott FET Neg-Cg ferroelectric FET <hr/> <ul style="list-style-type: none"> Spin wave devices Nano-Magnet Logic <u>Excitonic FET</u> <u>BisFET</u> Spin torque majority gate All spin logic 	<ul style="list-style-type: none"> Memory architectures for program centric architectures Storage Class Memories Evolved architectures exploiting emerging research memory devices Architectures that can learn Morphic architectures Neuromorphic architecture Cellular automata architecture <ul style="list-style-type: none"> ○ Cortical architecture <div data-bbox="1489 1013 2116 1109" style="border: 1px solid red; padding: 5px; margin-top: 10px;"> <p>Need major re-organization based on the planned workshop</p> </div>

ロジックFETとして使うには動作速度に限界があると思われ、FPGAとneuromorphic セクションで取り扱い。

進展がないため、一時（新設予定の）アーカイブセクションに置いておく。

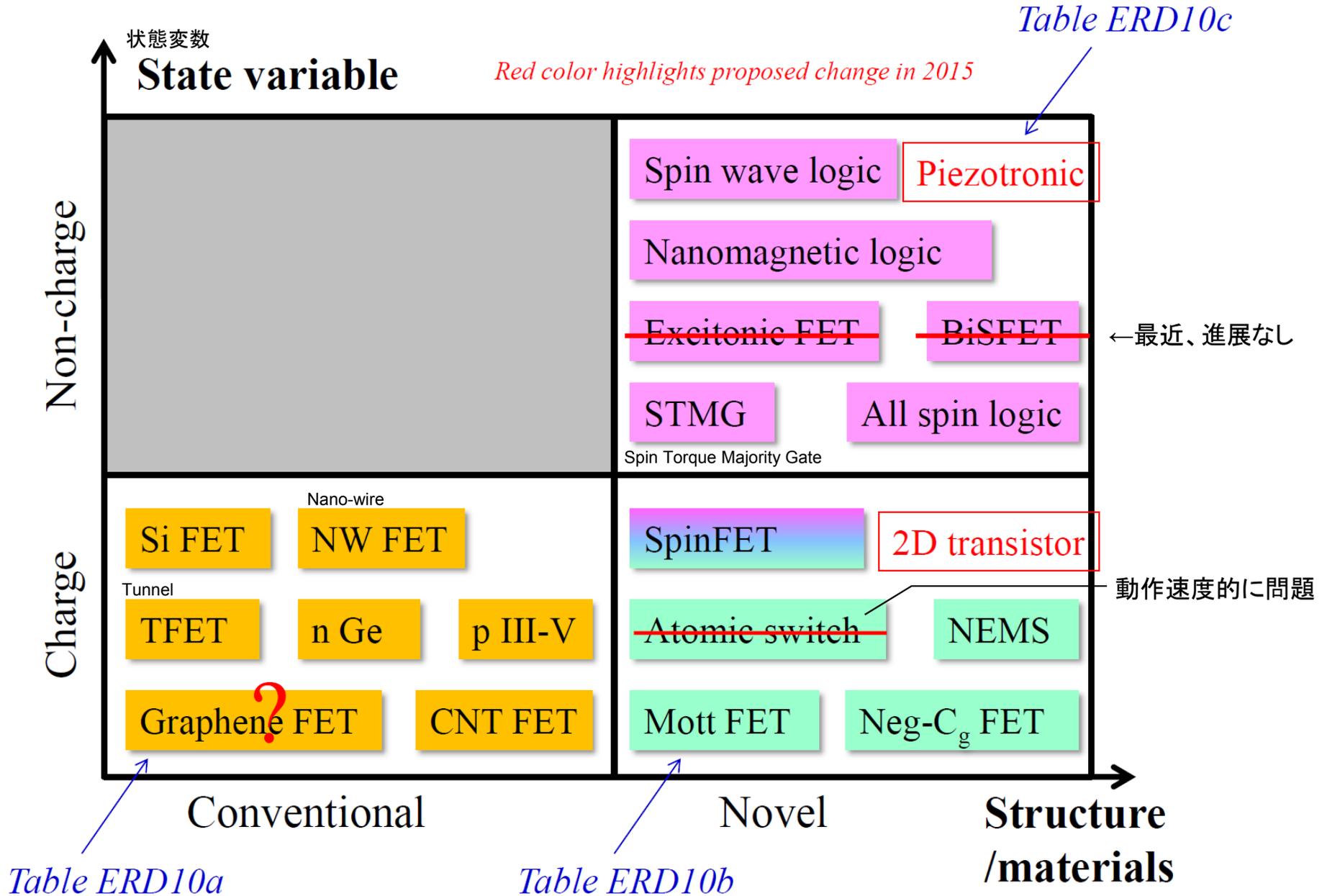
— Possible entries to remove or re-organize

Emerging Logic Devices

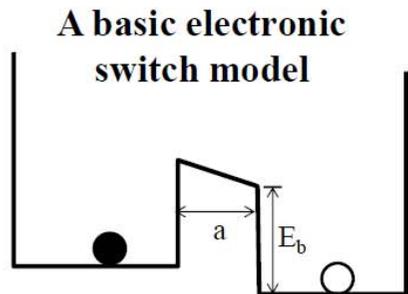
ベンチマーク & ハイライト

エマージング・ロジックデバイス-カテゴリ

for ITRS2015

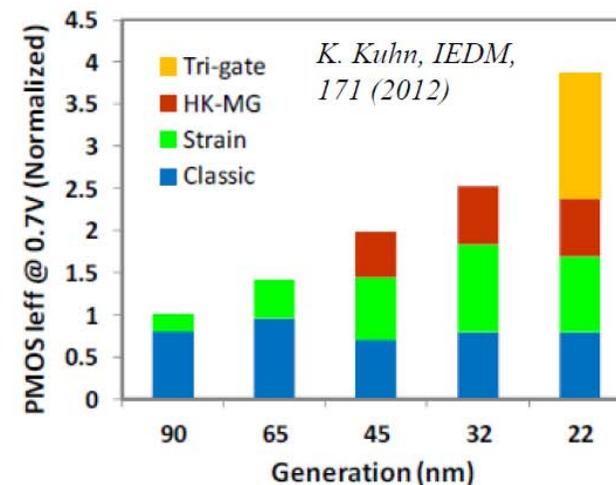


CMOS Extension & Beyond CMOS STRJ



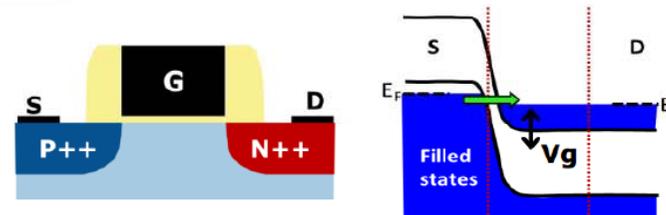
CMOS extension:

- New materials
 - Strain, SiGe, Ge, III-V, CNT, ...
- New structures
 - FinFET, gate-all-around, ...

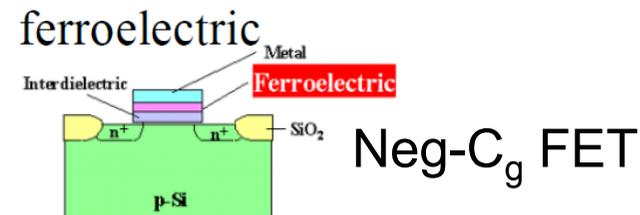
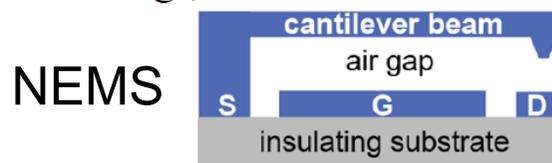


Beyond-CMOS devices: new mechanism

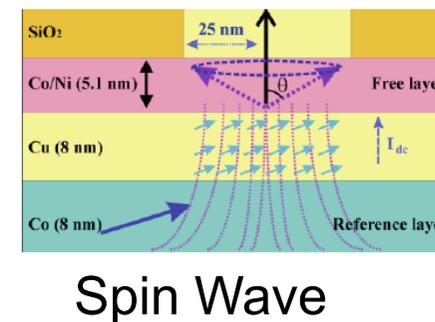
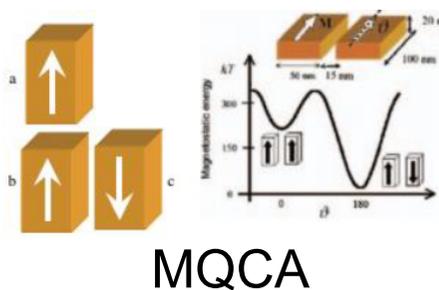
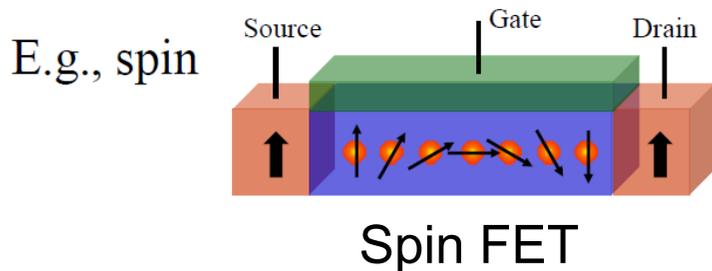
- New transport mechanisms E.g., tunneling
TFET



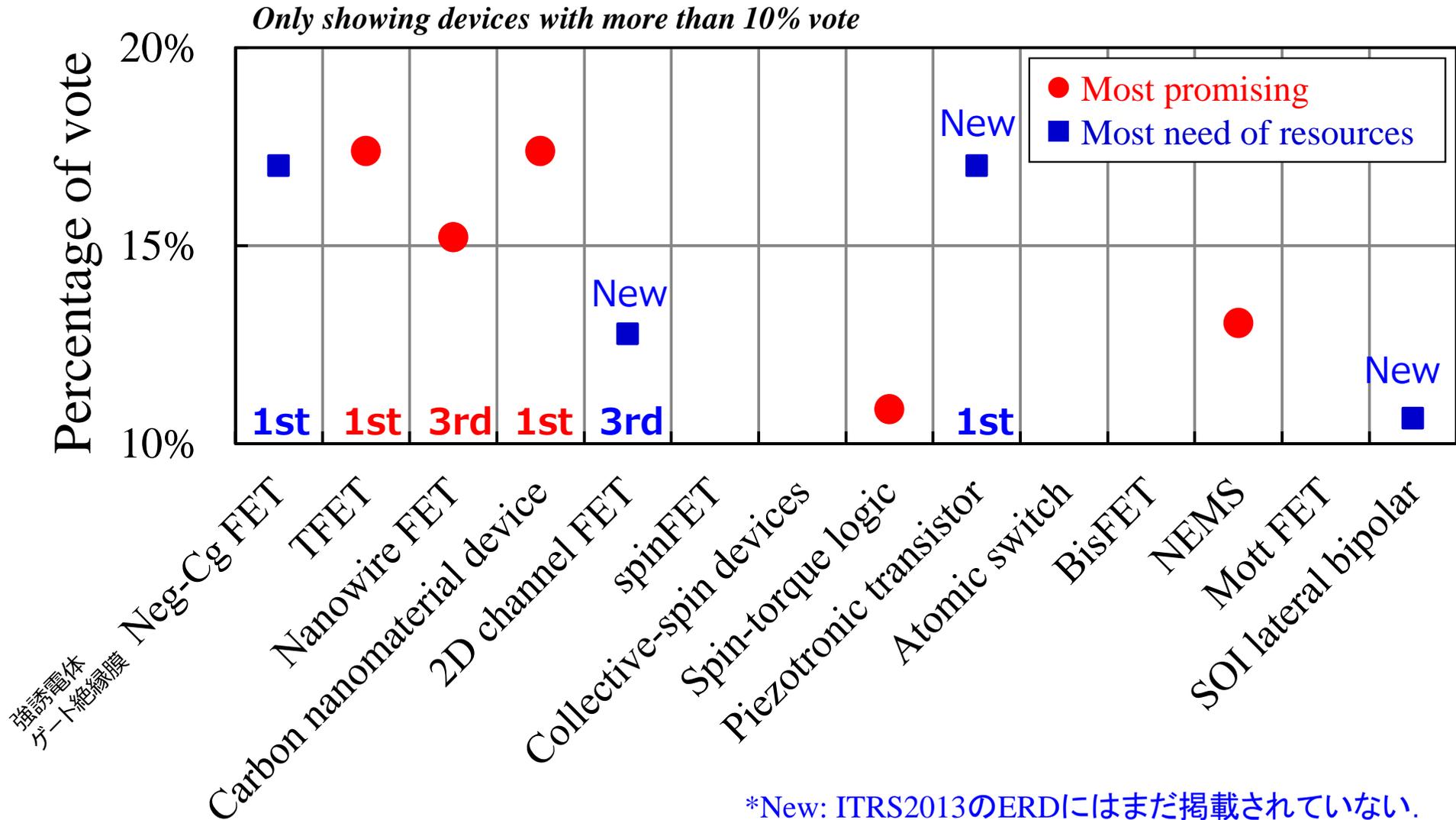
- New gating mechanisms E.g., mechanical
NEMS



- New state variables



27-28 Aug. 2014 in Albuquerque, USA



目指す方向性: steep SS (< 60mV/dec.@RT) 低電圧駆動⇒超低消費電力

Carbon Nanotube FET

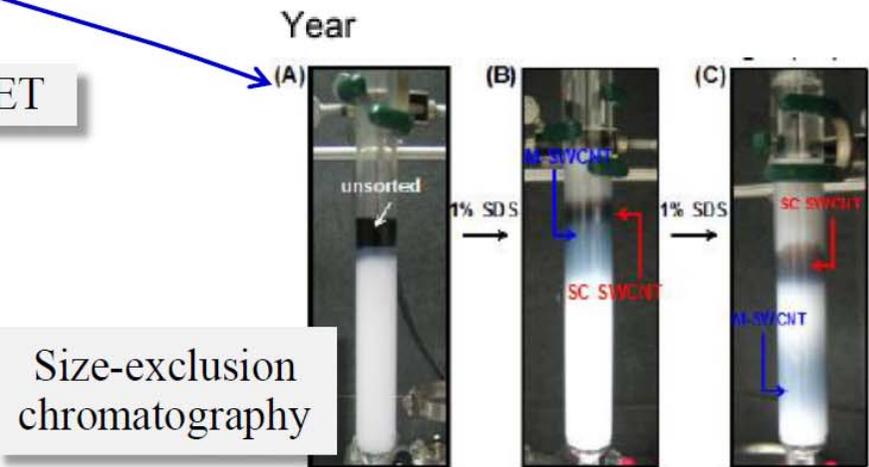
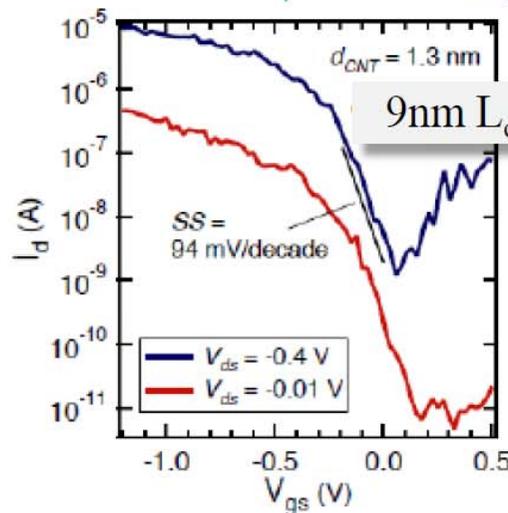
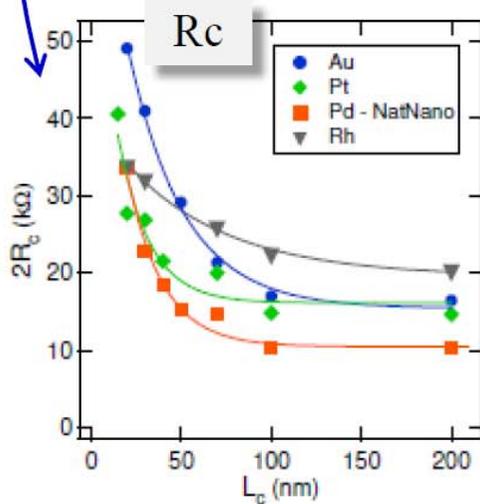
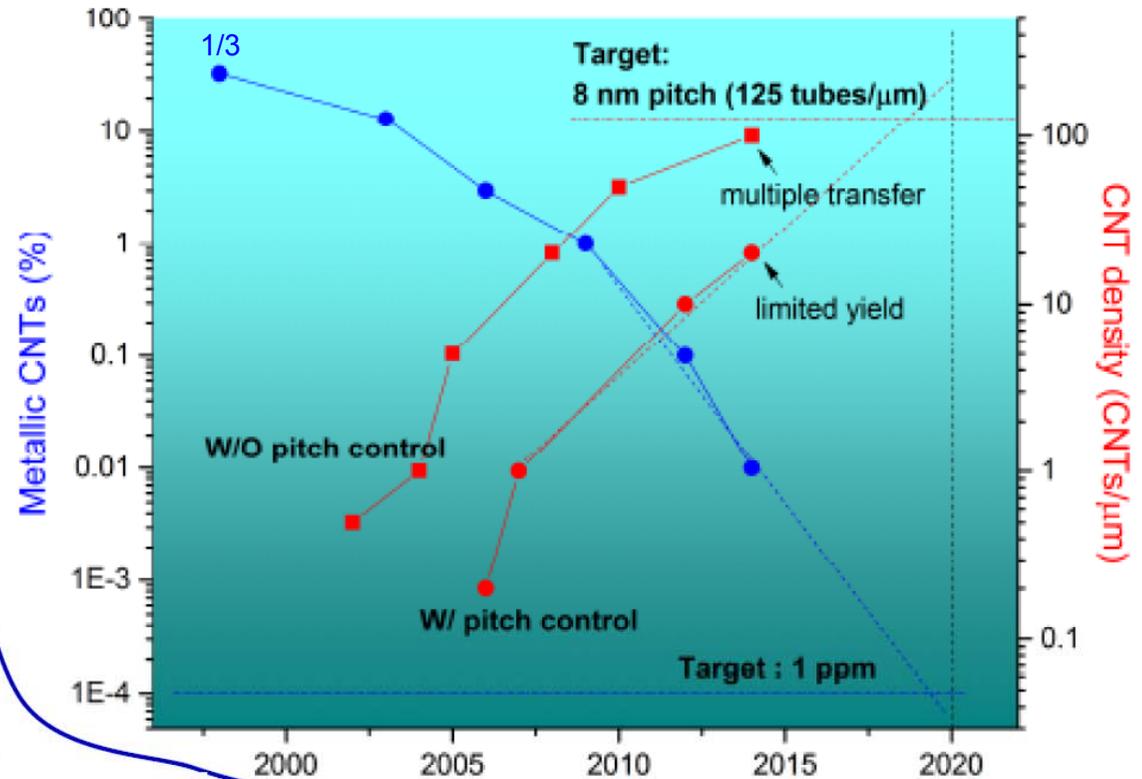
S.J. Han, ERD Emerging logic device assessment workshop. 2014

Advantages:

- Scalability
- Ultra-thin body
- Ballistic transport
- Gate-all-around

Challenges:

- Purity, placement, density
- Variability
- Contact resistance
- NFET for CMOS



Size-exclusion chromatography

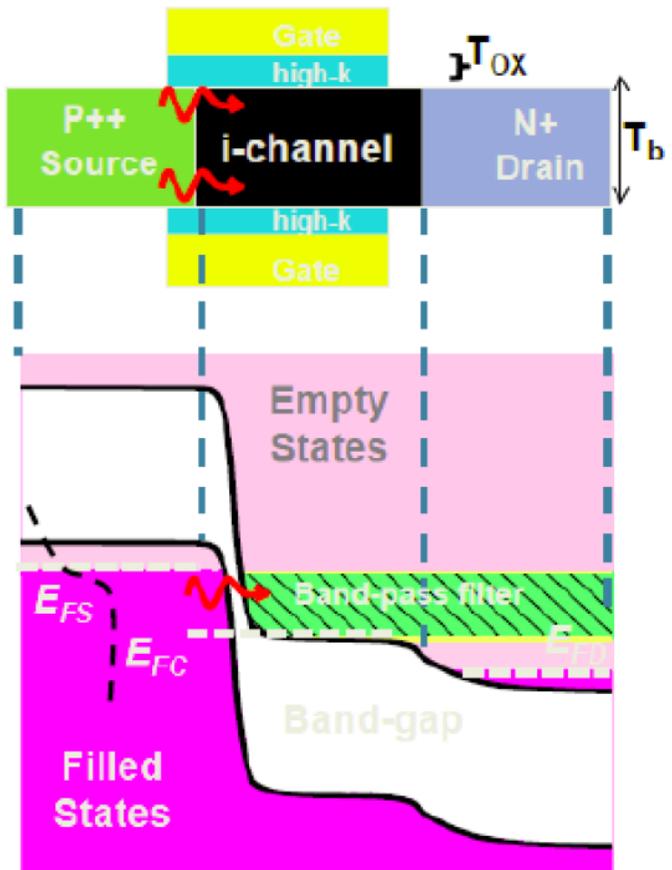
半導体型 / 金属型の分離

Tunnel FET

SS < 60 mV/dec.@RT

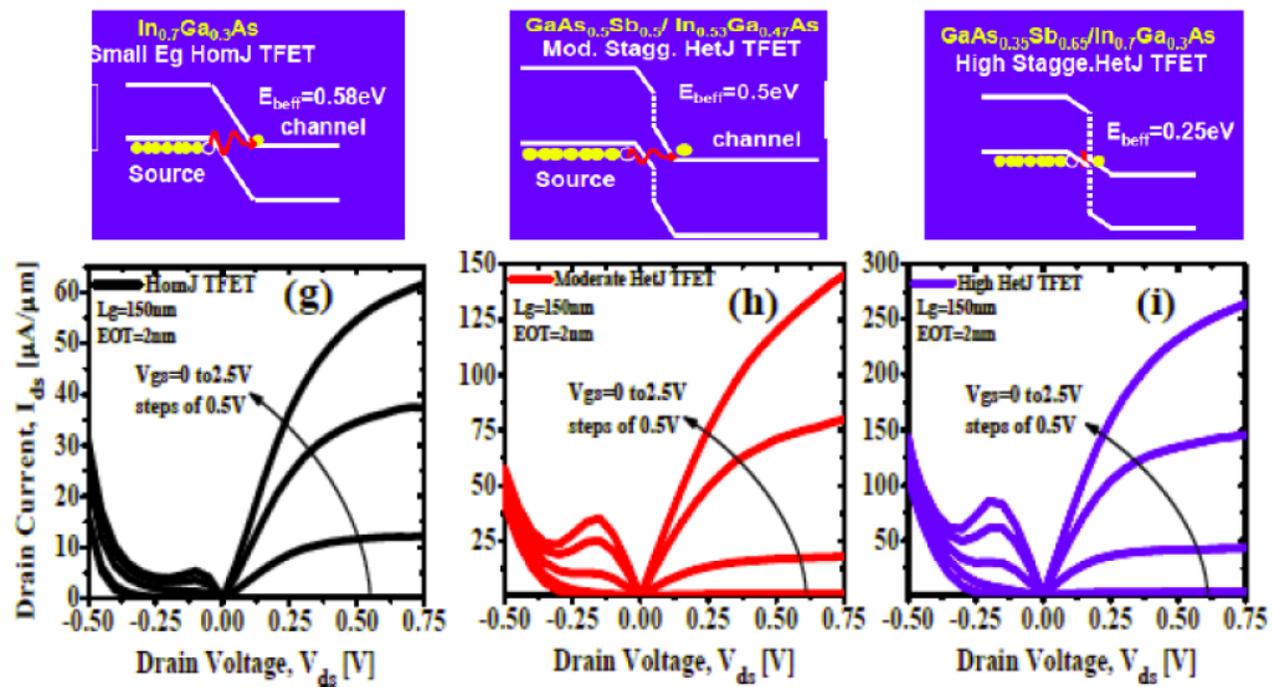
Gated quantum-mechanical band-to-band tunneling to enable steep sub-threshold slope for a low-power switch

- Challenges:**
- ✓ Improve I_{on} while keeping SS and I_{off} low
 - More stringent material, device, and fabrication requirements, E_g & composition engineering, etc.
 - Reduce interface state density
 - Body thickness scaling at advanced nodes
 - Device variation (body thickness, G-S overlap)



S. Datta, ERD Emerging Logic Device Assessment Workshop, Aug. 2014

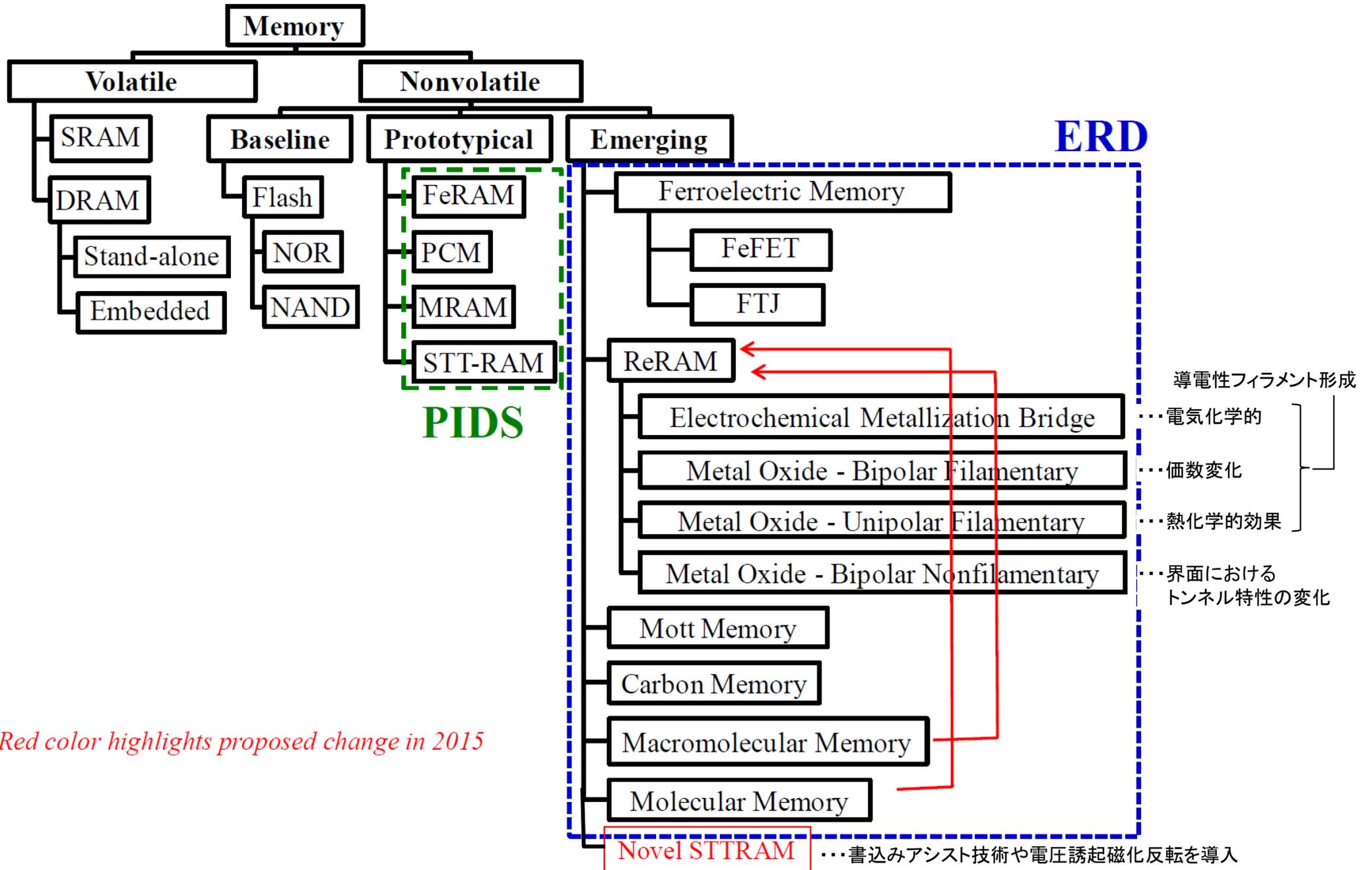
Hetero-junction TFET: bandgap engineering



Emerging Memory Devices

ベンチマーク & ハイライト

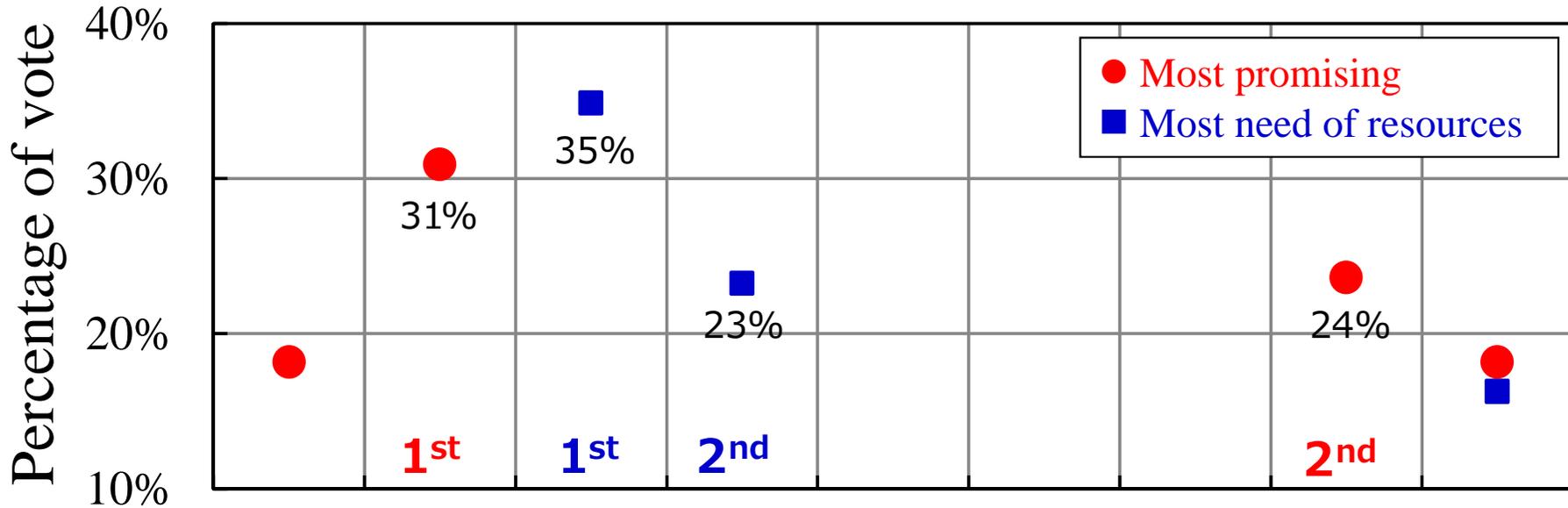
エマージングメモリデバイス-カテゴリ



Red color highlights proposed change in 2015

27-28 Aug. 2014 in Albuquerque, USA

Only showing devices with more than 10% vote



熱による相転移 PCM
 スピン利用 STT-MRAM
 強誘電体利用 Emerging FeFET and FTJ...
 ナノカーボン利用 Carbon-based memories
 金属/絶縁体転移 Mott memory
 Conductive Bridge RAM: ReRAMの一つ。金属フラグメント型。
 構造: 活性金属/固体電解質 / 不活性金属
 Macromolecular memory
 Molecular memory
 Oxide-based ReRAM CBRAM

目指す方向性: 消費電力低減

1st, 2nd: 電流駆動 (量産化検討中)

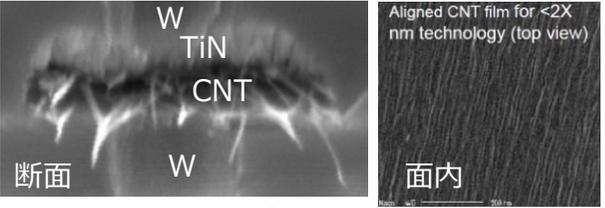
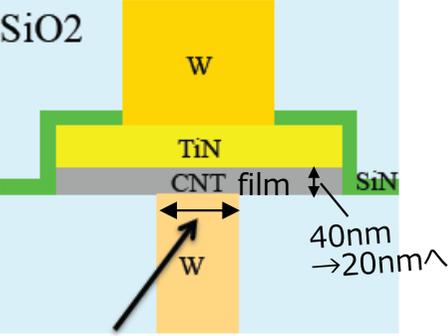
1st, 2nd: 電圧駆動

cf. NAND Flash, FeRAM

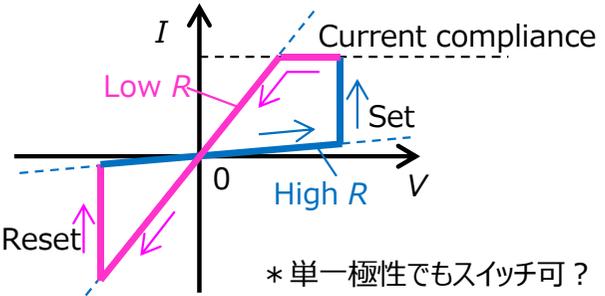
CNT-RAM: CNT膜を使った不揮発性メモリ

(by Nantero Inc.)

- スイッチングエネルギー： ReRAM, STT-MRAMの < 1/10
- レアアース不要： C と水だけでメモリbodyを作製可
- Universal & 超長期保存メモリの可能性



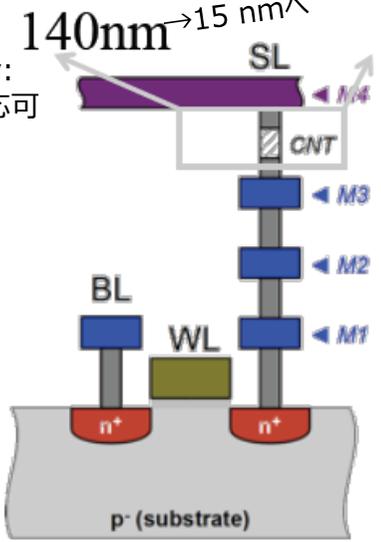
CNTを水に分散して塗布 (SW-CNT, Semicon : Metal = 2:1)



CNT-RAMの推定 I-V Sw特性

* 単一極性でもスイッチ可?

Scalability: 15 nm対応可



140nm 4Mb CNT-RAM: Typical conditions

	Write (-65C to +165C)		
	Voltage	Time	Current
RESET	2 V → 1 V *1	<20 nS *2	<10 uA
SET	3 V → 2 V *1	<20 nS *2	<10 uA
Window (1V read)	10 MΩ (OFF) / 0.1 MΩ (ON)		>~100
Endurance	>10 ¹² cycles		
Read disturb	>10 ¹⁵ reads; non-destructive		
Retention	<u>>1000years @ 85C</u> ; >10y @ 300C		
Bit Yield	>99.999%		

*1 floating cell write採用時
*2 測定器下限で律速

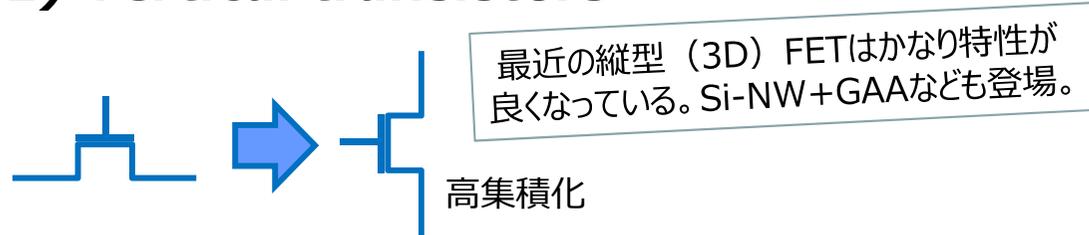
多値化も可
数bit測定
32kbit測定
32kbit測定
32kbit測定

Memory Select Device

ITRS/ERD

集積度を決めるのはメモリセルだけではない。セル選択デバイス（ダイオードやTr）も同じ重みを持つ。
 4F²を目指す試み：1T1R, 1T1C, 1D1R

(1) Vertical transistors



2端子選択デバイスの必要特性

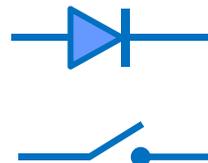
Parameter	Value	Driver
ON Voltage, V_r	~1 V	Compatibility with logic; low-power operation
ON current, I_r	~10 ⁻⁶ A	Sensing of memory state (fast read)
✓ ON/OFF ratio	>10 ⁶	Sufficiently low 'sneak' currents
Operating temp.	85° C	The top end spec for servers.
	50° C	NAND spec (the very embodiment of non-volatile memory for the current state-of-the-art)

(2) Two-terminal select devices

抵抗変化型メモリアレイ用の
 2端子・非線形デバイスが欲しい

検討されている選択デバイス

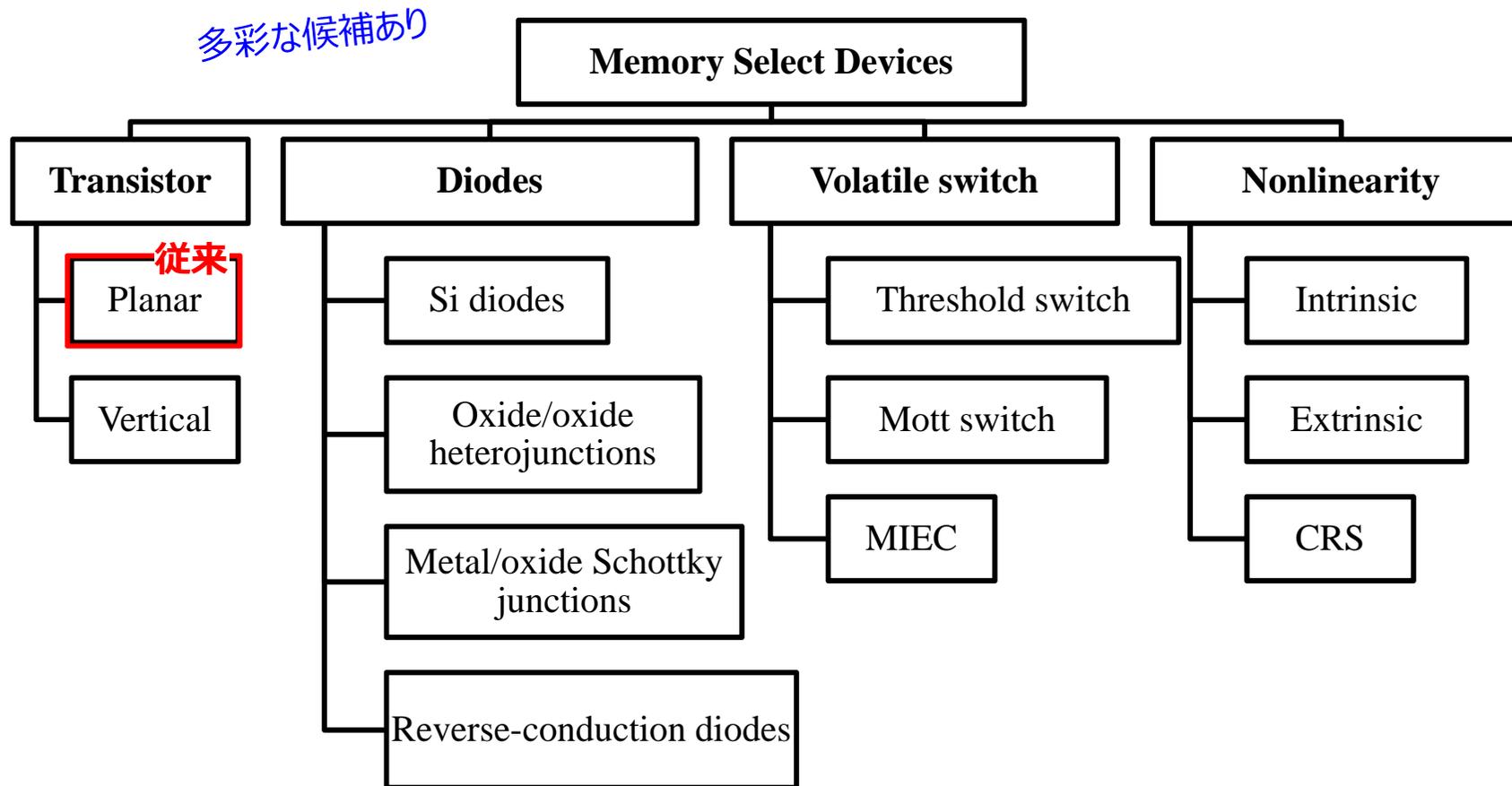
- ダイオード型
- 抵抗スイッチ型
- MIT switch
- Threshold switch
- MIEC switch



Memory Select Device

Taxonomy

ITRS/ERD



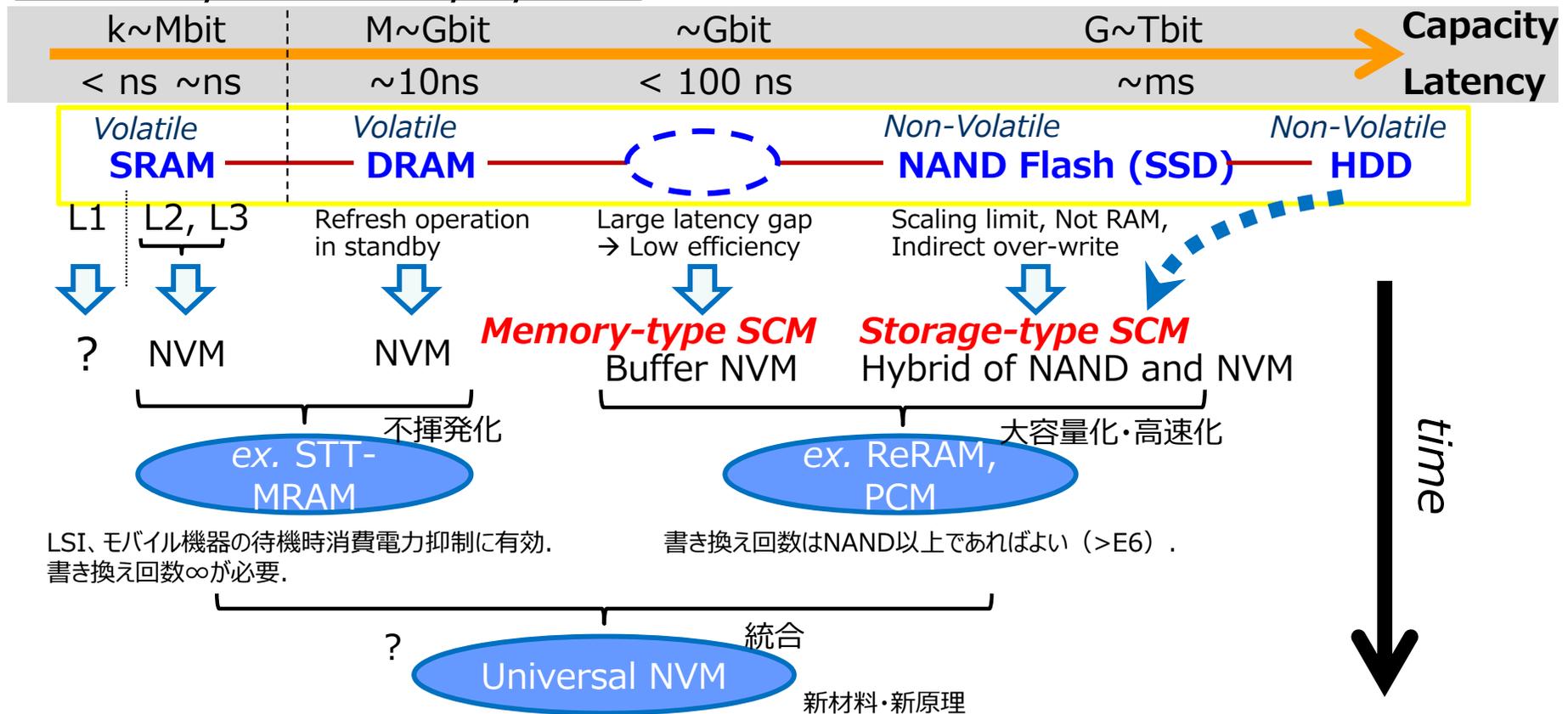
➡ 面内→縦型、Tr →ダイオードへ。
さらに、'Selector-less' Memory cell (自己選択性) へ。

メモリ進化の方向性

ITRS/ERD

- メモリの不揮発化による待機時消費電力の低減
- ストレージクラスメモリの導入

Hierarchy in Memory system



Emerging Architectures

脳型アーキテクチャ

新探求素子(ERD)のための新概念アーキテクチャ

これまでのERDアーキテクチャ(ITRS 2007, 2009, 2011)

アーキテクチャ	実装	演算要素
メニーコア	対称コア	CMOS
異種融合コア	非対称コア	CMOS
	CMOL	CMOS + 分子スイッチ
	分子Cross-bar	分子スイッチ
	Checkpoint	CMOS + 強誘電体
Morphic	CNN	CMOS + センサ
	連想メモリ	FG-FET, SET
	Bio-inspired	MFTD, スピン

ITRS 2009 ERD-ERA Chapter

- 特定ERDアーキテクチャのベンチマーク
- メモリアーキテクチャ
- 推論アーキテクチャ (for Beyond-Neumann Computers)
- 情報処理のパフォーマンス限界の見積もり

ITRS 2011 ERD-ERA Chapter

- ERDメモリアーキテクチャ
- 新概念計算アーキテクチャ (Morphic)
- 情報処理の分類 (Beyond Neumann, 他)

ITRS 2007 ERD-ERA Chapter



➤ 議論1. ERDを用いてどのような演算が可能になるか？

- MOSFET + 不揮発 (ReRAM, MTJ): 再構成可能論理演算, アナログ素子のばらつき補正
- Molecular Devices/Elements: 分子の相互作用を利用した超並列演算 / 知的演算

➤ 議論2. ERDの利用機会がある情報処理の模索

- 脳型計算アーキテクチャ: 単電子, 抵抗変化メモリ, ナノディスク, CMOL, CMOS
- セルラーアーキテクチャ: セルオートマトンとその計算理論

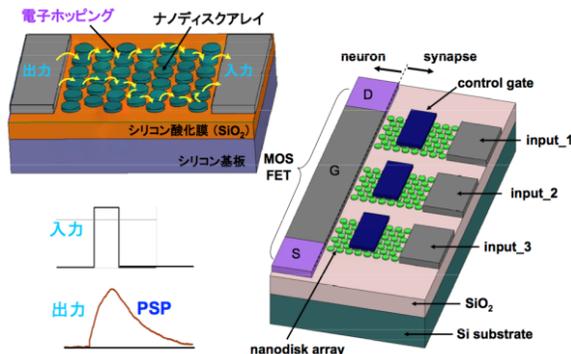
➤ 議論3. 情報処理の分類とERD ~計算科学からのアプローチ~

- 出口目的 / 試行のアーキテクチャ分類に向けた準備

脳型アーキテクチャの現在の開発動向

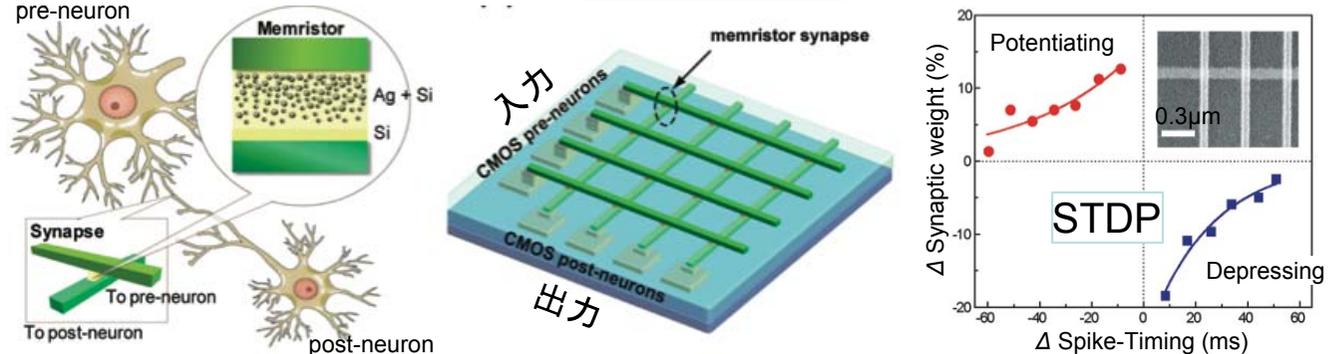
アプリケーション分野		現在開発されているアーキテクチャ
特定用途演算		連想メモリ・CAM (CMOS, SET), データマイニングと推論マシン (CMOS), 特徴抽出 (CMOS), 雑音駆動型情報処理, 運動制御 (CMOS), etc.
センサ (五感)	画像	輪郭強調 (CMOS, SET), 動き検出 (CMOS, SET), ステレオビジョン (CMOS), 視覚対象追従制御 (CMOS), 適応型ゲイン調整 (CMOS), 方位検出 (CMOS), 超高速撮像 (CMOS), etc.
	その他	シリコン蝸牛 (CMOS), 音波による位置検出 (CMOS), 聴覚系におけるノイズキャンセルと選択的注意 (CMOS), 嗅覚センセ (CMOS), etc.
人工生命		反応拡散コンピュータ (CMOS, SET), 人工魚脳 (CMOS), 人工鮟鱇脳 (CMOS), etc.
実装技術		CrossNets (Molecular), アドレスイベント駆動 (CMOS), CDMAニューラルネット (CMOS), 人工神経細胞 (CMOS, SET), 人工シナプス (ReRAM, etc.), 三次元実装, Brain-machineインターフェース, etc.

シナプスデバイス(単電子, ナノディスク)



九工大・森江、他

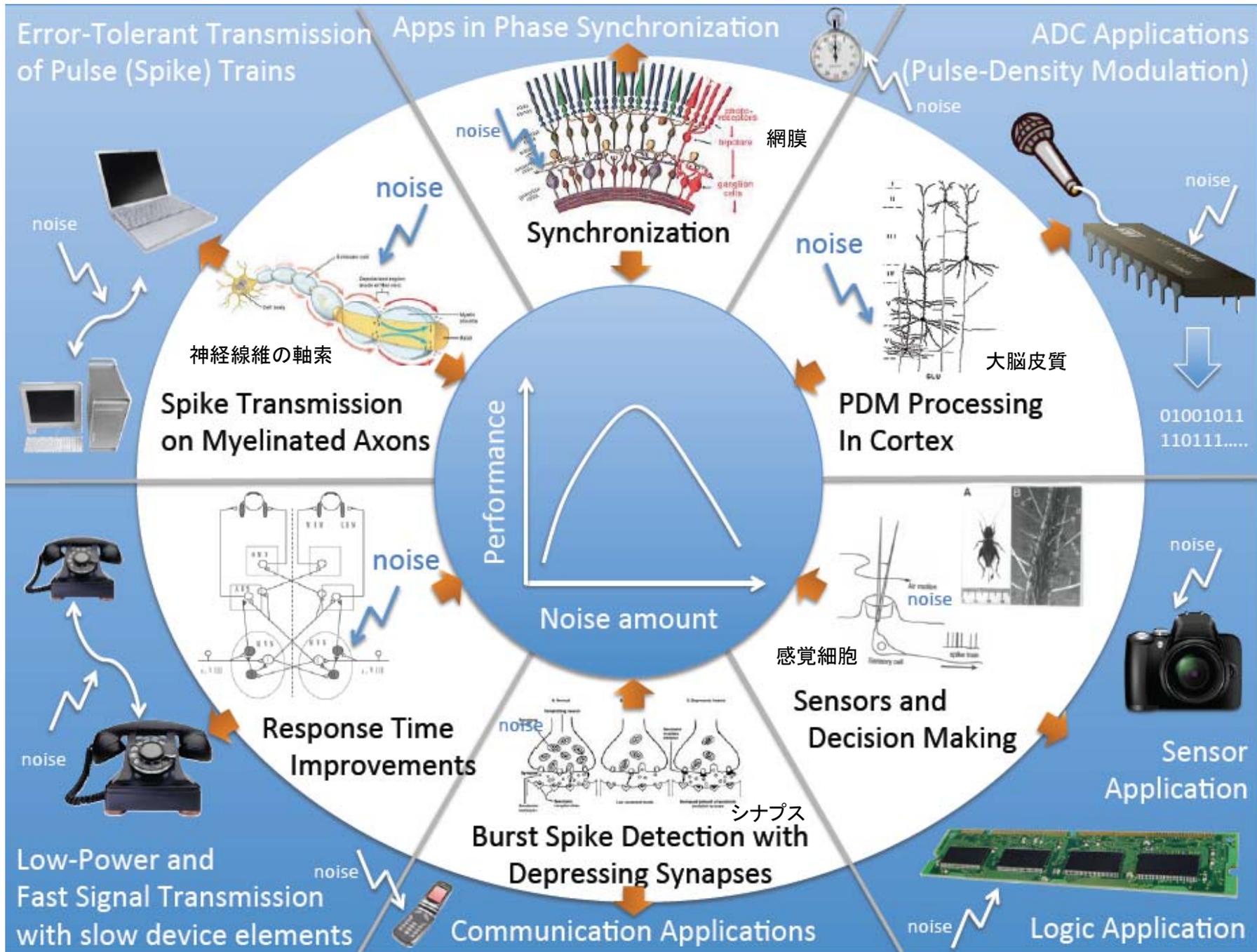
神経細胞 & シナプスデバイス(ReRAMをアナログ的に利用し、CMOSと組み合わせて構成)



Jo, Chang, Ebong, Bhadviya, Mazumder, Lu, Nano Lett. 2010, 10(4), p.1297

STDP: spike timing dependent plasticity

Neuromorphicアーキテクチャ: ノイズはこんなにも有用...



ITRS2.0

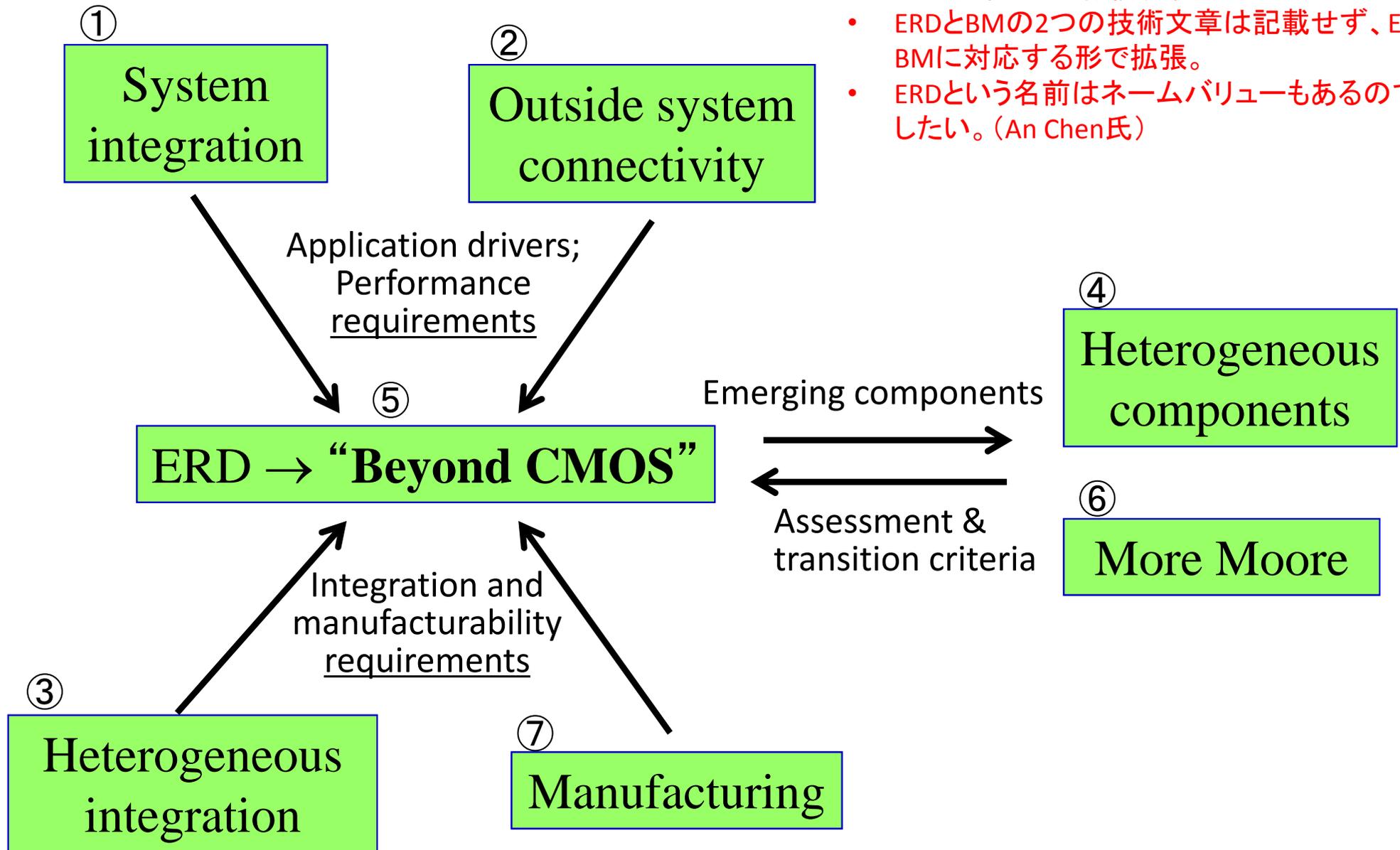
- ・7つのフォーカスエリアとERDの役割
- ・セキュリティ技術のトピックス：
Physical Unclonable Function (PUF)

“Beyond-CMOS” Focus Team



7つのフォーカスエリアとERD (Beyond CMOS) との関わり

- ERDとはグループ、BM(Beyond Moore)は行うべきタスク。
- ERDはそのまま存続、そのメンバーでBMに対応。
- ERDとBMの2つの技術文章は記載せず、ERDをBMに対応する形で拡張。
- ERDという名前はネームバリューもあるので残したい。(An Chen氏)



Alignment with New Application Drivers



ITRS2.0/Beyond Moore

ITRS/ERD

Computing/ Communication

1. Memory
2. Logic
3. Architectures
4. More-than-Moore (RF)

Internet-of-Things

- 1. Low-power devices**, e.g., TFET, NEMS
- 2. Embedded NVM**
- 3. Security**, e.g., PUFs
4. RF and wireless
- 5. Sensor** integrated with CMOS
6. Energy-harvesting devices

Cloud/Big Data

1. Optical interconnects
- 2. Storage Class Memory**
3. Efficient DC-DC converters
4. Data driven computing (accelerators for Hadoop, etc.)
- 5. Security**

ERD's areas of focus:

Today

- Emerging Logic
- Emerging Memory



Future

- Sensor integration
- Security
- Energy-harvesting
- Circuit blocks and architectures for IoT, cloud
- DC-DC converters
- ...

対象範囲の拡張

PUF – 分類

Physical Unclonable Function

LSIの個体毎の電子回路のわずかな差異(プロセスや動作原理に起因): そのLSIの「指紋」



暗号作成に利用。その個体でしか復号できない強力な暗号化。

標準CMOS型

回路遅延

Arbiter

Verayo社 (MIT) が中心に製品展開

Glitch Ring Osci.

デジタル回路の0と1が変わるタイミングの差異を利用する

SRAMに電源を入れた直後の初期値の差異を利用

初期値

SRAM

FF

Butterfly

Intrinsic-ID社(元Philips)が中心に製品展開

揮発性メモリ

リテンション

DRAM

専用メモリ型

不揮発性メモリ
初期値

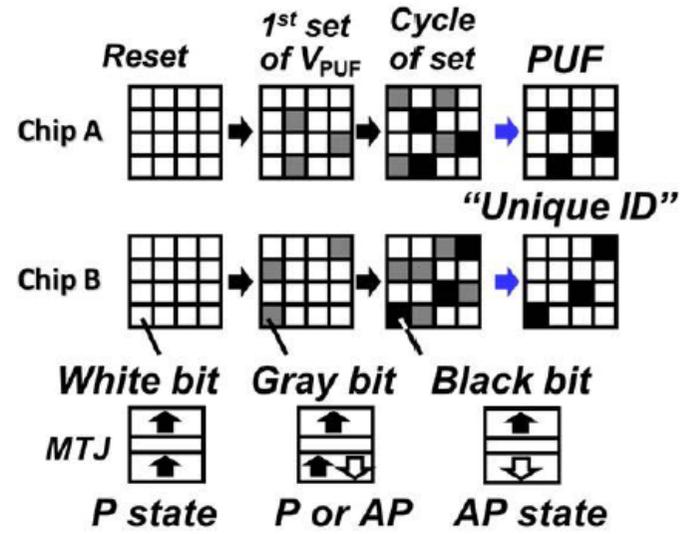
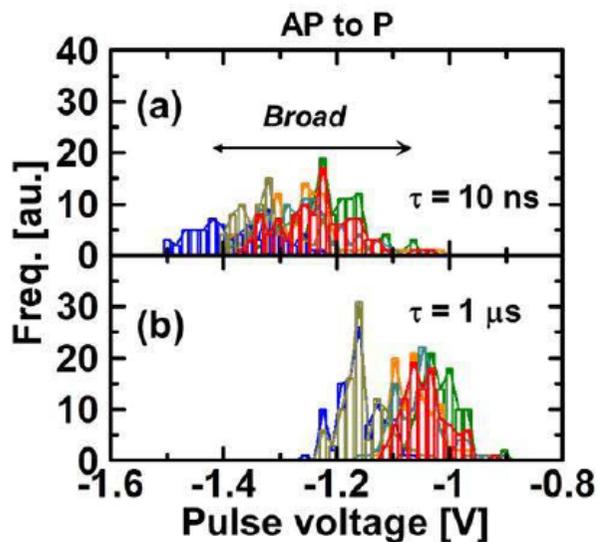
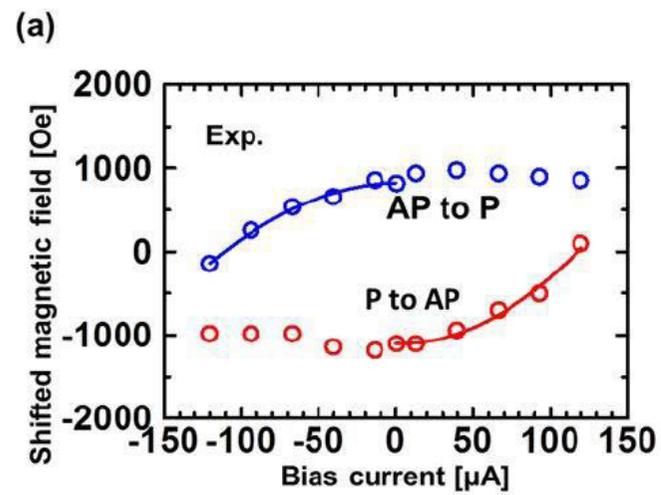
NAND Flash

抵抗変化メモリ

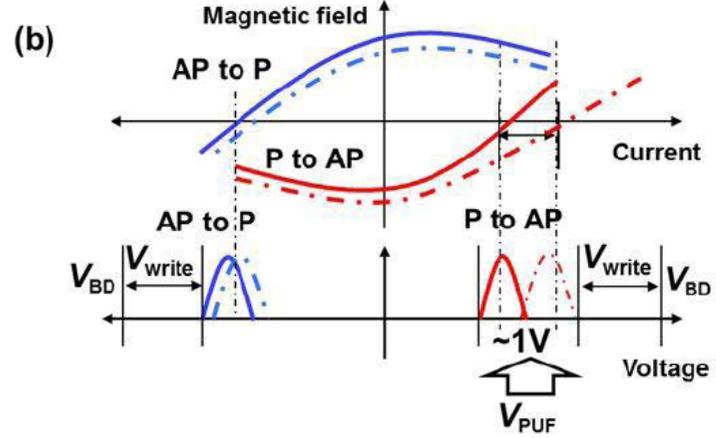
MRAM ReRAM PCM FeRAM (STT)

MTJ – PUF

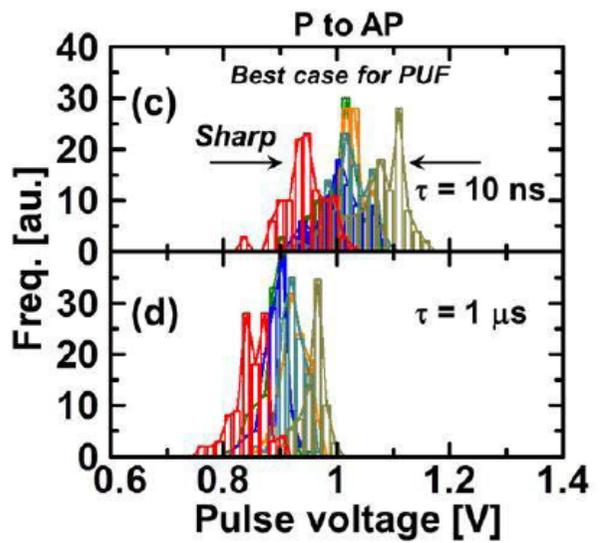
Magnetic Tunnel Junction



V_{PUF} を加えていくと、やがて特有のパターンが現れる。毎回、実験。



反転するかしないかのところで意図的に電圧パルスを加。アナログ的变化を利用。



T. Marukame, T. Tanamoto, Y. Mitani, Magnetics, IEEE Transactions on 50 (11), 1-4 (2014)

キーメッセージ

ITRS/ERDから読み取れるメッセージ

- 超低消費電力化の促進
- ロジック
 - 動作電圧低減 ……Steep SS ex. TFET, Neg.C_g-FET, PET
 - 新たな状態変数 ex. スピン, エキシトン
機能をハードウェアで実現して素子数低減(用途限定) ex. MQCAの多数決ゲート
- メモリ
 - 不揮発化 ……対象階層の拡張
 - 電流駆動(ホットデバイス) → 電圧駆動(コールドデバイス)
 - メモリセル選択デバイスの重要性
- アーキテクチャ
 - デバイスとアーキテクチャの連携によるNeuro-morphicの実現
 - アナログ特性の利用 ex. シナプスデバイス using Memristor
 - 機能・用途特化によるハードウェア化 ……システム簡素化
 - 計算 → 実験 ex. セルラオートマタ, MTJ-PUF, Ising model(組合せ最適化問題)
 - ノイズ、ばらつきの積極活用 ex. 生体機能模倣、PUF(暗号化技術)

Extended CMOS

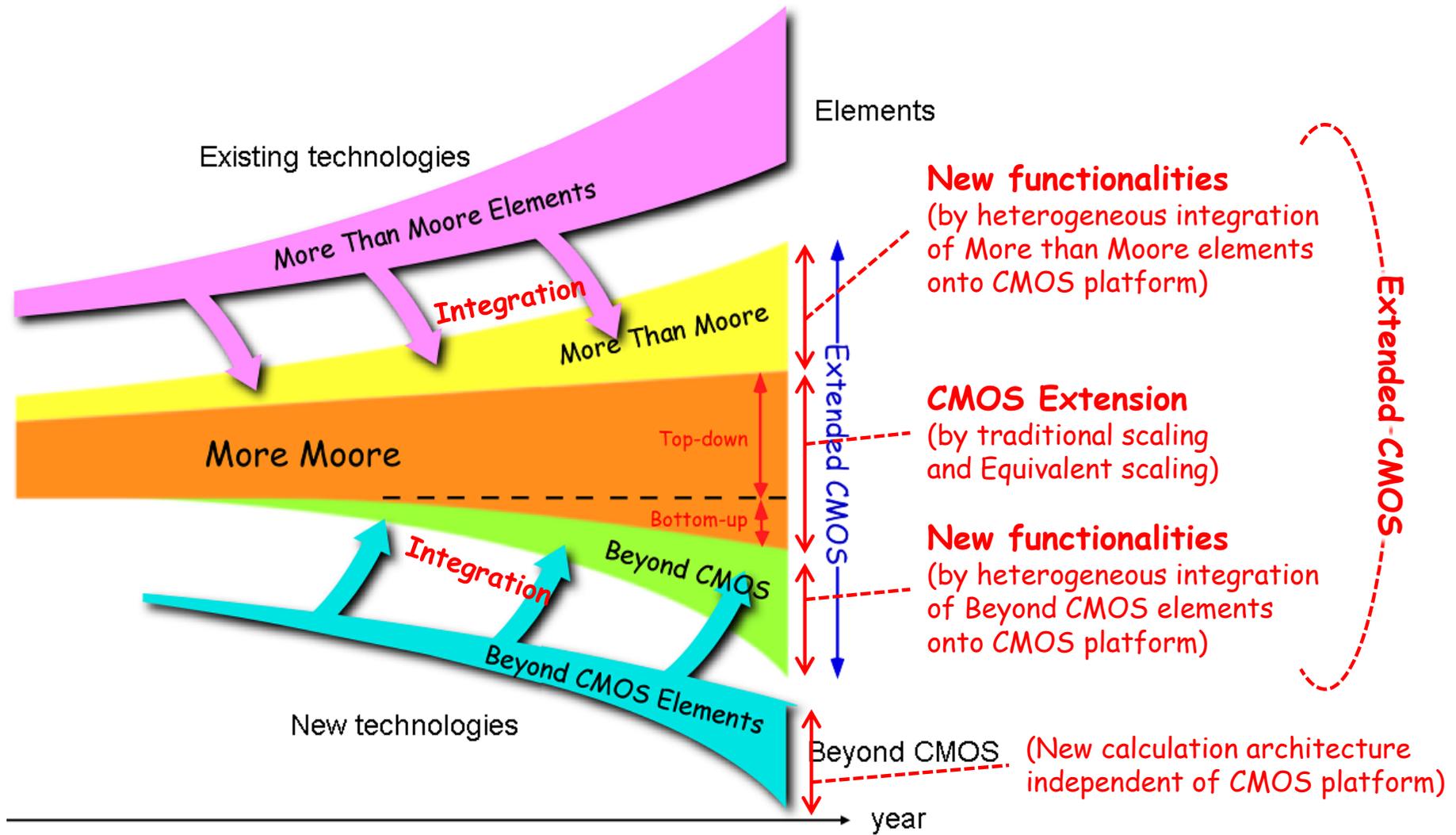
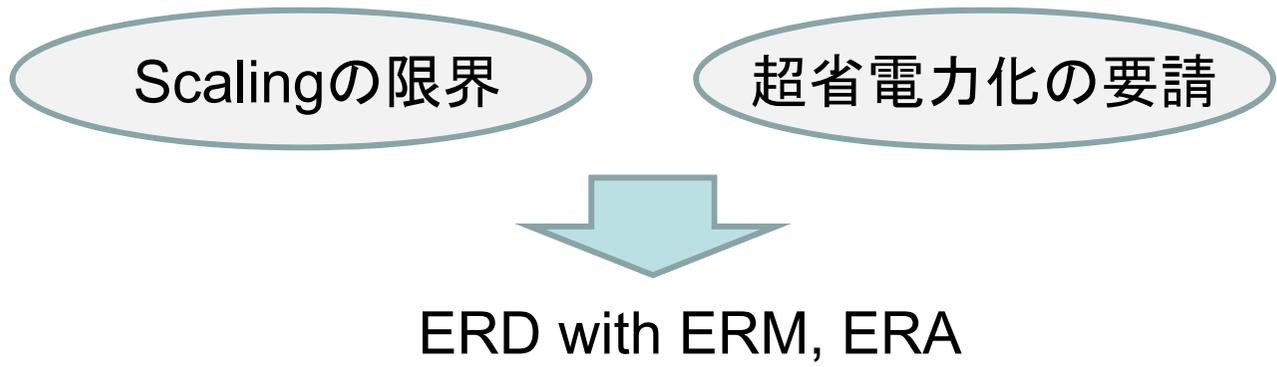


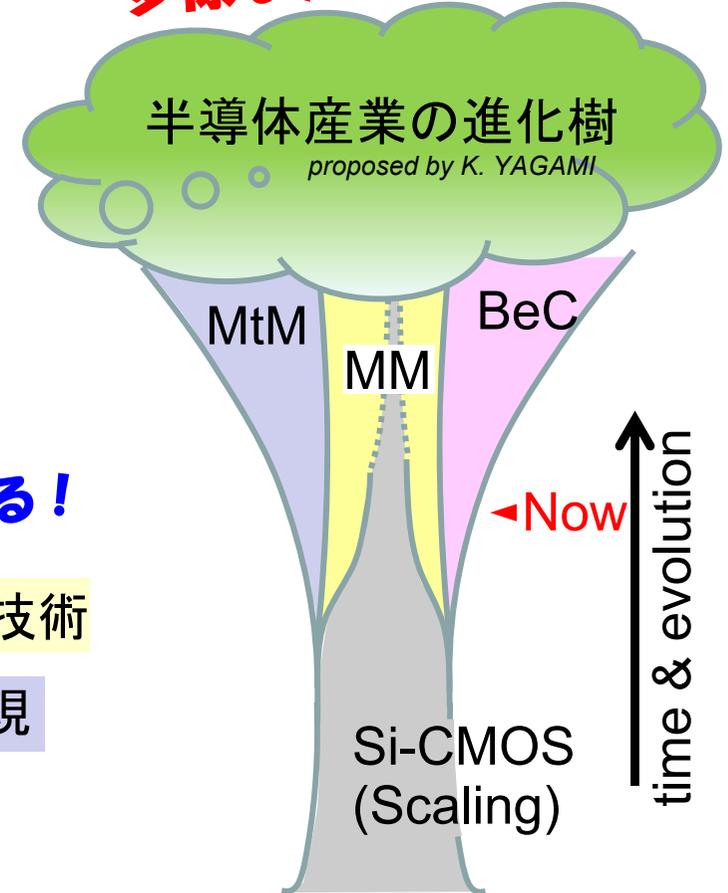
Figure ERD1 Relationship among More Moore, More-than-Moore, and Beyond CMOS.

*ERD: emerging research devices
*ERM: ~ materials
*ERA: ~ architecture

- 情報量の急激な増大
- 消費エネルギーの急激な増大



多様な発展の可能性!



Concept of ERD

Scaling以外にもいろいろな手がある!

- More Moore ... 極限微細化と微細化等価技術
- More than Moore ... 機能融合による新機能発現
- Beyond CMOS ... 新原理, 新たな状態変数