

WG11 活動報告

(Yield Enhancement)

デバイス・プロセスの多様化に求められる
汚染・欠陥の計測と管理

嵯峨幸一郎(ソニー)

報告内容

(0) 歩留りに影響する欠陥と活動のポイント

(1) ウェハ環境汚染管理

(Wafer Environment Contamination Control)

- 純水や薬液の管理ポイントおよび管理値の変更に向けた取り組み、ITRSへの反映

(2) 欠陥検査・分類・分析

(Contamination, Inspection and Analysis)

- 歩留り向上につながる検査技術の方向性
- 三次元積層プロセスにおける欠陥検査技術の最新動向
(検査装置メーカーからのヒアリング)

メンバー

氏名	会社名	YE 役割分担案
嵯峨幸一郎	ソニー	リーダー・YE国際
富田 寛	東芝	サブリーダー・委員
玉置真希子	東芝	委員 WECC
藺部悠介	ローム	委員 WECC, CIA
槌谷孝裕	富士通セミコンダクタ	委員 CIA
水野文夫	明星大学	特委_アカデミア・CIA WECC
池野昌彦	日立ハイテク	特委_計測装置サプライヤ CIA
近藤 郁	リオン	特委_計測装置サプライヤ WECC
高木 想	堀場製作所	特委_計測装置サプライヤ WECC
斎藤美佐子	東京エレクトロン	特委_製造装置サプライヤ・WECC・
北見勝信	栗田工業	特委_材料サプライヤ・WECC
二ツ木高志	オルガノ	特委_材料サプライヤ・WECC・幹事
杉山 勇	野村マイクロ	特委_材料サプライヤ・WECC・

WECC; ウェハ環境汚染管理

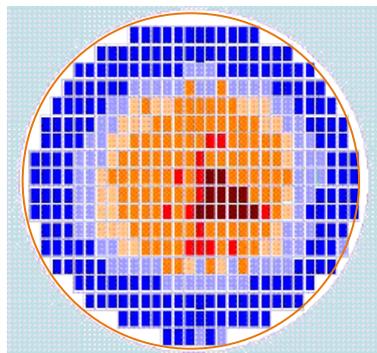
CIA: 欠陥検出技術

歩留 $Y = Y_{\text{systematic}} * Y_{\text{random}}$

* Y_{random}

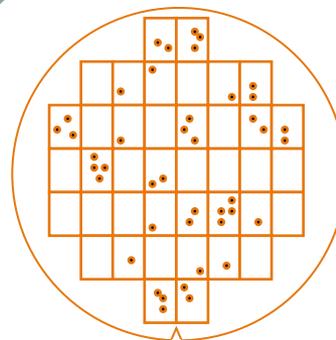
各社の各デバイスに
固有であることが多い

ウェハ面内
不良分布

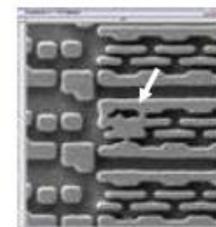


原因の例
 ・膜厚変動
 ・線幅変動
 ・不純物濃度変動

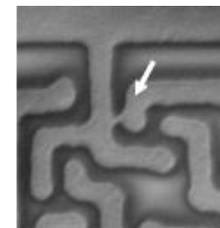
ITRSでは主にランダム欠陥に関して活動



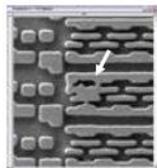
原因の例
 ・パターン欠陥
 ・配線short/open



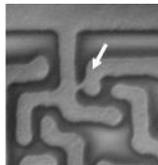
(例) パターン崩れ



(例) 配線Short 欠陥

$$Y_{\text{random}}$$


(例) パターン崩れ



(例) 配線Short 欠陥



欠陥検査技術(分解能、
検査時間)のロードマップを作成

$$Y = \exp(-A * D)$$

A : area(cm²)
D : defect density (/cm²)

歩留りモデルによる工程許容欠陥算出



近年、各社デバイスの多様化にともない
システム欠陥や見えない欠陥の影響が増加し、
歩留モデルと工程許容欠陥の議論は停止



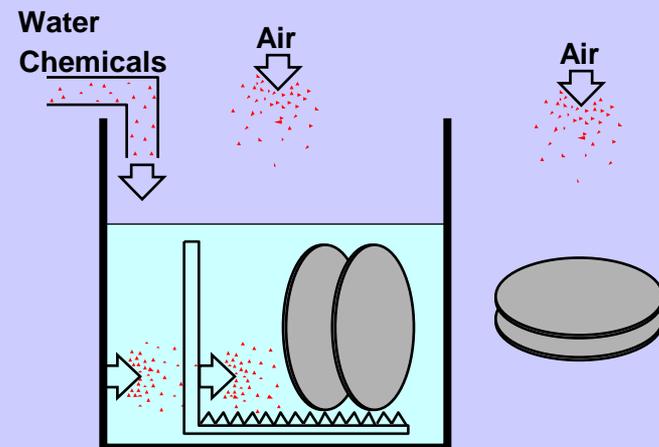
WECC (Wafer Environment Contamination Control)

金属汚染、分子状汚染などの見えない欠陥
となる汚染の影響が顕在化してきたため、
その管理値が議論されるようになった。



CIA (Contamination,
Inspection and Analysis)

これまでの延長線上で
はない欠陥検査技術の
要求に対し、調査を開始



ウェハ環境汚染のロードマップ活動の取り組み

- **現在のウェハ環境汚染管理のテーブルの課題**
- **管理ポイントの定義の変更の必要性（ITRSへの反映）**
- **純水以外の薬液の管理値の見直しの必要性和分析技術の改善要求**

純水および薬液中の汚染濃度の要求テーブル

ITRS 2013 update

Table YE3 Technology Requirements for Wafer Environmental Control 2014 2015 2016 2017 2018

Year of Production	2014	2015	2016	2017	2018
Flash ½ Pitch (nm) (un-contacted Poly)(f)	20	18	15.9	14.2	12.6
DRAM ½ Pitch (nm) (contacted)	28	25	22.5	20.0	17.9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	24	21	18.9	16.9	15.0
MPU Printed Gate Length (nm) ††	25	22	19.8	17.7	15.7
MPU Physical Gate Length (nm)	18	17	15.3	14.0	12.8
Wafer Environment Control such as Cleanroom, SMIF POD, FOUP, etc....not necessarily the cleanroom itself but wafer environment.					
Critical particle size (nm) [1]	17.9	15.9	14.2	12.6	11.3
純水中					
Ultrapure Water [29]					
Resistivity at 25°C (MΩ·cm)	18.2	18.2	18.2	18.2	18.2
Total oxidizable carbon (ppb) [22]	<1	<1	<1	<1	<1
Non-polar Organics as C (ppb) [41]	TBD	TBD	TBD	TBD	TBD
Polar Protic Organics as C (ppb) [42]	TBD	TBD	TBD	TBD	TBD
Polar Aprotic Organics as C (ppb) [42] [43]	TBD	TBD	TBD	TBD	TBD
Bacteria (CFU/liter) [38]	<1	<1	<1	<1	<1
Total silica (ppb) as SiO ₂ [18]	<0.3	<0.3	<0.3	<0.3	<0.3
Colloidal Silica (ppb) s SiO ₂ (add note)	TBD	TBD	TBD	TBD	TBD
Number of particles >critical particle size (see above) (#/L) [26]	1000	1000	1000	1000	1000
Dissolved oxygen (ppb) (contaminant based) [16] POE	<10	<10	<10	<10	<10
Dissolved nitrogen (ppm) [10]	8-18	8-18	8-18	8-18	8-18
Metals (ppt each) (Co, Cr, Ga, Ge, Mn, Mo, Sr, Ti,) [40]	<10	<10	<10	<10	<10
Critical metals (ppt, each) (Ag, Al, Au, Ba, Ca, Cu, Fe, Hf, K, Li, Mg, Na, Ni, Pt, Zn) [40]	<1.0	<1.0	<1.0	<1.0	<1.0
Other critical ions (ppt each) [24]	<50	<50	<50	<50	<50
Phosphate as HPO ₄ (ppt)	<20	<20	<20	<20	<20
Boron (ppt) [24]	<50	<50	<50	<50	<50
薬液 IPA中					
100% IPA: Na, K, Fe, Ni, Cu, Cr, Co, Ca (ppt, each) [28]	150	150	150	150	150

パーティクル径

シリカ

パーティクル数

溶存酸素

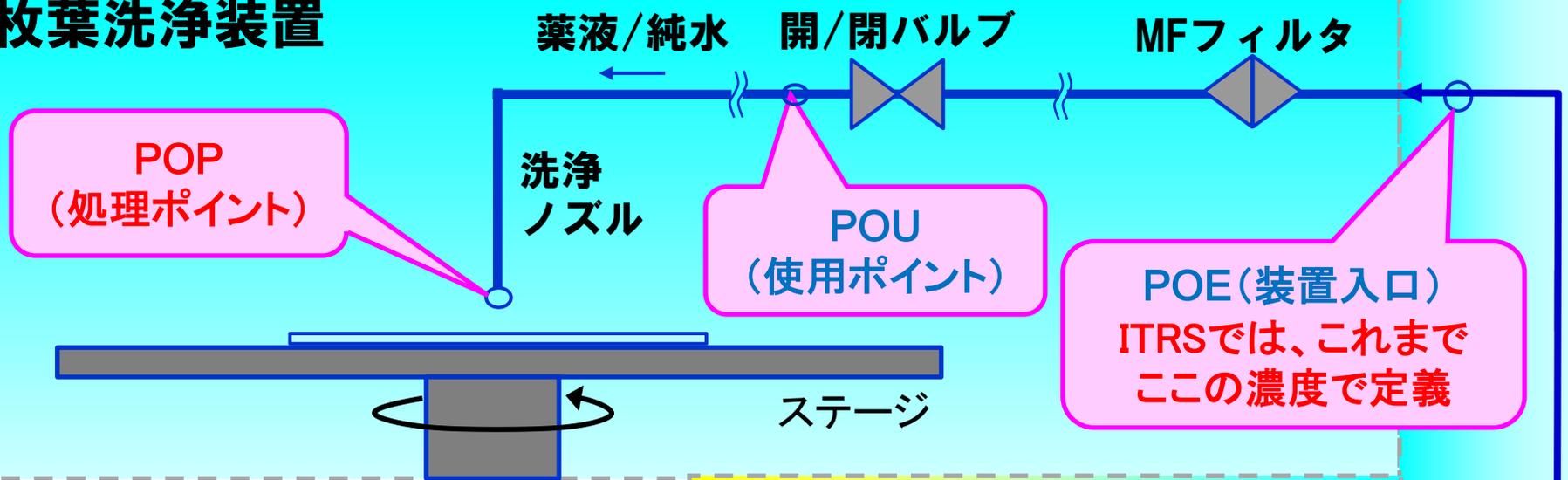
重金属汚染

⇒今のままの定義で減らすべきか？

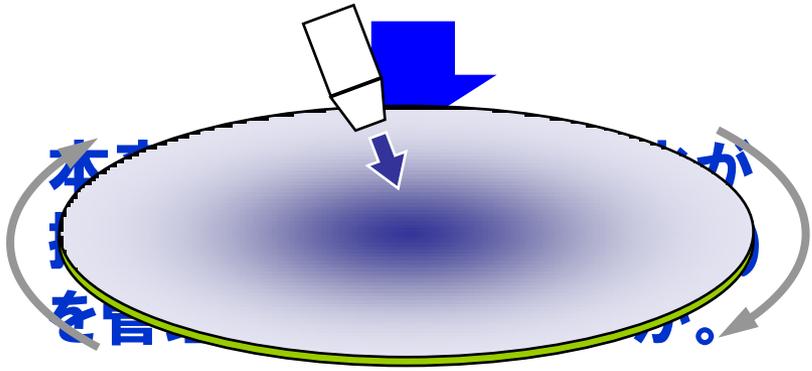
⇒十分か？

超純水中不純物の例

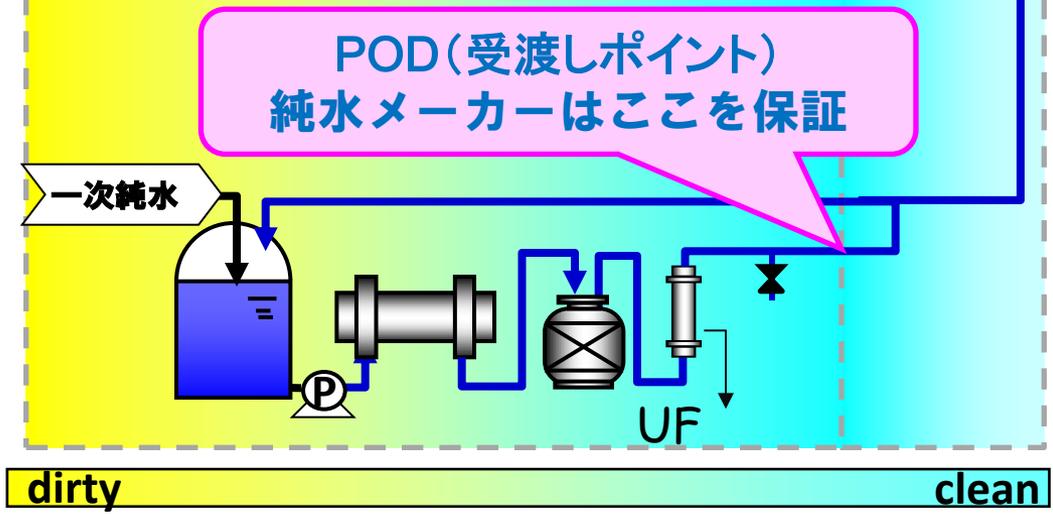
枚葉洗浄装置



ITRSはPOEで定義されており、超純水サプライヤはPODを保証している。

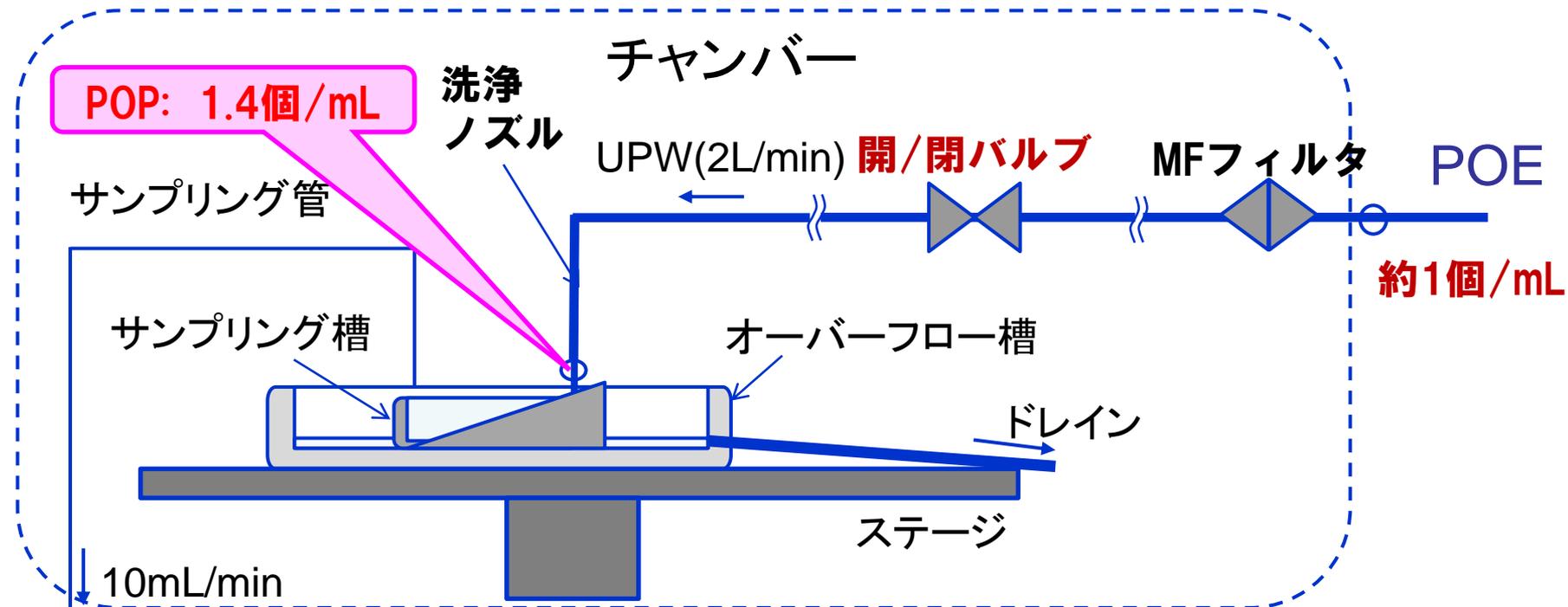


超純水製造システム



SEMI Japan Liquid Chemical委員会Study Groupの協力のもとに純水のPOPの濃度を実際に測定を試みた。

純水リンス工程における枚葉洗浄装置POPの粒子測定 (>50nm)

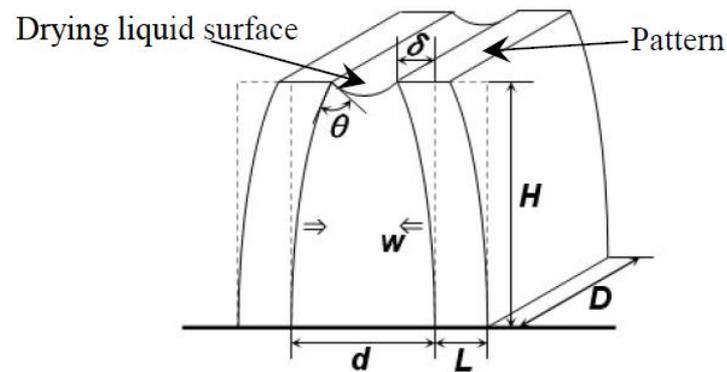
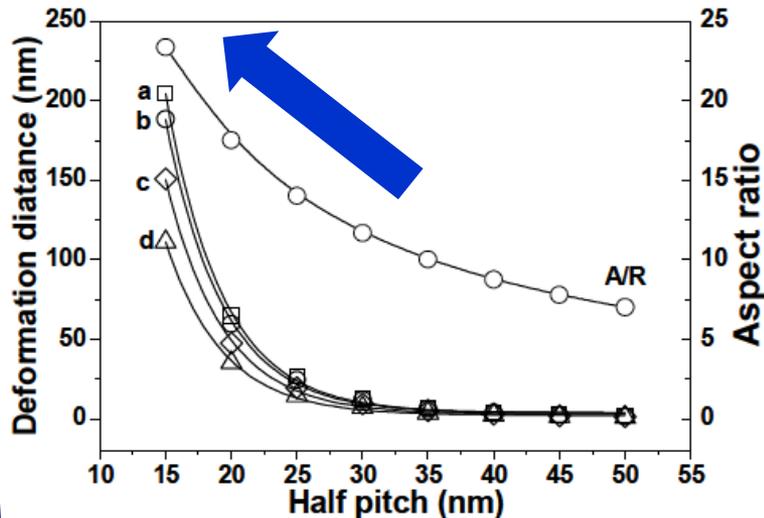


純水システムから供給される純水中のパーティクルは1個/mL程度 (POD) であるが、開閉バルブの動作などにより、パーティクル及びバブル (泡) を発生させる恐れあり。
⇒ POE低減だけでは不十分、POP、POUでの管理が必要。

パーティクル
カウンタ

定量吸引装置

高アスペクト構造化により乾燥時のパターン倒壊を防止するために、IPA液体置換による乾燥が必要に



$$\delta = 3\gamma \cos\theta H^4 / dEL^3.$$

薬液
洗浄

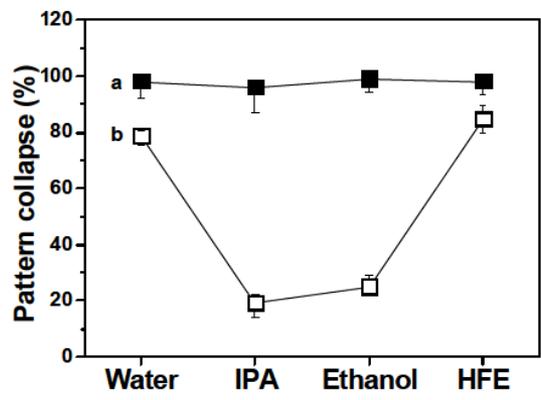
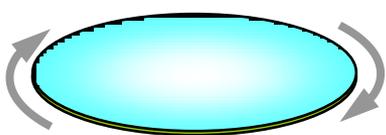
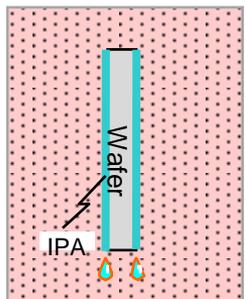
純水
リンス

IPA乾燥

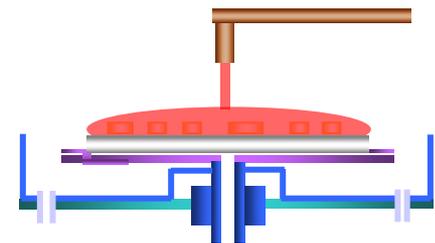
スピン乾燥

IPA 蒸気乾燥

純水スピン乾燥



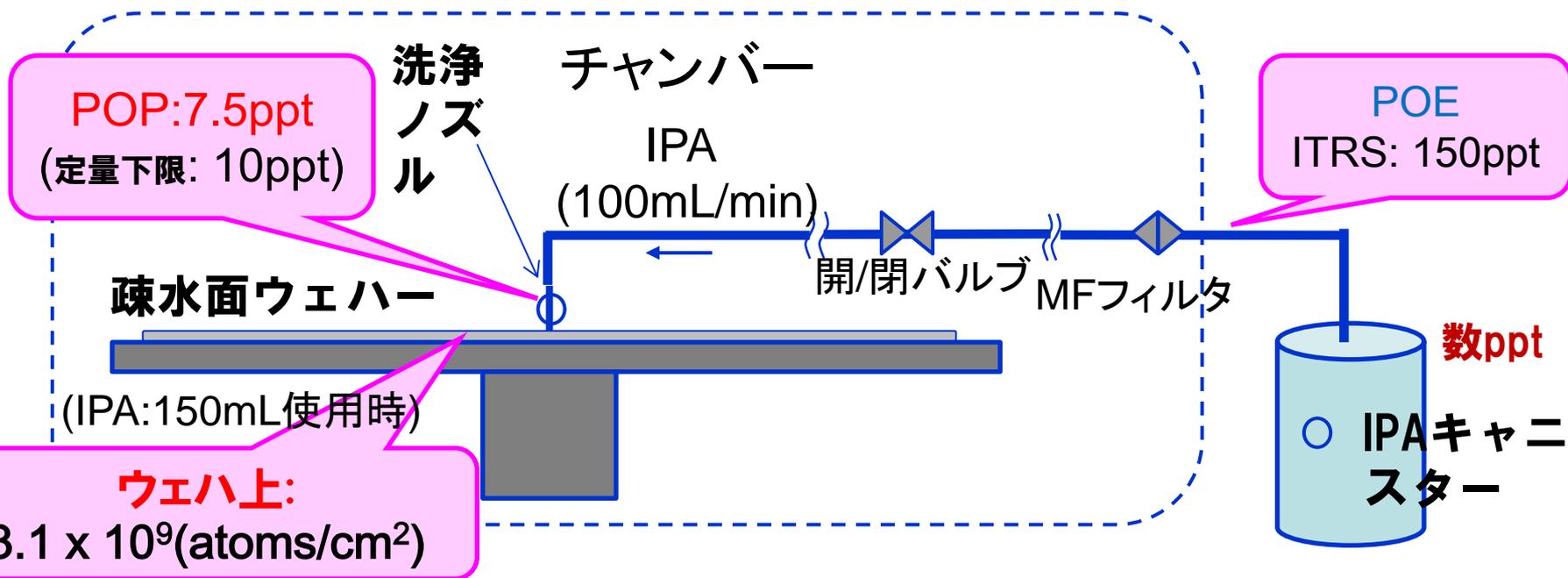
IPA液体乾燥



G. Kim, UCPSS 2010

SEMI Japan Liquid Chemical委員会Study Groupの協力のもとにIPAのPOPの濃度を実際に測定を試みた。

IPA乾燥工程における枚葉洗浄装置POPのFe汚染測定



現状のIPA中Fe濃度は数pptであり、これまでの値は高すぎる。ウェハには約1/10付着するものと考えられる。

⇒ 現在のITRS値 (150ppt) の見直しが必要。

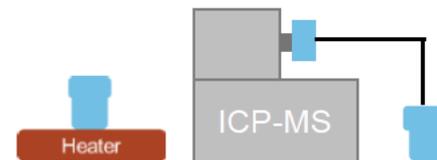
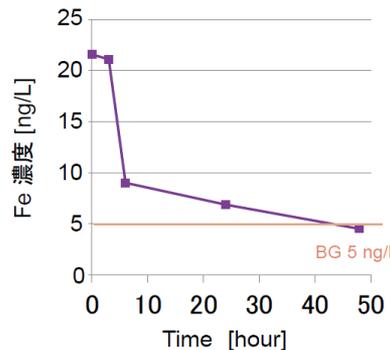
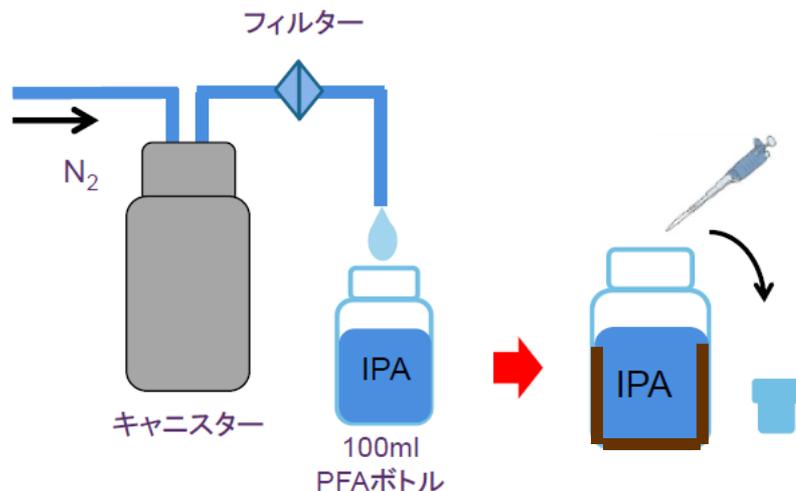
IPA中金属不純物の定量下限は、現状、約10ppt程度と不十分。

⇒ POP濃度を信頼性のある方法で高感度に測定する技術が必要。

IPA液中金属不純物の回収分析の改善

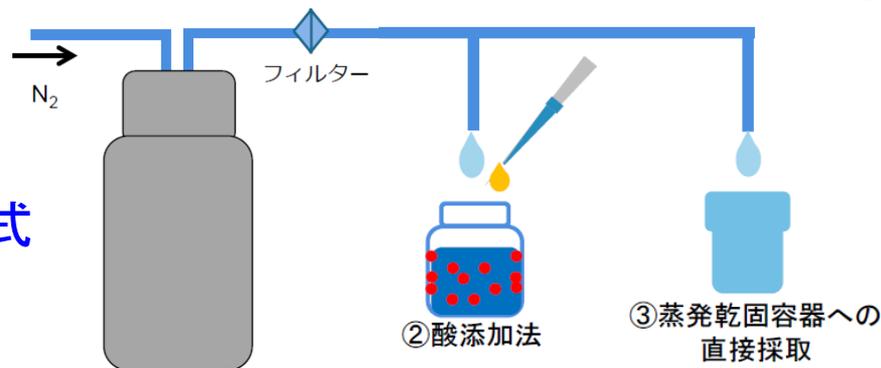
東京エレクトロン様の
の発表資料

従来



従来方式では、採取ボトル内に蓄積して、分析容器に回収されなかった。

新方式



採取ボトルへの酸添加または
分析容器への直接採取により
分析の信頼性が高まった。

SEMIで標準化検討予定

純水中の不純物管理値の定義のITRSへの反映

ITRS 2015 version - draft

Table YE3 Technology Requirements for Wafer Environmental Contamination Control

Year of Production	2015	2016	2017	2018
Flash ½ Pitch (nm) (un-contacted Poly)(f)	15	14.2	13.0	11.9
DRAM ½ Pitch (nm) (contacted)	24	22	20	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	32	28.3	25.3	22.5
MPU Printed Gate Length (nm) ††	22	19.8	17.7	15.7
MPU Physical Gate Length (nm)	17	15.3	14.0	12.8
Critical particle size (nm) based on 50% of DRAM 1/2 Pitch (nm (contacted) [1]	12	11	10	9
Metals (ppt each) (As, Ba, Cd, Mn, Pb, Sn, Sb, V) [39], POP	<10	<10	<10	<10
Critical metals (ppt, each) (Al, Ca, Cr, Cu, Fe, K, Li, Mg, Na, Ni, Ti, Zn) [39], POP	<1.0	<1.0	<1.0	<1.0
Other critical ions (ppt each) [24], POP	<50	<50	<50	<50

POPと明記される見込み



ITRS 2013 update

POE

2014

2015

2016

2017

2018

Metals (ppt each) (Co, Cr, Ga, Ge, Mn, Mo, Sr, Ti,) [40]	<10	<10	<10	<10	<10
Critical metals (ppt, each) (Ag, Al, Au, Ba, Ca, Cu, Fe, Hf, K, Li, Mg, Na, Ni, Pt, Zn) [40]	<1.0	<1.0	<1.0	<1.0	<1.0
Other critical ions (ppt each) [24]	<50	<50	<50	<50	<50

欠陥検出のロードマップ活動の取り組み

- 現在の欠陥検出のテーブルの課題
- 歩留りに影響する欠陥の検査技術の方向性
- 三次元積層プロセスに要求される検査とは？
(検査装置メーカーからのヒアリング内容の紹介)
- ITRSへの反映

現在の欠陥検出のテーブルの課題

現在の欠陥検出のテーブル（YE5-YE7）は、システムマテック・ランダム欠陥双方を対象として設定されているが、微細化の進行により、従来の延長線上での欠陥サイズや計測時間のロードマップは破たんしている。問題となるシステムマテック欠陥は見えない、又は分離できない。

光学式 Defect Inspection on Patterned Wafer Technology Requirements

Year of Production	2013	2014	2015	2016	2017	2018	2019	2020
Flash ½ Pitch (nm) (un-contacted Poly)	18	17	15	14.2	13.0	11.9	11.9	11.9
Volume production at 3000 cm ² /hr (4,3 “300 mm wafer”/hr)	18	17	15	14.2	13.0	11.9	11.9	11.9
Speed [wafer/hrs] at volume production (1xDR) on Brighfield tools [D]	6	6	7	7	7	7	7	7
Tool matching (% variation tool to tool) [E]	5	5	5	5	5	5	5	5

サイズ
時間
精度

SEM式 In Inspection: Defects other than Residue, Equivalent Sensitivity in PSL Diameter (nm) at 90% Capture Rate *[F,G]

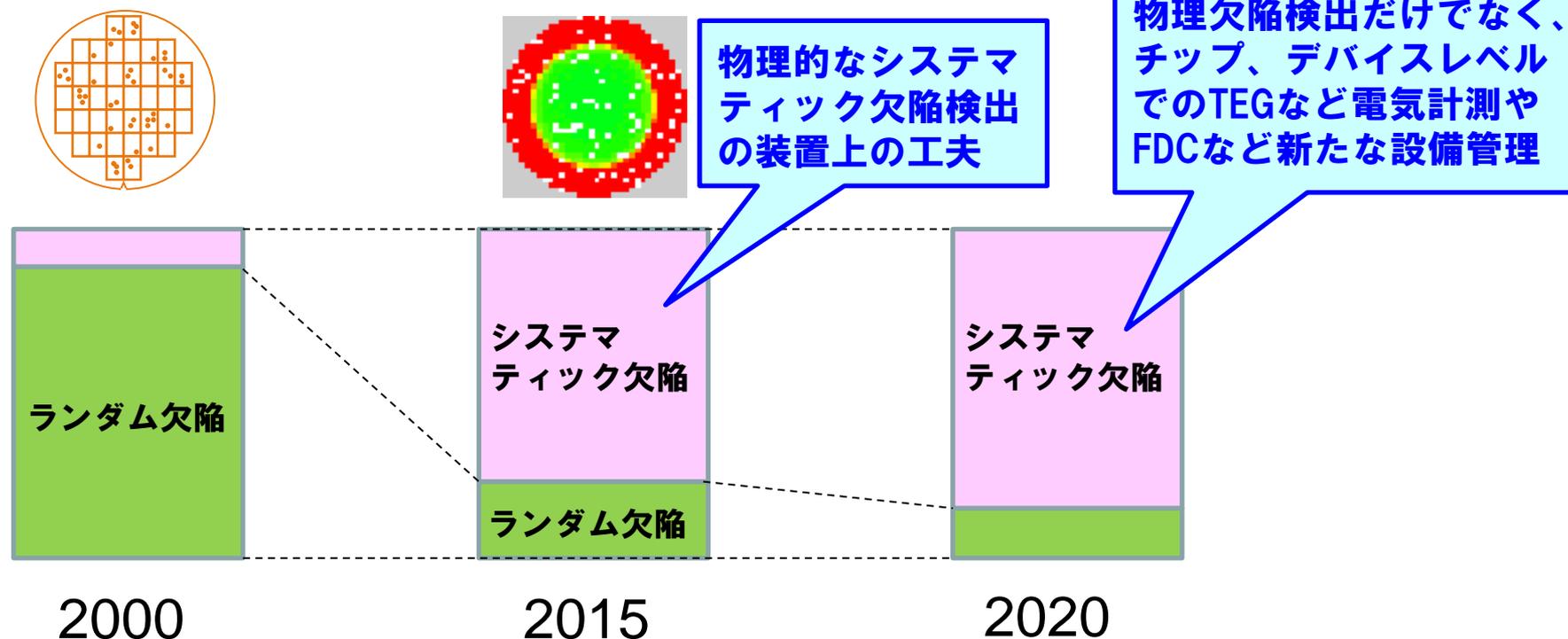
Sensitivity for voltage contrast application without speed requirement (nm)	18	17	15	14.2	13.0	11.9	11.9	11.9
Sensitivity for physical defect detection (nm)	27	27	27	26.8	26.8	26.8	26.8	26.8
Speed for voltage contrast applications [cm ² /hr]	300	300	500	500	500	500	500	500
Speed for physical defect detection [cm ² /hrs]	50	100	100	100	100	100	100	100
CoO HARI (\$/cm ²)	0.388	0.388	0.388	0.388	0.388	0.388	0.388	0.388

サイズ
時間

検出手法や管理手法の多様化

テクノロジーからアプリケーションベースへの移行が必要

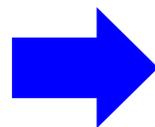
問題となる欠陥の比率の推移（イメージ）



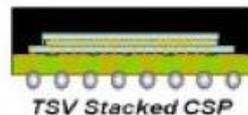
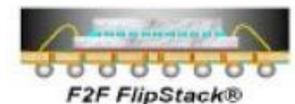
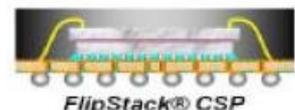
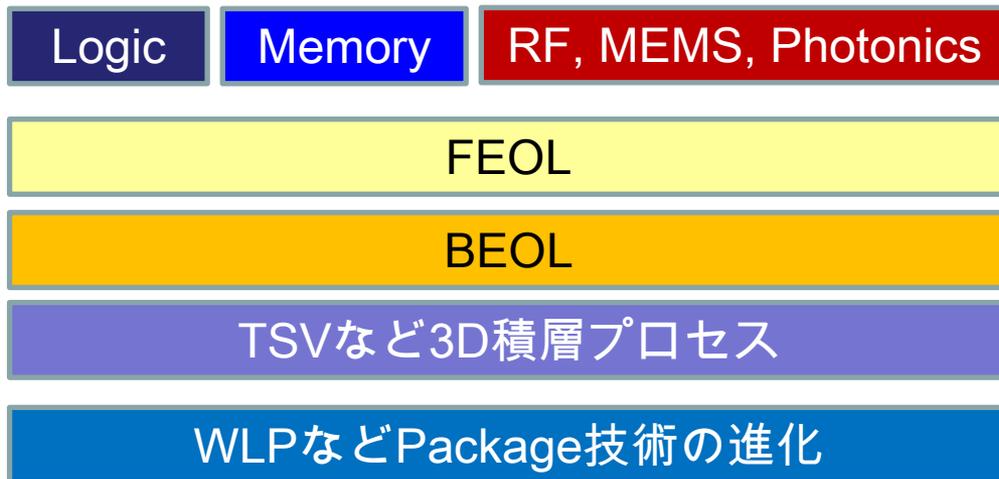
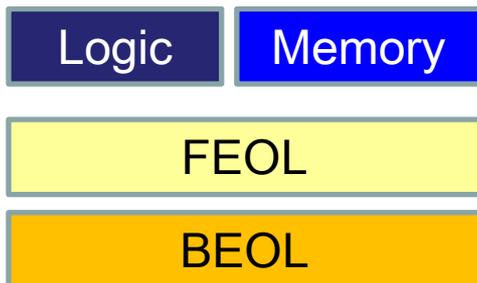
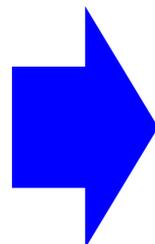
システムティック欠陥の検出や分類のため手法が多様化、従来の検出感度やスループット等のテーブルでは対応不可能に。またTEG等での電氣的測定結果や装置情報を使用した管理への移行や併用も重要になってくる。

製品やデバイス構造も多様化

PCが牽引
More Moore



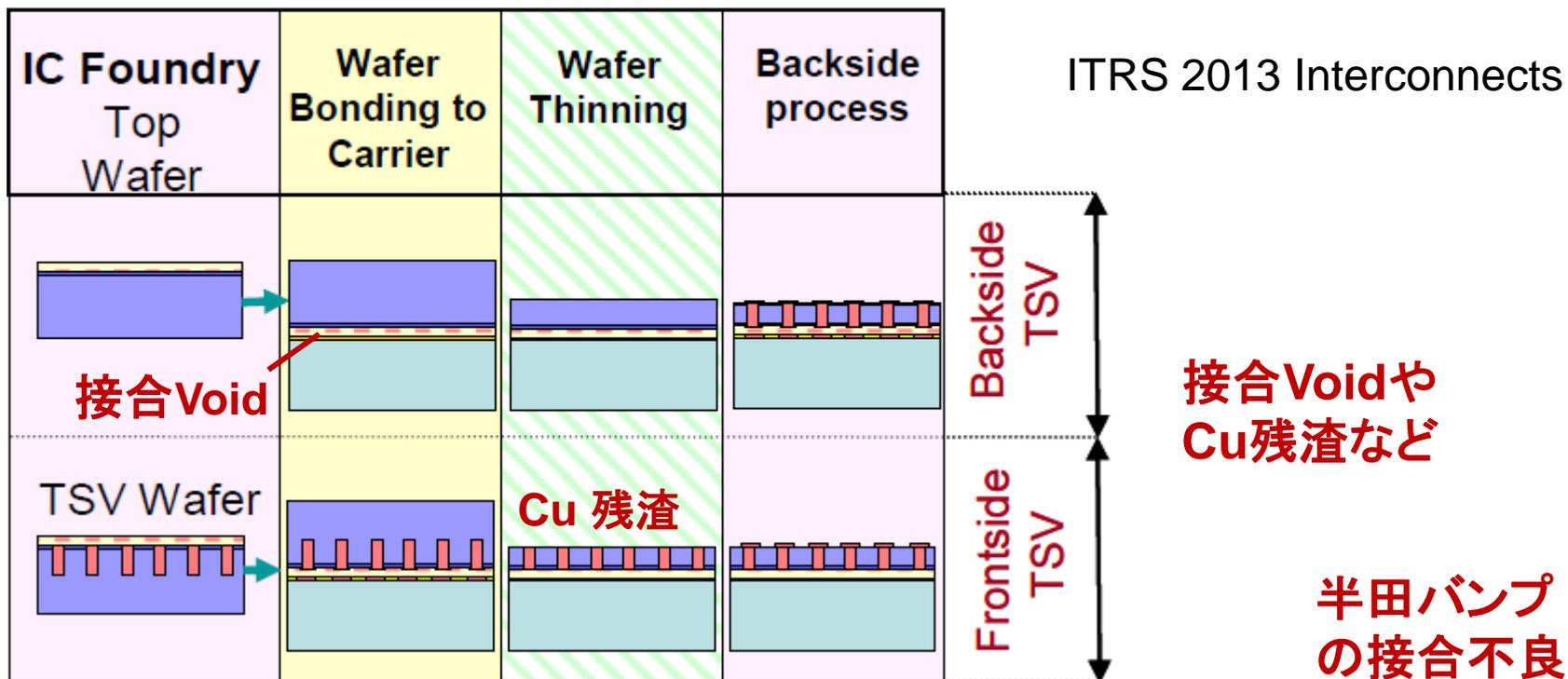
IoTの時代
More than Moore



対象となるエリアも増加し
それぞれでの要求項目も
多様化している

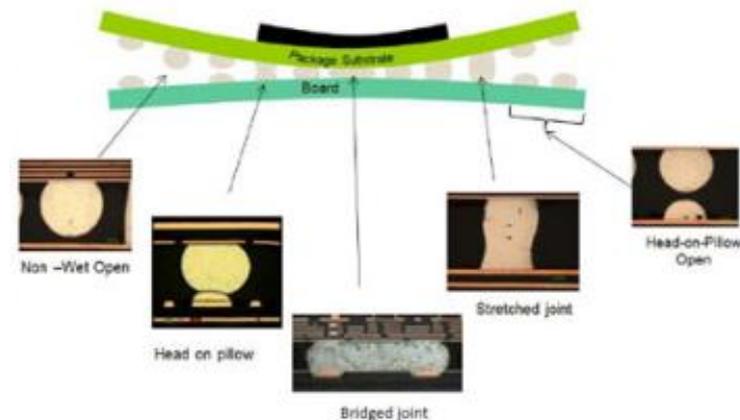
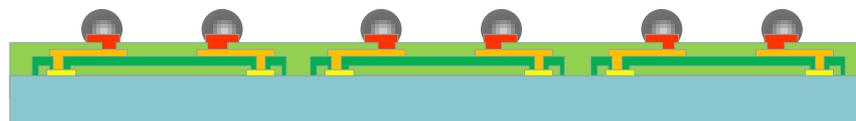
ITRS 2.0:
Heterogeneous Integration

各種TSVプロセスと課題



WL-CSP Bumpプロセスと課題

Pad, Bumpの形状および欠陥制御、Void



STRJ WS 2013 実装WG

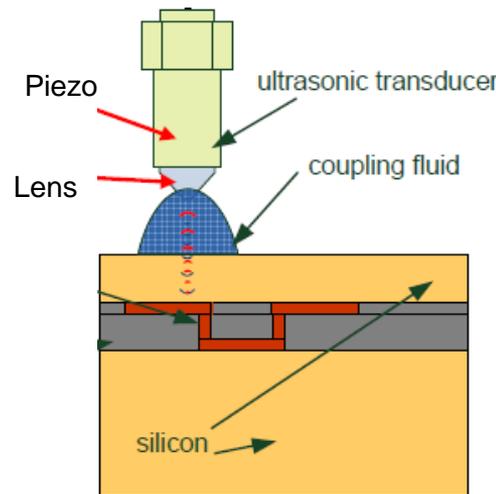
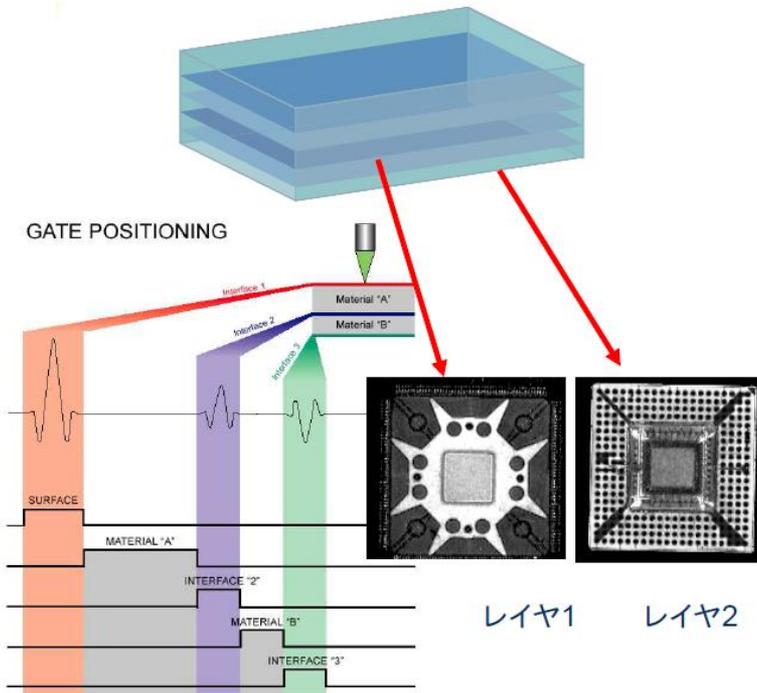
3D積層対応欠陥計測技術のヒアリング(2014~2015)

概要	目的	手法	ヒアリングしたメーカー
	<p>微細μ-Bump(高さ、幅)の高速計測技術 後工程2D/3D統合外観検査(欠陥計測)技術</p>	<p>白色光による高速三角測量 明視野/暗視野 照明同時照射</p>	<p>Camtek社</p>
	<p>TSVウェハの研磨前のSi残厚を計測する技術</p>	<p>IR干渉計</p>	<p>レーザーテック(株)</p>
	<p>ウェハ接合Void検出技術</p>	<p>IRカメラ</p>	<p>SEMILAB社</p>
	<p>積層構造のVoid検査および接合Void検出技術</p>	<p>音響インピーダンス</p>	<p>PVA TePla社 日立パワーソリューションズ</p>

音響インピーダンスを用いた積層構造のVoid検査技術

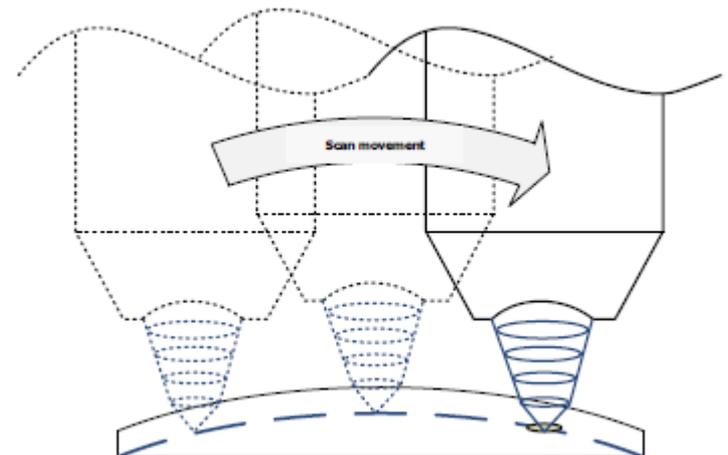
深さ方向複数レイヤー括検査が可能

PVA TePla様資料



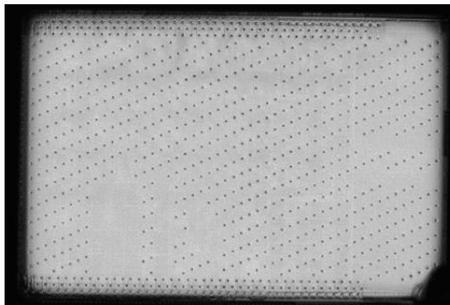
トランスデューサ (10MHz~2GHz)

ウェハのそりに対応したフォーカス

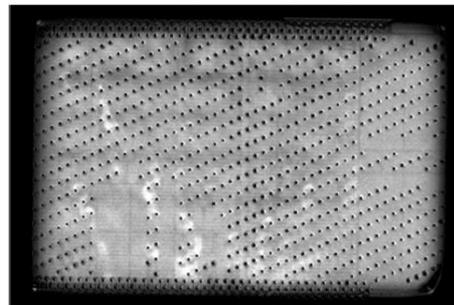


バンプ不良検出事例

バンプ接点：プリプロセス無し



バンプ接点：プリプロセス有り

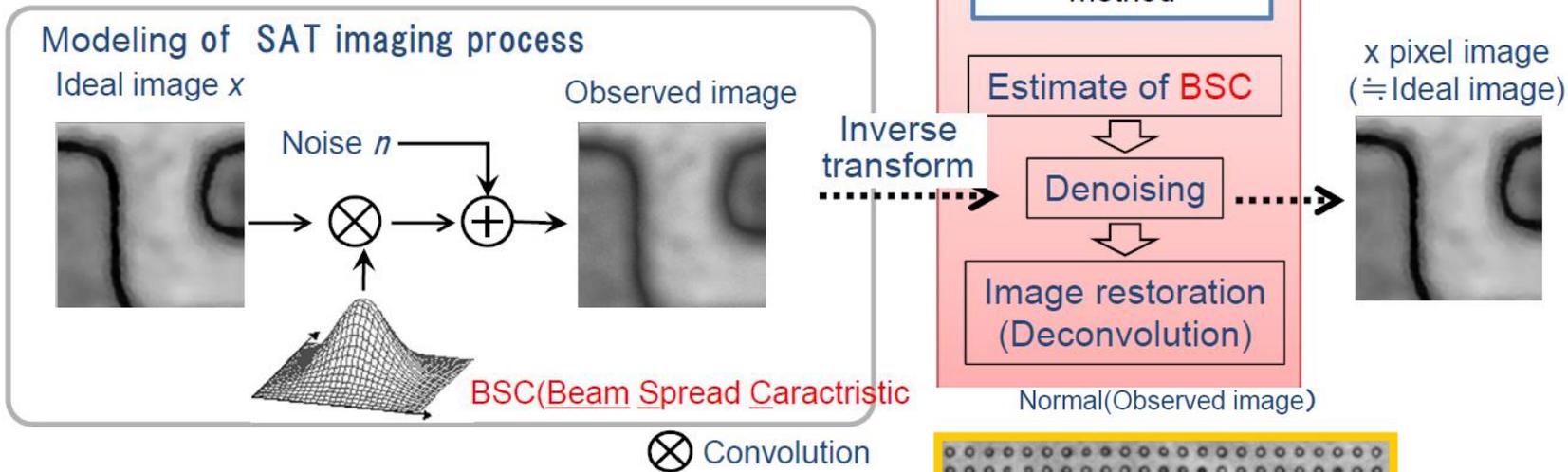


音響インピーダンスを用いた積層構造のVoid検査技術

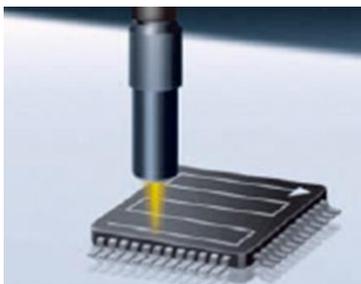
日立パワーソリューションズ様資料

照射強度分布起因ノイズ除去による高精細化

Image restoration based on deconvolution



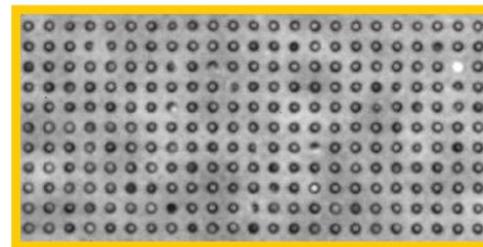
アレイ型プローブによる高速検査



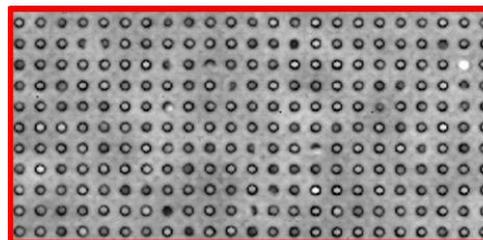
シングル



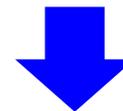
アレイ型



x pixel image



コントラストが鮮明に



欠陥検査技術のITRSへの反映と現状

ITRS 2015 version – YE draft

TEGを用いた電氣的計測

2010～日本から提案している。

装置データをウェハ計測の代わりにする取組

2013～EUから提案している。
ITRS 2.0でFactory Integrationとともに議論されることを期待。

3D積層向けの歩留管理

2014～日本から提案して日本で先行して議論を進めており、ITRSでの取り組みも合意している。

▪ ELECTRICAL CHARACTERIZATION METHODS AND VIRTUAL METROLOGY FOR YIELD CONTROL

In order to overcome the problems of missing sensitivity and high effort consuming metrology for yield control one focus of the YE group will be the partial replacement of physical based metrology to electrical diagnosis and virtual metrology wherever feasible. The use of all available data sources and approaches for data analysis will be further elaborated for yield monitoring. Hereby, a better balance of defect/contamination detection and fault diagnostics/control of electrical characteristics should be established by including statistical and systematic approaches into YE activities.

Furthermore, virtual metrology becomes more and more essential for yield considerations. Virtual metrology is defined as the prediction of post process metrology variables (either measurable or non-measurable) using process and wafer state information that could include upstream metrology and/or sensor data. Refer to Yield Enhancement Chapter for more information.

▪ WAFER DEFECT METROLOGY

Defect metrology continues to be important towards smaller nodes specially considering new yield challenges like multiple patterning. The main way to detect yield impacting defects in the production is defect inspection. Therefore the most important requirements for inspection and review are now incorporated in the *More Moore chapter*.

For Heterogeneous Integration not small dimensions but 3D integration is the challenge. To find the right solutions for those inspection requirements and challenges will be the focus.

▪ YIELD MANAGEMENT FOR PACKAGING AND ASSEMBLY

As technology requirements in the assembly and packaging area increases, yield loss and therefore yield improvement methodologies become essential. In this situation a clear benefit can be drawn from the experience in the FE.

Yet the most appropriate methodologies have to be selected and FE yield tools need to be adapted to BE requirements. The task will be to define a dedicated roadmap.

Due to the changed focus of Yield Enhancement several cross TWG activities are envisaged, connections with More Moore (MM), Heterogeneous Integration (HI) and Heterogeneous Components (HC) are necessary.

Yield Enhancement のロードマップの方向性

- 純水および薬液中の不純物濃度はPoint of Process (POP) で管理値を設定する必要がある。(2015版に反映)
- 純水中の不純物濃度の低減を追及することよりも、実際の半導体微細パターン洗浄工程で使われる、ウェーハ乾燥用のIPA中の汚染濃度の実態の把握、管理値を見直す必要がある。
- 欠陥の歩留影響は、今後、システムティック欠陥の割合が増加するため、システムティック欠陥抽出の効率化やチップ、デバイスレベルでの電気計測が重要となる。
- 一方、3D積層プロセスにおけるTSV関連、 μ -Bumpなど新たな検査、管理が必要となる。

用語集

CIA: Characterization, Inspection & Analysis 検査、分析、特徴付け

DB: Data base データベース

FDC: Fault detection & classification 異常検出と分類

TSV: Through Si Via Si貫通接続

WL (-CS) P: Wafer level (chip size) package ウェハレベルパッケージ

RST: Remaining silicon thickness 残留Si厚

BWH: Bonded wafer stack thickness 接合ウェハ合計厚

BH: Base height = (BWH-RST)

TTV: Total thickness variation 合計膜厚ばらつき

SAT: Scanning Acoustic Microscopy

WECC: Wafer Environmental Contamination Control ウェーハ環境汚染制御

UPW : Ultra Pure Water 超純水

UF : Ultra Filter 限外ろ過フィルター

IPA: Isopropyl alcohol イソプロパノール

POS : Point of Supply 供給ポイント

POD : Point of Delivery 受渡ポイント

POC : Point of Connection 接続ポイント

POE : Point of Entry 入口ポイント

POU : Point of Use 使用ポイント

POP : Point of Process プロセスポイント