

WG3 Front-End Processes (FEP)

新材料・新構造の導入を支えるFEP技術

水島一郎（東芝）

内容

- STRJ・FEPのメンバー、スコープ、今年度の活動
- 新材料・新構造の導入とFEP技術
- Siウェーハ450mm化状況
- まとめ

略号

FeRAM: Ferroelectric Random Access Memory
HP: High Performance / LP: Low Power
LOP: Low Operating Power / LSTP: Low Standby Power
PDSOI: Partially Depleted Silicon On Insulator
FDSOI: Fully Depleted Silicon On Insulator
LGAA: Lateral Gate-All-Around
VGAA: Vertical Gate-All-Around
M3D: Monolithic 3-Dimensional
NW: NanoWire
RRAM: Resistance Random Access Memory
FET: Field Effect Transistor
STT-RAM : Spin Transfer Torque RAM
SI InP: Semi-Insulating InP / BCB: benzocyclobutene
ART: high Aspect Ratio Trench
CELO: Confined Epitaxial Lateral Overgrowth
STI: Shallow Trench Isolation
CMP: Chemical Mechanical Polish
BOX: Buried OXide

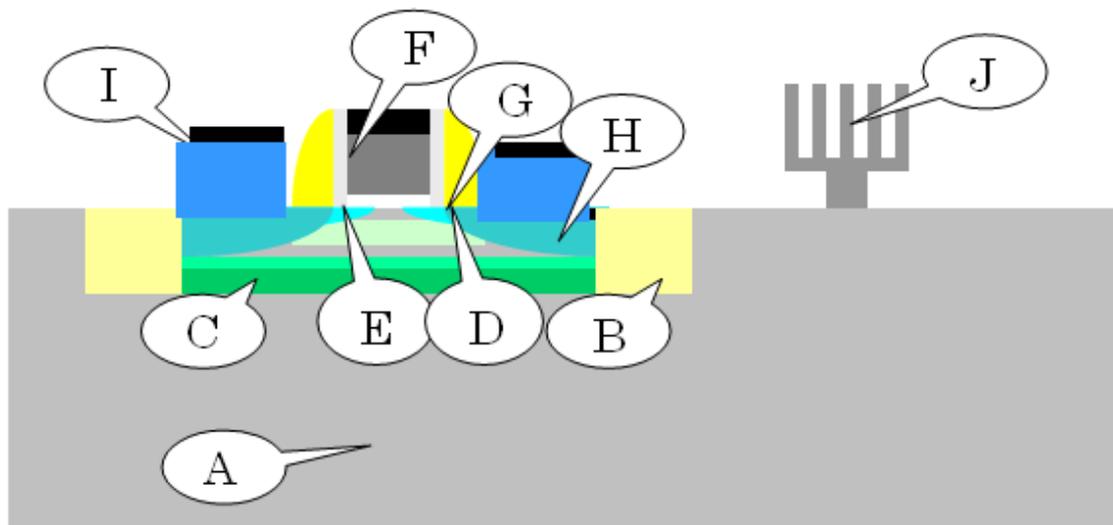
STRJ/FEP_WGメンバー

リーダ：水島 一郎 (東芝)
幹事：羽根 正巳 (ルネサスエレクトロニクス) * * : 国際対応
委員：彦坂 幸信 (富士通セミコンダクター)
 萬田 周治 (ソニー)
 永田 敏雄 (ローム)
 寺田 力 (ローム)

特別委員：クロス ジェフリー (東京工業大学)
 (大学) 奈良 安雄 (兵庫県立大学)

特別委員：国井 泰夫 (日立国際電気) : SEAJより
 青木 英雄 (日立ハイテクノロジーズ) : SEAJより
 渡辺 正晴 (日本セミラボ) * : 米国Start. Mat. WG
 三木 克彦 (信越半導体) : 新金属協会より

F_{ront} E_{nd} P_{rocess} スコープ



- A: Starting Material**
- B: Isolation**
- C: Well Doping**
- D: Channel Surface (Preparation)**
- E: Channel Doping and Channel Strain**
- F: Gate Stack (Including Flash) and Spacer**
- G: Extension Junction and Halo**
- H: Contacting Source/Drain Junction**
- I: Elevated Junction and Contacts**
- J: DRAM, Phase Change, and FeRAM Storage**

FEP WG3活動 2015年度の活動方針

【国内活動】

- ITRS2.0におけるFEPの課題である新構造デバイス、またIII V材化合物を用いる新材料デバイスに必要なFEP技術に関する調査。
- ウェーハ仕様に関する議論・調査。

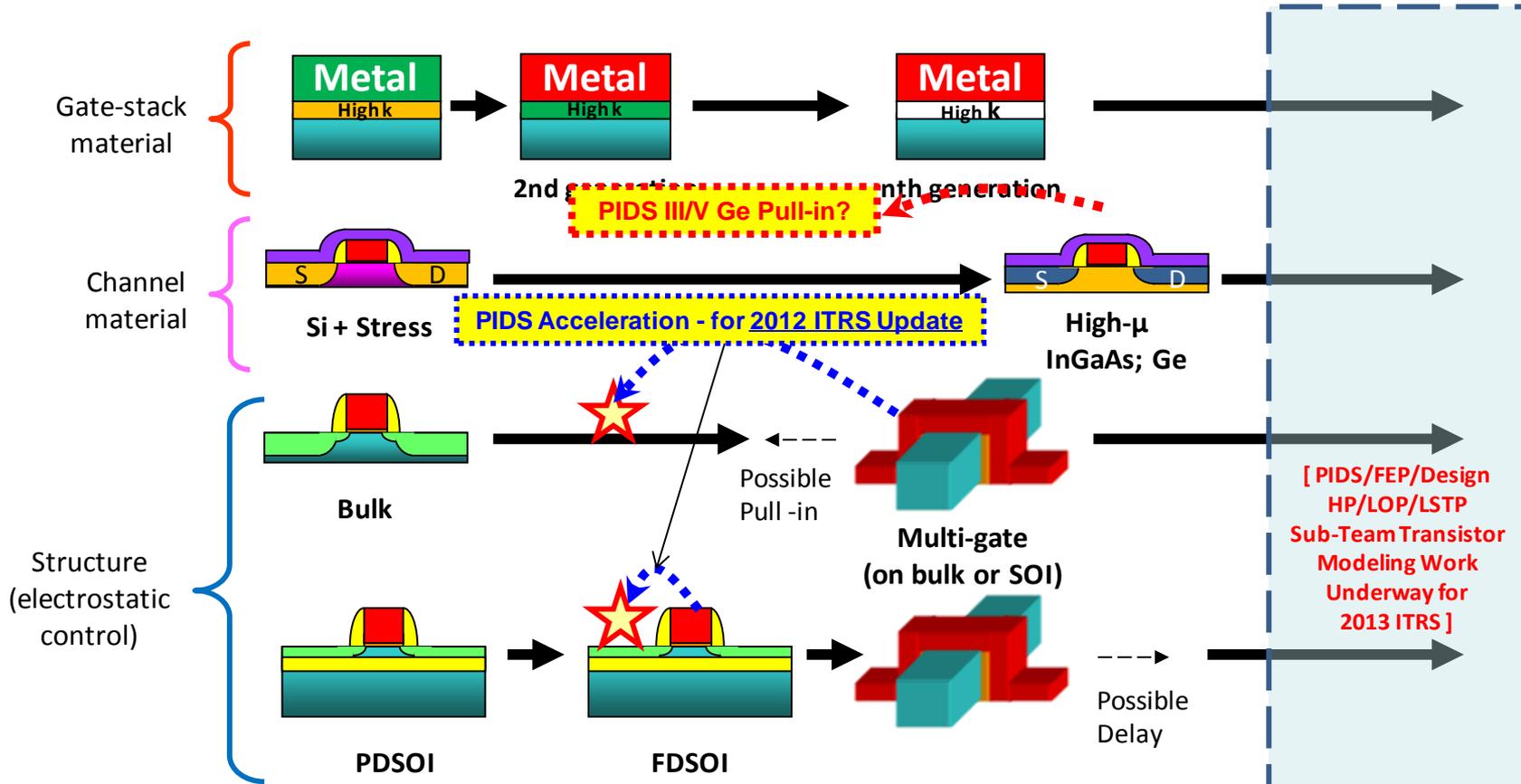
【国際活動】

- ITRS改訂に向けたFEP技術議論。
- ITRS改訂に向けたウェーハ仕様（フラットネス等）に関する議論・調査。

新材料・新構造の導入 ITRS Lyon会議 (2014年4月)



2012 Update Note: Leadership company First Manufacturing could set more Aggressive first production target, since "fast followers" may trail 1-3 years

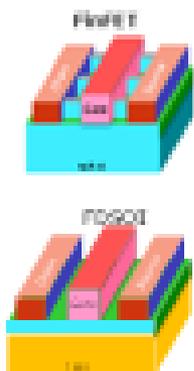
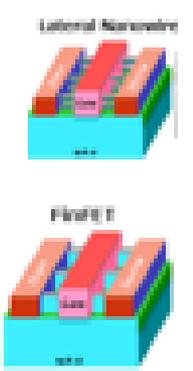
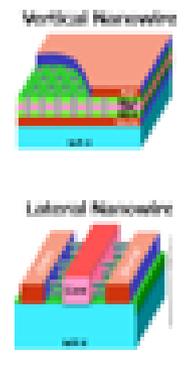
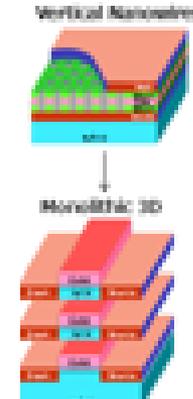
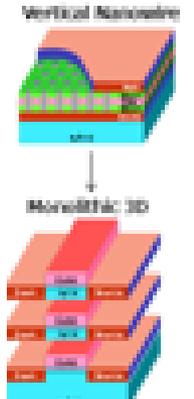
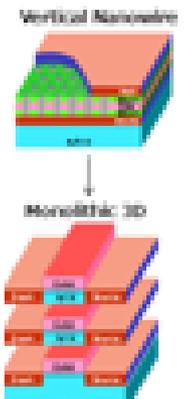


2011 ITWG Table Timing:	2007	2010	2013	2016	2019	2021	2024
2011 ITRS Flash Poly :	54nm	45nm	32nm	22nm	15nm	11nm	8nm
2011 ITRS DRAM M1 :	68nm	45nm	32nm	22nm	15nm	11nm	8nm
MPU/hpASIC "Node":	"45nm"	"32nm"	"22/20nm"	"16/14nm"	"11/10nm"	"8/7nm"	
2011 ITRS MPU/hpASIC M1 :	76nm	65nm	54nm	45nm	38nm	32nm	27nm
2011 ITRS hi-perf GLpr :	54nm	47nm	41nm	35nm	31nm	28nm	20nm
2011 ITRS hi-perf GLph :	32nm	29nm					14nm
							12nm

新材料：高移動度材料
新構造：Multi Gate

Source: 2011 ITRS - Executive Summary Fig

新材料・新構造の導入 ITRS Atlanta会議（2016年2月）

2016	2018	2020	2023	2026	2029
finFET FDSON	finFET LGAA	finFET LGAA VGAA	VGAA, M3D	VGAA, M3D	VGAA, M3D
					

三次元構造（LGAA, VGAA, M3D）、
マルチチャネル構造が将来デバイスとして示された。

新材料・新構造の導入 ITRS Atlanta会議（2016年2月）

finFET 2011-2019

Lateral GAA 2018-2024

Stacked Nanowire

Vertical GAA 2022-2028

Vertical Nanowire

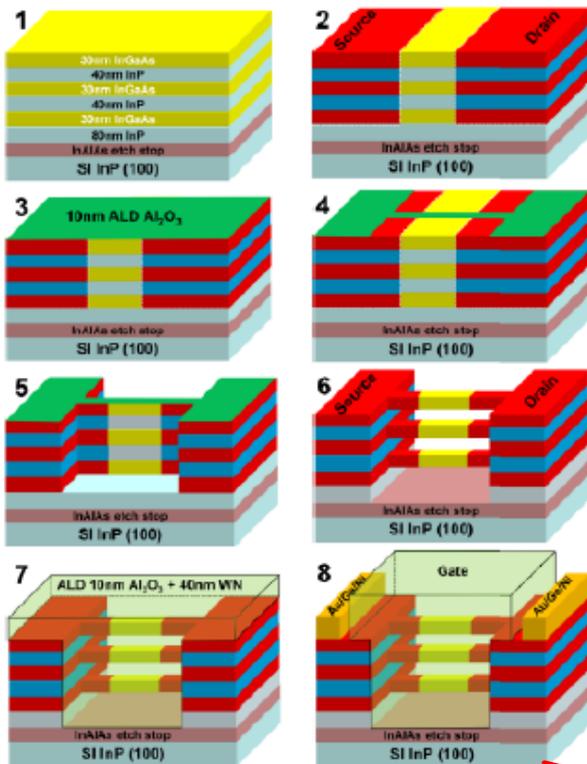
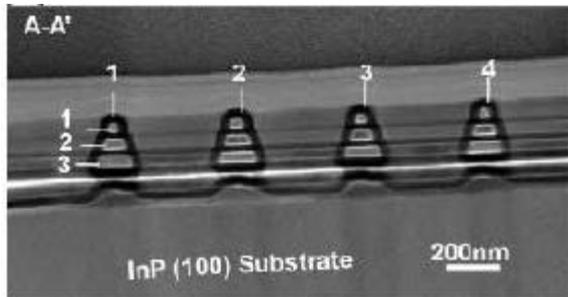
M3D 2024-beyond

Stacked Single-crystalline Layers

GAA: Gate-All-Around M3D: Monolithic 3-Dimensional

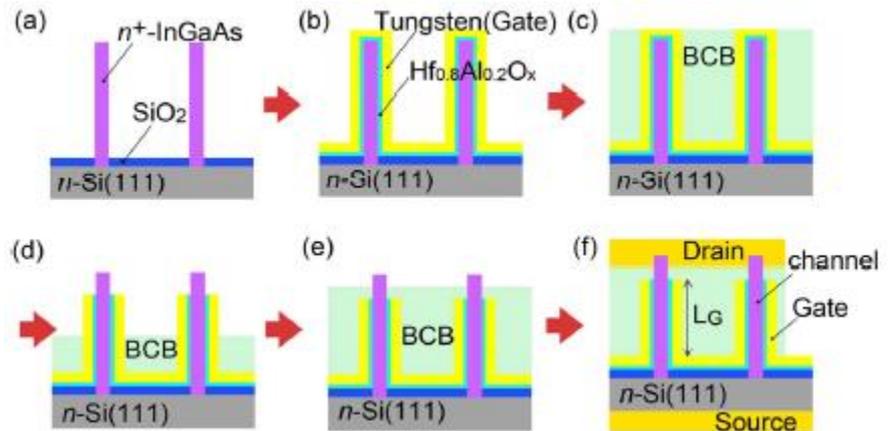
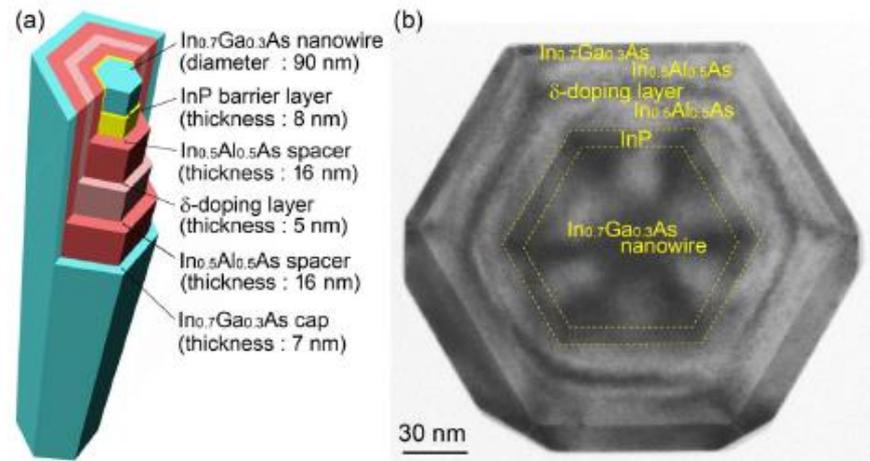
Source: Prof. Mitra, Stanford Univ.

Stacked Nanowire / Vertical Nanowireの形成技術



J. J. Gu et al.,
IEDM2012 529

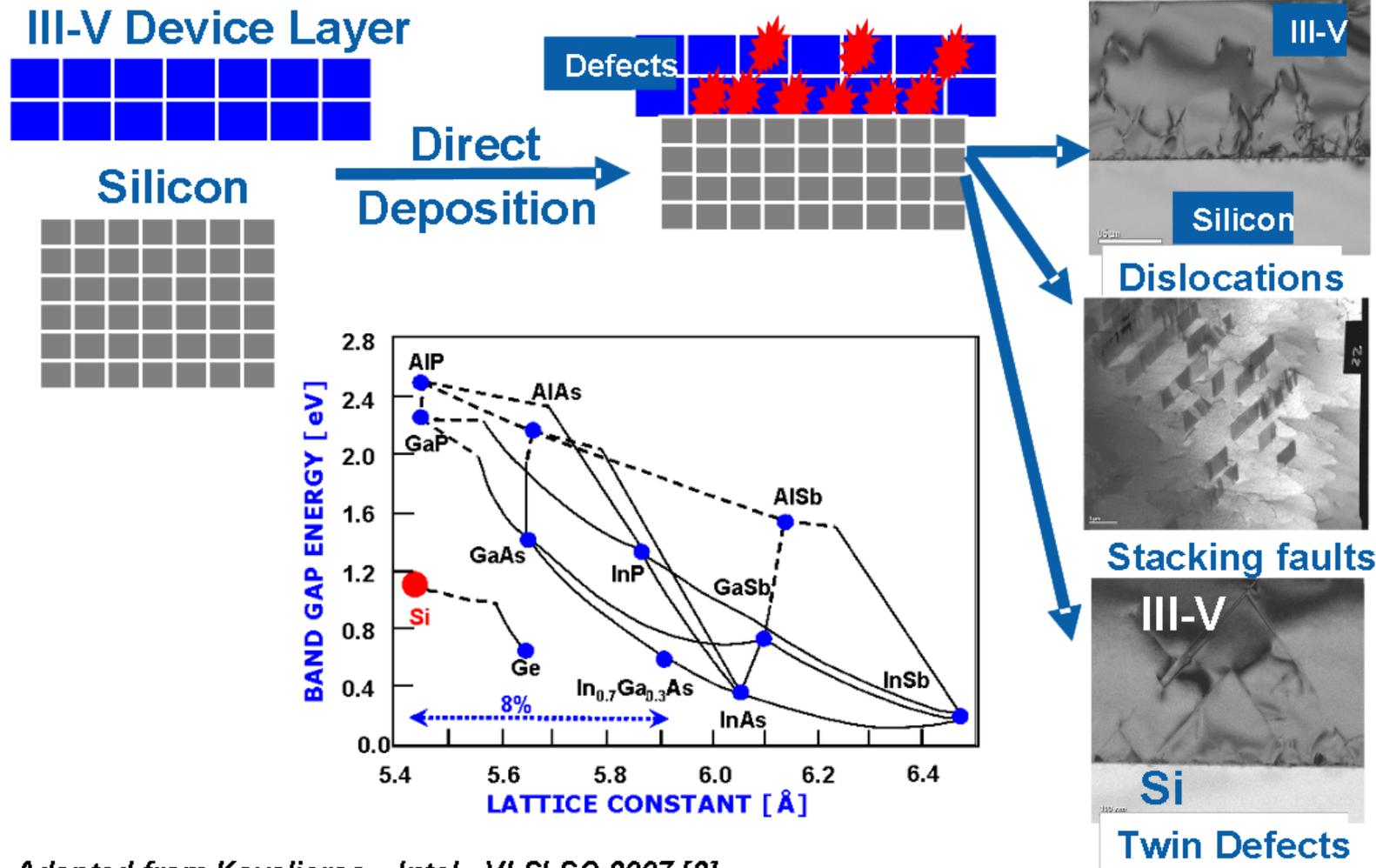
InP (100)



K. Tomioka et al.,
IEDM2011 773

Si (111)

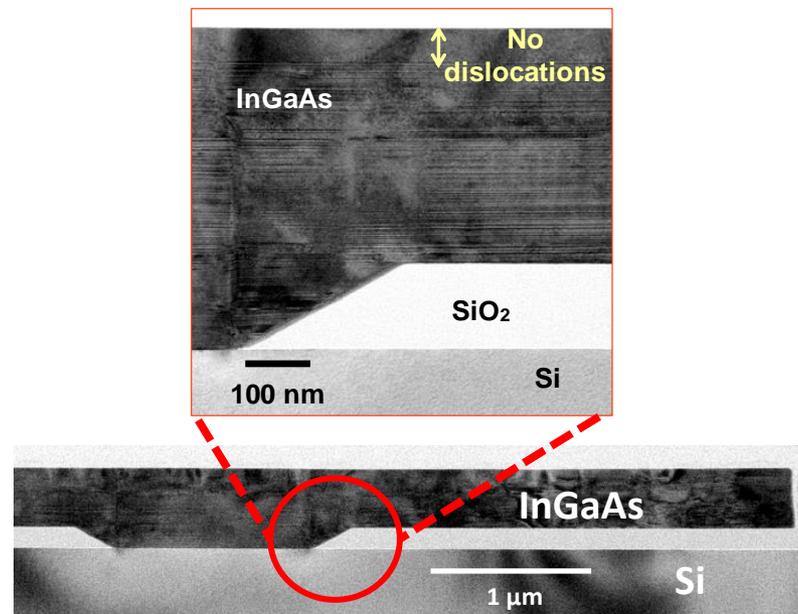
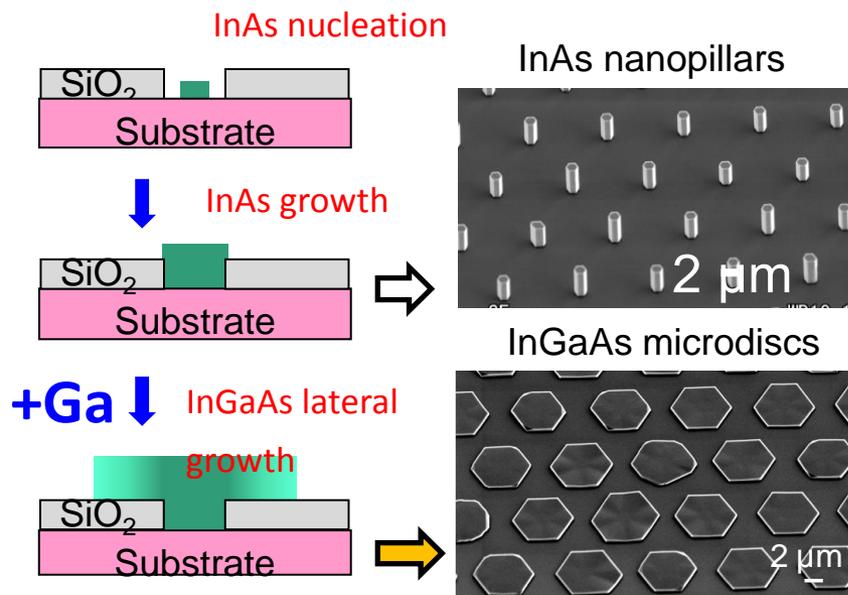
III-V 族半導体材料の、Si基板上への形成課題



Adapted from Kavalieros – Intel - VLSI SC 2007 [2]

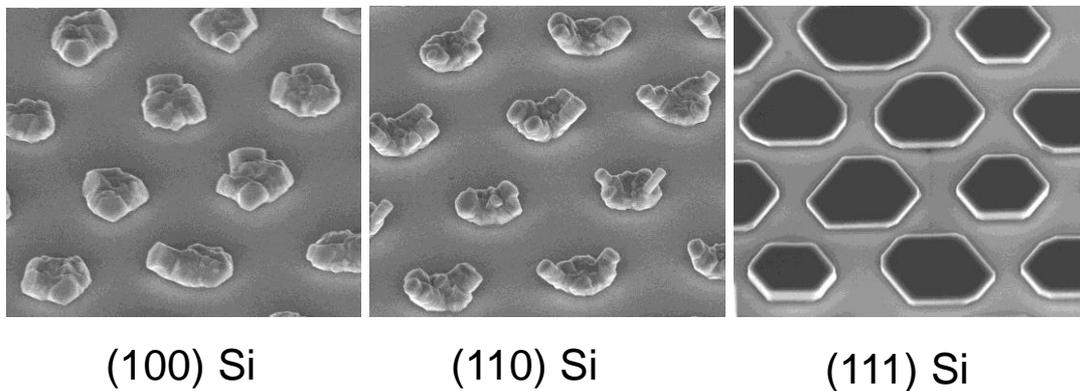
ITRS Atlanta会議 (2016年2月) 資料

Lateral Overgrowthによる転位の伝搬抑止とその課題



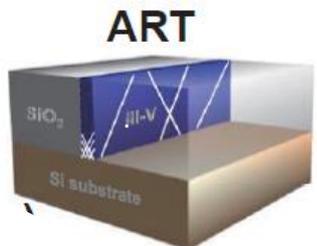
M. Deura et al, J. Crystal Growth **312** (2010) 1353

T. Hoshii et al., Physica Status Solidi (c)., **5**, (2008) 2733

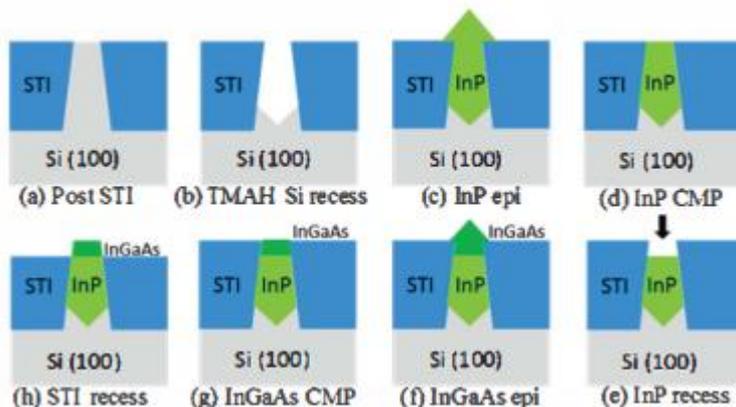


Lateral OvergrowthによるⅢⅤ on Si形成は(111)基板以外では困難

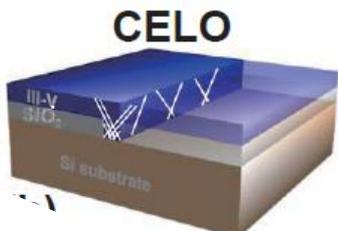
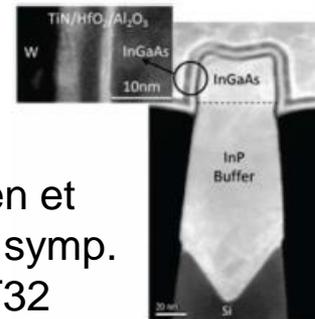
成長領域の制限によるSi (100) 基板上での成長



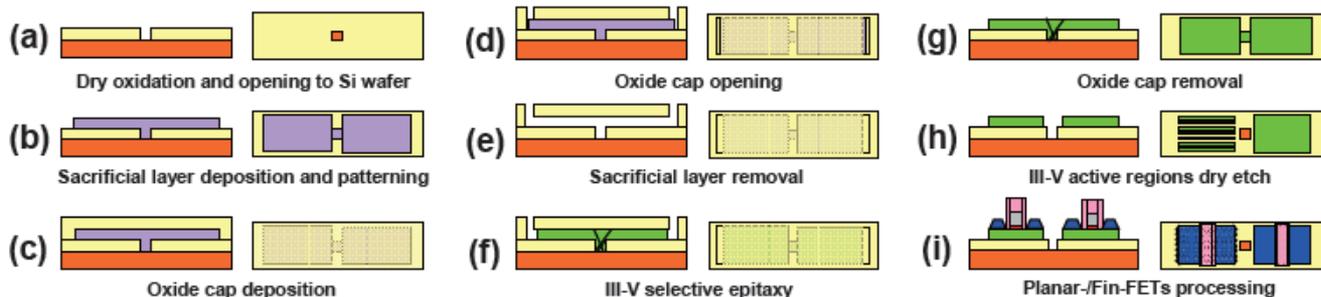
growth into high Aspect Ratio Trench



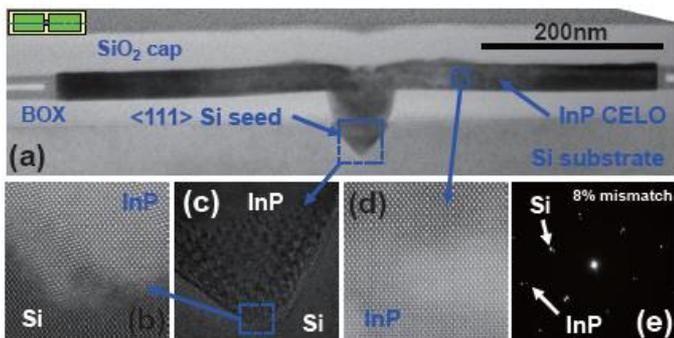
N. Walden et al., VLSI symp. (2014) T32



Confined Epitaxial Lateral Overgrowth



L. Czornomaz et al., VLSI symp. (2015) T172



初期成長方向の<111>化、
成長領域の制限による転位の伝搬抑止

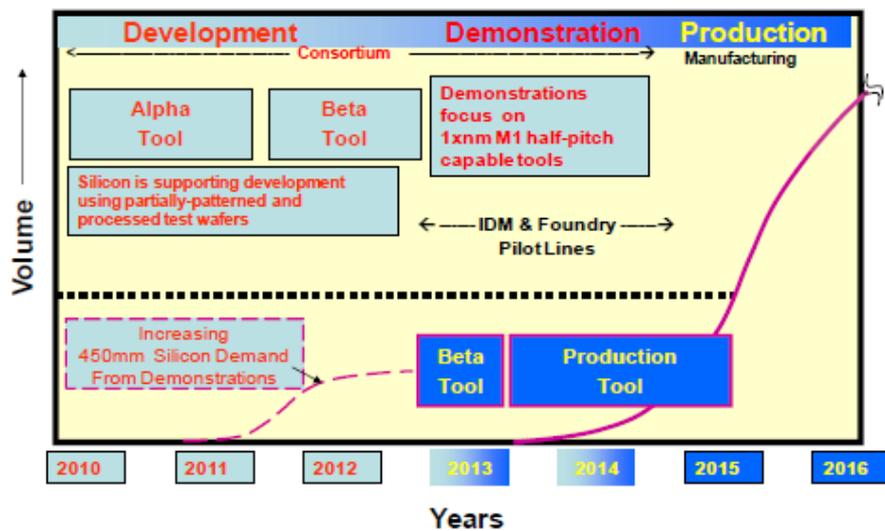


Si (100)基板上にIII V on Si構造を形成

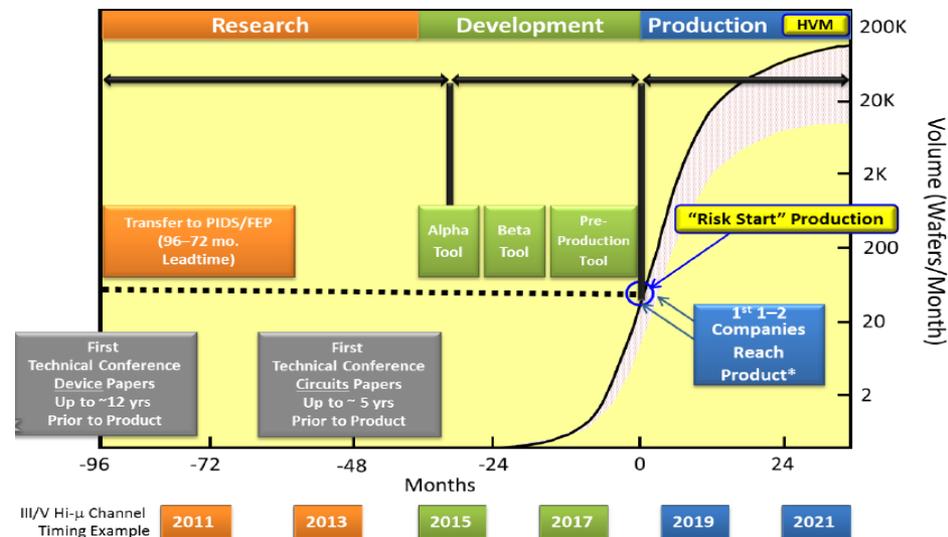
Starting Material ITRS2013

		<i>Year of Production</i>				
		2013	2014	2015	2017	2018
WAS	Maximum Substrate Diameter (mm)—High-volume Production **	300	450	450	450	450
2012 Update		300	300	450	450	450
IS		300	300	300	300	450

450mmウェーハの量産時期はさらに後ろ倒し



ITRS2011



ITRS2013

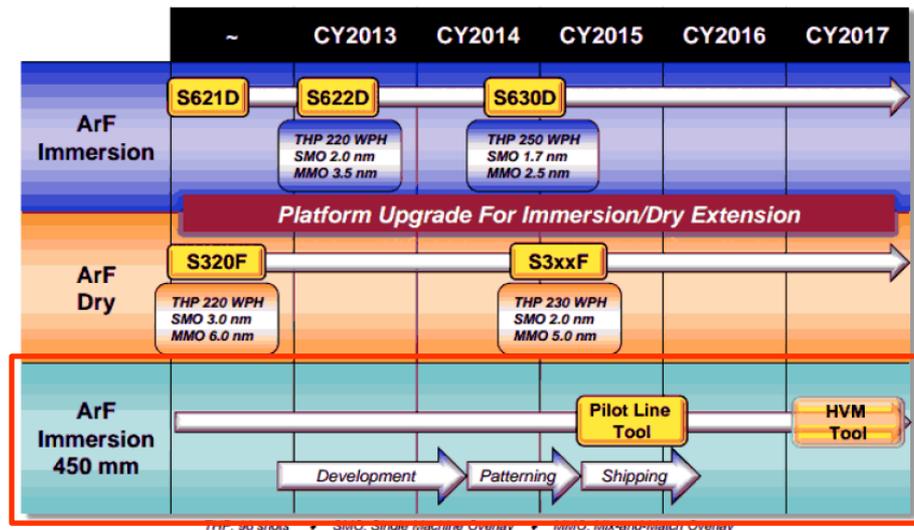
G450C 活動進捗

STRJ WS (2015年3月) 報告資料

G450C Lithography Progress

- SOKUDO DUO Track
 - Tool on schedule for 4Q2014 Albany, NY delivery
 - Process capabilities include PT develop, NT develop, DSA coating, annealing, UV cure and wet etch
 - SCREEN is providing 450mm wafer coating and DSA processing service from their Hikone facility
 - Nikon 450mm 193i Scanner
 - First 193i scanner patterned 450mm wafers are being presented at SEMICON West 2014
 - 450mm patterning service being provided to G450C from the Nikon Kumagaya facility
 - Nikon 450mm 193i scanner scheduled for delivery to the G450C in Albany, NY in April 2015
- SEMICON WEST 2014
電子デバイス産業新聞 (2015年2月19日)

Nikon Lithography Product Roadmap



液浸リソグラフィ装置を導入へ 2015年 4月
量産機出荷計画は若干不透明

SEMICON EUROPE 2015

Litho Process Update

- First dynamically scanned 450mm notchless wafers patterned successfully at Nikon in Japan and demonstrated at SEMICON West 2015
 - Wafers have 1.5mm edge bead and patterned with G450C mask 40nm 1:1 line/space



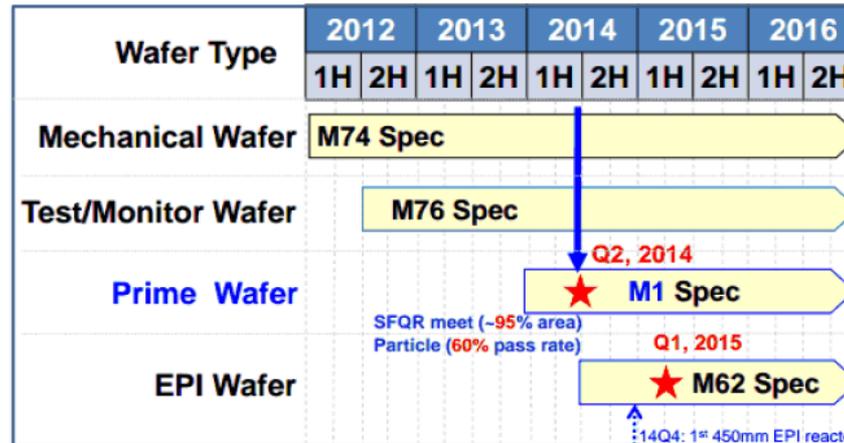
<http://www.enable450.eu>

http://www.enable450.eu/newsletter/Enable450_Newsletter_Oct2015.pdf

G450C Wafer要求

- Wafer quality roadmap

SEMICON WEST 2014



*SFQR: Site Flatness Quality Requirement (<20nm)

★ Deliver Sample

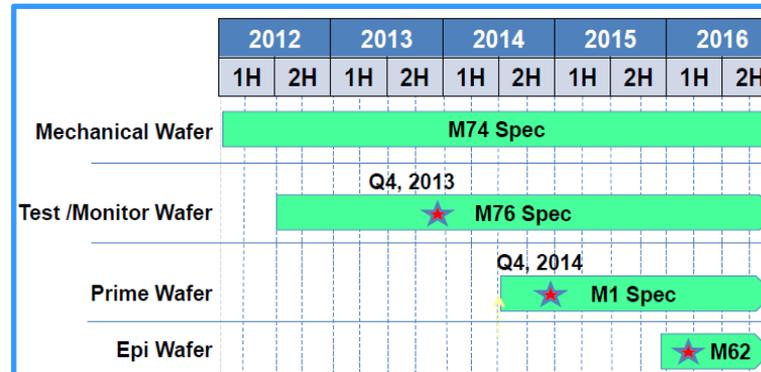
化学工学日報
 (2015年2月18日)
 ユーザーの量産遅れのため、450mmウェーハ出荷数量は伸びていない。

450mm Wafer Progress Update



- Wafer quality roadmap: M1 prime wafer spec has been achieved

SEMICON EUROPE 2015



★ meet SEMI spec

スケジュールに遅れは見られるものの、ウェーハ要求の内容に変化はない。

450mm化は当初計画より遅れているもの、検討・開発のための環境は整ってきた。

ヒアリング（～2016年3月）

年月	講師	テーマ	分類
11年8月	沼田 敏典氏（東芝）	Si Nanowire Tri-Gate	Multi-Gate
12年4月	藤田和司氏（富士通）	低電圧MOSFET技術	Bulk CMOS
12年7月	木下ERDリーダー	ERD/ERM 新機軸デバイスの状況	
12年8月	羽根委員	Mears技術ヒアリング情報	Bulk CMOS
12年10月	富岡 克広氏（北大）	III-Vナノワイヤチャネル	新材料
13年2月	杉井 信之氏（LEAP）	SOTB	FDSOI
13年7月	入沢 寿史氏（GNC）	InGaAs/Ge三次元積層CMOS	新材料
13年9月	能登 宣彦氏（SEH）	FDSOI向け300mm薄膜SOI	FDSOI
14年2月	内田 建先生（慶大）	Extending the FET	FET・新材料
14年9月	森 貴洋氏（産総研）	TFET（ON電流向上）	FET・新材料
14年9月	後藤 正和氏（東芝）	TFET（CMOSコンパチ）	FET・新材料
14年11月	遠藤 哲郎先生（東北大）	スピントロニクス	メモリ・新材料
15年2月	彦坂 幸信委員 （富士通セミコンダクター）	FeRAM	メモリ・新材料
15年8月	Vivek Rao氏(AMAT)	Contact Engineering	新規FEP技術
16年1月	高木 信一先生（東大）	新材料MOSFET	新材料
16年2月	Vivek Rao氏(AMAT)	Contact Engineering	新規FEP技術
16年3月	若林 整先生（東工大）	FEOL先端技術動向	新規FEP技術

まとめ

- 化合物半導体等の新材料、あるいは3D等の新構造が、新規プロセス技術の採用により、今後のデバイスへの導入が可能となりつつある。
- 材料・構造に適合したFEP技術の開発（ⅢV族材料の、 $\langle 111 \rangle$ 方向への成長など）により、300mm Si (100)基板を用いたⅢV on Si構造も実現されている。
- 450mm化は当初計画より遅れているもの、米国において、検討・開発のための環境は整ってきた。

謝辞

技術調査に協力いただいた、

Vivek Raoさん (AMAT)

高木 信一先生 (東大)

若林 整先生 (東工大)

に感謝いたします。