

2 - 2 テスト

(要旨)

(1) 背景

半導体技術の微細化の進展に伴い、製造可能な回路規模と設計可能な回路規模とのギャップが広がり、そのギャップを埋めるため、設計技術は抽象度を上げるべくRTLを上回る高位記述や、既設計資産(IP)の再利用を推進している。テスト技術へのこの影響は大きく、特にIPのテストが問題となる。そのようなIPを含むシステムオンチップ(SOC)と呼ばれる製品が主力となる時代の新しいLSIのテスト技術の確立が求められている。

(2) 検討範囲と項目

SOC、メモリのテストを検討範囲とし、検討項目としては、故障モデル、テスト手法、DFT、BIST(組込み自己テスト) 標準化、故障解析、ATE(自動テスト装置)とした。

(3) ニーズ

SOC のテストのニーズとしては、半導体の微細化、低電力化、大規模化、高速化、あるいは、デジタル/アナログ混載、ATE の高価格化・テスト時間の増大という問題に対して、所望する市場不良率、テストコスト を実現すべくテスト技術を準備・確立することである。

(4) 課題

SOCの登場により、それまで個別であったASIC・DRAM・アナログ等のテスト技術を統合する必要性が生じており、DFTに新たな課題を与えている。テスト時間もデバイス性能の向上による高速なテストによっても補うことができずに長時間化しており、コスト増加の大きな要因となりつつある。テストの品質の面からは、従来からの縮退故障モデルに基づくテストだけでは不十分となり、短絡故障モデルや遅延故障モデル、クロストークや電源ノイズの影響など、抽象度を下げ実際の故障により近いモデルに基づくテストが必要とされてきており、ハイレベルに向かうDFTとの乖離が進んでいる。故障解析技術は微細化および配線多層化により深刻な問題に直面しており、何らかのブレイクスルーが必須である。ATEの高価格化に対して、低価格のATEを用いたテスト手法の確立も課題となる。

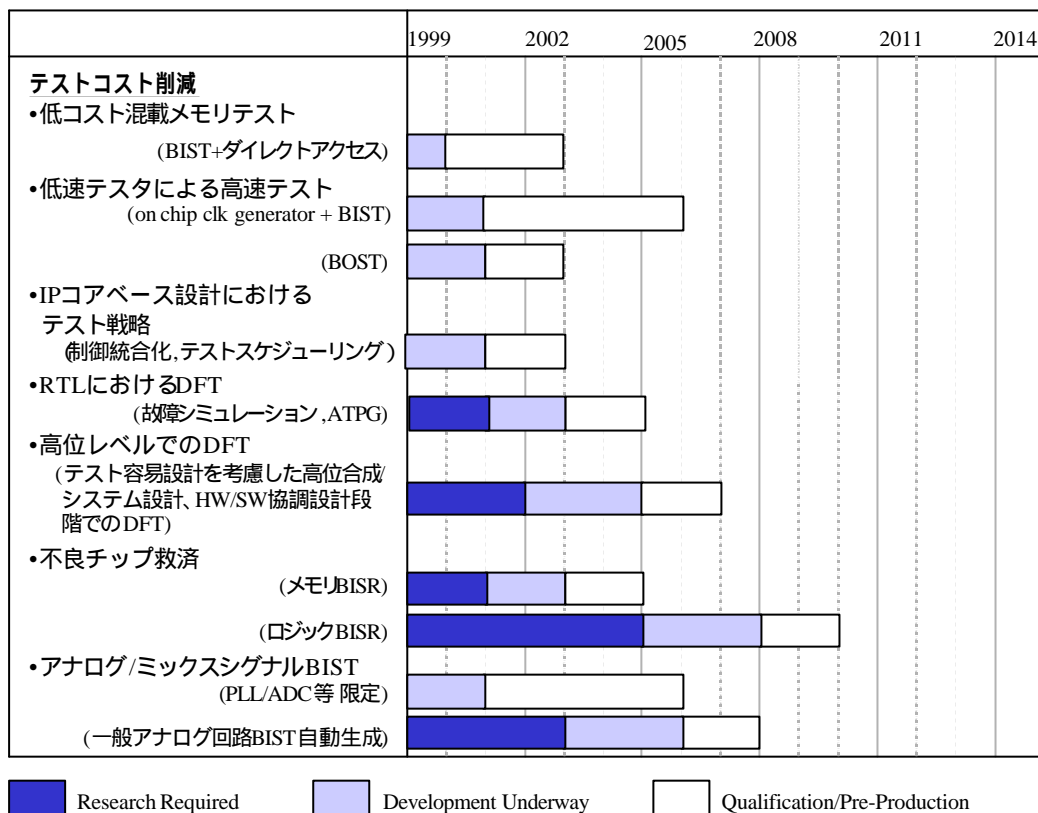
(5) 解決策の候補技術

テスト設計コスト削減の観点からは、LSI への各種 IP コアの搭載数増加、高位レベルの設計に対応する必要がある。これらに対応するためのポテンシャルソリューションとしては、IP コア内またはチップ全体のテスト戦略(制御統合化,テストスケジューリング)を行う DFT 技術が挙げられる。また、RTL で動作する ATPG,故障シミュレータ、RTL より上位の動作レベルに DFT を考慮した高位合成、HW/SW 協調設計段階から HW/SW 双方を使用して DFT を実現する技術が挙げられ、これらの研究が必要となる。

製造時テストコスト削減の観点からは、各種 IP コアの搭載数増加によるテスト時間増大に対応するために、アナログ/ミックスシグナルに対しても実現可能で、同測テストが可能な BIST 手法が上げられる。また、LSI の高速化,各種 IP コア搭載によるテストコスト増加に対応するために、on chip clock

generator に BIST または BOST を組み合わせた技術により、低速テストによる高速テストを実施実現される必要がある。しかし、数多くの課題があり更に研究が必要である。

Potential Solutions(1)



(6) 他のWG分野への依存性

複雑化するテスト手法を SOC 設計に効率よく適用するためには、設計の後工程としてテスト設計したのでは手遅れであり、設計の初期段階よりテスト設計の考慮を行い、設計の中にテストの要件・最適性を盛り込むことが重要となっており、設計(WG1)に対して高い依存関係を持つ。

(7) 現状における着手レベル、目標に到達するための提言

テスト設計コスト削減の観点から、各種 IP を組み込んだ LSI に対し、種々の DFT の取り込みがなされることを述べた。その中で、テスト設計作業を効率よく行うために、テスト回路、テストパタン等の標準化も必要である。製造時テストコスト削減の観点から、LSI の高機能化に伴うテストパタン長大化、高精度・高速テストの要求に対応するために、テストのコスト増大を押さえるべく、種々の DFT の取り組みがなされることを述べた。しかし、テストのより一層のコスト削減努力も必要となる。

2 - 2 - 1 背景、ロードマップの意義、期待する効果

(1) 背景

微細化技術の進展とのギャップを埋めるため、設計技術は抽象度を上げるべく RTL(register transfer level)を上回る高位記述や、IP コア(intellectual property コア:既設計資産)の再利用を推進している。テスト技術へのこの影響は大きく、特に IP コアのテスト及び故障診断が問題となる。また SOC(system on a chip)の登場により、それまで個別であった ASIC(application specific integrated circuit:特定用途向け IC)・DRAM(dynamic random access memory)・アナログ等のテスト技術を統合する必要が生じており、DFT(テスト容易化設計)に新たな課題を与えている。テスト時間もデバイス性能の向上による高速なテストによっても補うことができずに長時間化しており、コスト増加の大きな要因となりつつある。

テストの品質の面からは、従来からの縮退故障モデルに基づくテストだけでは不十分となり、短絡故障モデルや遅延故障モデル、クロストークや電源ノイズの影響等、抽象度を下げ実際の故障により近いモデルに基づくテストが必要とされてきており、ハイレベルに向かう DFT との乖離が進んでいる。

故障解析技術は微細化及び配線多層化により深刻な問題に直面しており、何らかのブレイクスルー(breakthrough)が必須である。

(2) ロードマップの意義

テスト技術は、高位記述レベルの設計技術からトランジスタレベルの測定技術にわたる、実に幅広い分野と密接に影響し合って発展を続けており、他の分野の人々には理解しづらく、テスト技術の専門家でさえ、全てを把握することは容易ではない。よってここに国内の専門家の叢智を結集し、テスト技術の今後の方向性をロードマップとして明示することで、半導体産業にかかわる産・学・官の全ての人々にテスト技術の抱える問題点とその解決への道筋の理解を得ると共に、テスト技術の研究者に対しても、細分化された個々の技術開発のベクトルを合わせるという意義を持つ。

(3) 期待する効果

テスト技術開発のベクトルを、産・学・官を通して整合させることで、無駄の無い迅速な開発に貢献すると共に、研究開発の方針や産・学での役割分担における基礎的な情報となる。また、他分野の技術開発に携わる研究者へのテスト技術の理解を促すことで、相互理解が深まり、より広い視点から問題解決の糸口が見出される可能性が生じる。

産業界に対しては、今後直面する問題点を事前に把握しテスト技術開発を計画的に実行していくための、経営戦略立案の柱となる。

2 - 2 - 2 検討範囲と項目

SOC、メモリのテストを検討範囲とし、検討項目としては、故障モデル、テスト手法、DFT、組込み自己テスト(BIST)、標準化、故障解析、テストとした。

2 - 2 - 3 技術ニーズ、到達すべきレベル

LSIの微細化とともに、高集積化・動作スピードの向上が実現している反面、一方ではATE(自動テスト装置)の高価格化・テスト時間の増大という問題が発生している。また、取り巻く環境面から、LSIそのものは、TAT(turn-around time)短縮からIP化をはじめ、より高位レベルの設計へ進まざるをえない。これらはともすれば、テストコストを大幅に増加させるばかりか、出荷品質の低下を招く恐れがある。

今後、この 市場不良率、テストコスト を次のような指標として実現すべくテスト技術を準備・確立しなければならない。

(1) 市場不良率

用途に応じて適切な目標値に対応できるテスト技術を確立する。例えば組込みシステム向けSOCの場合100～500ppm以下であること。

(2) テストコスト

テスト設計のコストと製造時テストコストの合計が、設計コストと製造コストの合計の1/5以下であること。

2 - 2 - 4 課題

(1) 故障モデル

現在故障モデルとして一般的に利用されているのは相変わらず単一縮退故障モデルであるが、pseudo-stuck-at(スード・スタック・アット)故障モデル等のIDDQ(静止状態電源電流)テスト用の故障モデルも利用されており、一部では遅延故障も使用され始めている。一方、不再現故障を適切に扱える仕組みがない、アナログ/ミックスシグナル回路に対する統一的な故障モデルがないといった問題も抱えている。

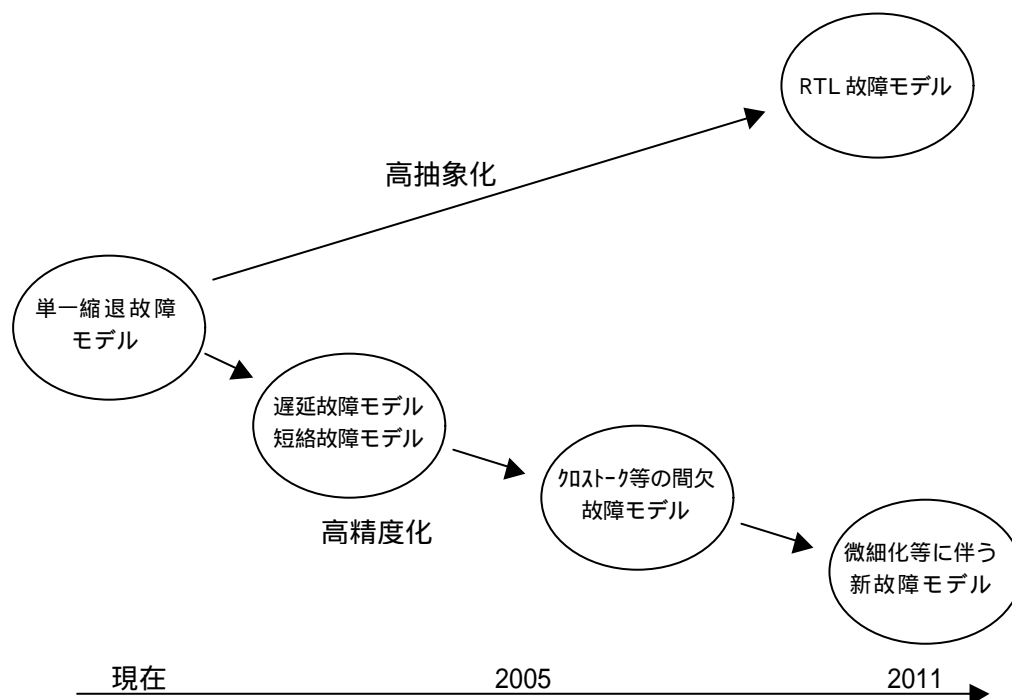
テクノロジーノードが100nmに近づく頃にはLSIの動作速度の高速化により、故障モデルとしては従来の縮退故障モデルに加えて遅延故障モデルも広く用いられるようになる。遅延故障モデルとしてはパス遅延故障モデル、ゲート遅延故障モデルの両方が使われるが、パス遅延モデルがより重要となる。また、素子の微細化、多層化により短絡故障についてもこれまで以上に考慮する必要がある。IDDQテストは短絡故障に対する有効なテスト手法であるが、プロセスの進歩に伴いその問題も顕在化し、適用限界についての議論も盛んに行われている。この頃には既にこの議論に決着がつきIDDQテストの適用限界が明確になっていると予想される。従って、IDDQテストが適用可能な場合はIDDQ

IDDQ テストが用いられ、IDDQ テストが適用不可能な場合にも代替となるテスト手法が明確になっており、短絡故障モデルは広く用いられる状況になっている。

またクロストーク、カップリング、IR(電流・寄生抵抗積) ドロップ、EM(電磁場の影響) その他ノイズによるパターンに依存した間欠故障にも十分注意を払わなければならない。低電圧化はいっそうこの問題を顕在化する。こういった故障に対する適切なモデルの開発が急務である。

テクノロジーノードが 100nm を切る頃にはクロストーク等の間欠故障に対する考慮がますます重要となると同時に新たな故障モデルの開発も必要となる。一つは今後新たに開発されるであろう新機能デバイスに対応した故障モデルである。もう一つはさらなる微細化、多層化、高速化、低電圧化の進展により現状とは異なる新たな故障モードに対応した故障モデルである。

また、RTL で動作する ATPG(自動テストパターン生成) 故障シミュレータも実用化が予想され、これに対応した RTL 故障モデルの確立が必要となる。



図表 2 - 2 - 1 SOC テストの課題(故障モデル)

(2) テスト手法

1) 現在

現在の LSI のテストは、縮退故障を中心に、機能テストを実速度で行うアットスピードテスト (at-speed test)、DC (直流) テスト、IDDQ テストを主なテスト項目として実施されている。

LSI のロジック部については、大規模化に伴い、主に縮退故障のテストパターンの作成が困難となり、現在では少ない工数で高い検出率を得るために、主にフルスキャン設計手法に基づく ATPG が実施されている。またメモリ部については、外部から直接アクセスしてテストする手法の他に SRAM (sTATIC random memory) を中心に BIST が用いられることも多い。

また更に、SOC の時代に入り、設計クライシスを回避するために IP コアの再利用技術として、IP コアを分離して IP コア毎にテストを行う IP コア分離テスト手法がとられている。

しかしながら、SOC に搭載される IP コア数・種別が増加するに伴い、各 IP コアを分離してテストするための制御問題が複雑になるという課題が発生してきている。IEEE P1500 (IEEE ドラフト) 等でも、制御問題については標準化が進められている。

また、LSI の高速化に伴いテストコストの急騰が予想されており、低速テストでの高速デバイスのテストやテストスキューの回避が課題となってきた。

2) 100nm 以上 (100nm より手前)

100nm 以上の世代においては、IP コア搭載数が更に増大し、テストパターン長等テストコスト増加と IP コア分離テスト煩雑化が顕著となってくる。

テスト項目としては、微細化の観点からクロストークへの対応が必要と予想される。また、現状の IDDQ テストについては適用限界を迎え新たな IDDQ テストまたは代替手法が明確にされる他、省電力を目的とした非同期回路のテスト、更に高周波となる混載アナログ回路の分離テストまたは BIST の課題が大きくなることが予想される。このアナログの課題の中にはデジタル部からのノイズの増大も含まれる。

このような状況下で 100nm 以上の世代においては、新たに IP コア分離テストの煩雑さの観点から、標準テスト情報受け渡しのための EDA (electronic design automation) 環境が整えられ、IP コア内またはチップ全体のテスト戦略 (統合化・スケジューリング) 技術が実現される。この中には、消費電力を考慮したテストパターン編集、テスト回路制御、テストスケジューリング等も含まれる。

その他、動作周波数の高まりに対応して、オンチップクロック発生器/BIST/BOST (built-off/out self-test, テスタボード上の検査回路) を用いた低速テストでの高速テストが実現され、また微細化により更に重大な課題となるパス遅延故障についてはチップ全体に渡り保証できるテスト手法が実現される。

チップ面積等、コスト削減の観点からは、BIST 及び IP コア分離テスト手法を用いた低コストな混載 DRAM のテスト手法が実現される。

3) 100nm 未満 (100nm より将来)

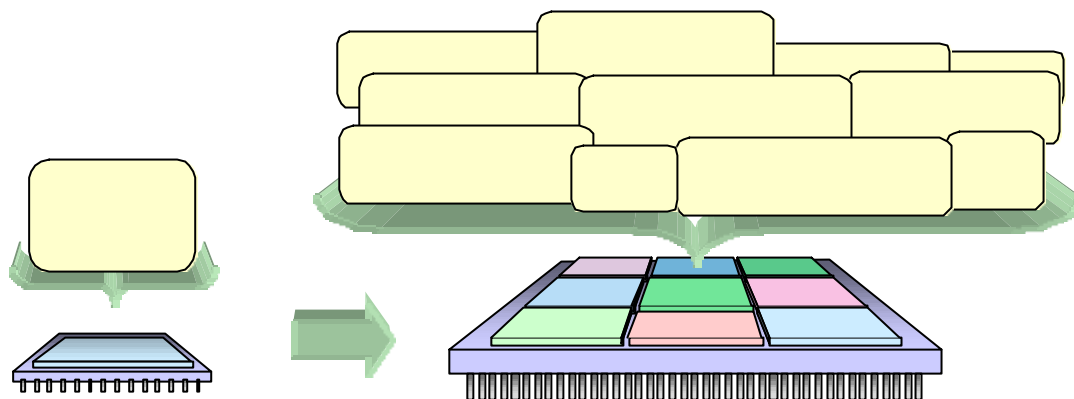
100nm 未満の世代においては、SOC の上流設計手法の充実と共に、上流におけるテスト設計・制約の考慮と、テスト統合化ツールが連動し、上流設計フローに組み込まれる。回路の観点からは、LSI の微細化が進み、また動作周波数が更に高くなるため、更なる微細化・高速動作への対応が必要となる。このため、オンチップにおいてテストプログラムをロードしテストを実施する tester on chip (テスト

スタオンチップ)技術またはその IP コア提供が課題となる。

テスト項目としては、微細化により発生する新故障モデルへの対応が新たに重要な課題となる。

このような状況下で 100nm 未満の世代においては必要最小限のテストで必要十分なテスト手法を機能レベル記述から付加するトップダウン的 DA(設計自動化)システムが実現される。また、微細化により発生する新たな故障のテスト手法が実現される。

LSI の高速化の観点からは、テストコストが高速 LSI 対応により急激に高くなることから、低速テストによる実動作速度での動作保証が BIST 及びデバイス設計技術(タイミング測定用回路等)により実現される。



図表 2 - 2 - 2 SOCテストの課題(テスト手法)

(3) テスト容易化設計(DFT)

現在は、ロジック部分のテストのためにゲートレベルでのスキャン設計、RAM/ROM や CPU コア等 IP コアのテストにはマルチプレクサ等を使用しての論理的な切り出しが行われている。同様にアナログ / ミックスシグナル部分にも信号の切り出しによる分離テストが行われている。テスト用回路の自動生成に関しては、バウンダリスキャン回路の自動生成ツールや、メモリ BIST の自動生成ツールが使用されている。またロジック BIST 回路の自動生成ツールも一部使用され始めている。レイアウト設計と DFT のリンクの点では、レイアウトを考慮したスキャンチェーンのリオーダリングが行われている。IP コアを内蔵した場合の課題として、IP コアを効率よくテストできるようにする仕組みを IP コア内に取り入れた IP テスト設計や、複数の IP コアを内蔵した際のチップ全体でのテスト手法を構築するテスト統合のガイドライン作成の要求が出始めている。

テクノロジーノード 100nm 以上では設計レベルの抽象化に伴い、DFT においても RTL での DFT、テストバリエーション解析、オーバーヘッド予測が一般的に使用されるようになる。現在でも使われ始めている技術であり、それらが広く普及する。LSI の大規模高速化によりパス遅延故障検出の重要性は益々増加する。そのための DFT 技術として、フルスキャンベースの手法は広く普及し、BIST や網羅的なパスを扱う手法も一部実用化され始める。LSI の微細化・多層化に伴い、レイアウト設計と DFT は強くリンクする必要がでてくる。クロストーク、カップリング、電源ラインのマイグレーションといったレイアウト設計に依存した故障を考慮し、フロアプランやレイアウト情報を利用した DFT や ATPG 技術が確立され、また逆に効率的な DFT や ATPG を考慮したレイアウト設計が行われるようになる。

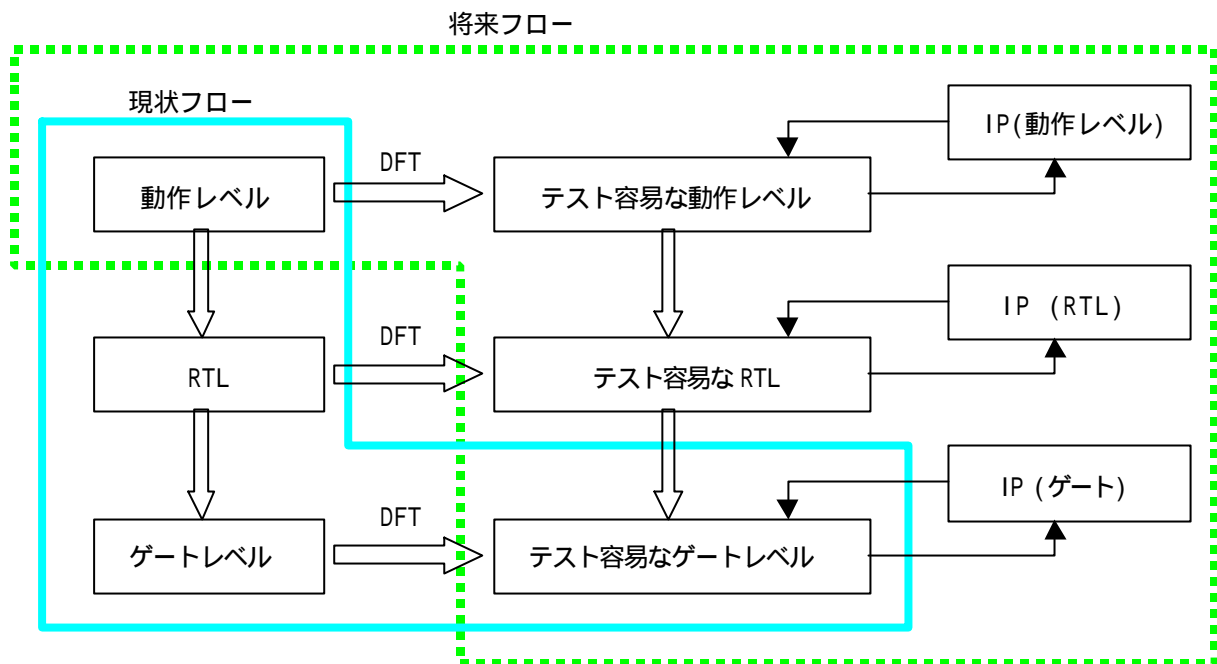
様々な機能を持つブロックから構成される SOC を効率的にテストするための DFT ツールとして、ブロック毎にテスト手法に応じたテストコストの見積もりを行い、その結果によりテスト手法の選択を支援し、ブロック毎に決定したテスト手法をチップ全体として統合することができるものが実用化され始める。それらブロック毎のテスト手法として、スキャン FF(フリップフロップ)を使用せずデータパス等を利用して FF に容易にアクセスを行う非スキャンテスト容易化技術や、IP コアアクセスを容易に行う技術も確立される。SOC 上に実現されるアナログ/ミックスシグナル回路のテストに関しては、特定の機能に対応した BIST、及びアナログバウンダリスキャン(IEEE Std 1149.4)が実用化される。

従来から使用されているスキャン設計は、縮退故障、遅延故障のための DFT として依然として重要な役割を担っており、面積オーバーヘッドやスピードペナルティを抑えながらもテストバリエーションの低下を招かない新しいパシナルスキャンが実用化され始める。またテストコストを抑えるべく高速なテストを使用せずに、アットスピードテストが行えるような仕組みを実現するための DFT が実現される。

テクノロジーノード 100nm 未満では設計レベルのさらなる抽象化に対応すべく、DFT も RTL より更に上位レベルである動作レベル、あるいは HW/SW(ハードウェア/ソフトウェア)協調設計段階から考慮する必要性が増す。これらを実現するために DFT を考慮した高位合成が実用化され、また HW/SW 双方を使用して DFT を実現する技術が実用化される。

SOC を効率的にテストするために、ブロック毎にテストコスト、面積オーバーヘッド、動作スピード、消費電力を考慮してテスト手法を自動選択し、そのテスト手法をチップ全体として統合することのできる全て自動化された DFT ツールが広く実用化される。

また全く新しい故障モデルに対応するための DFT が実現される。



図表 2 - 2 - 3 SOCテストの課題(DFT)

(4) BIST

現状、メモリ BIST は、SRAM にのみ実用化されている。SRAM 以外 (DRAM 等) のメモリ BIST については、冗長構成/self-repair(自己修復)に対応しておらず、また、各種テストパターンアルゴリズムに対応していないので、デザイン限定で補助的に使用されている。ロジック BIST についても、フルスキャンベース&ランダムテストパターン生成による手法を使用しているので、高故障検出率を得るためテストロジックの挿入等が必要であり、デザイン限定で使用されている。

このように、現状、SRAM のみ実用化レベルまで対応可能であり、SOC の各種 IP コアのテストを行うに当たり、以下の問題点がある。

- ・テストメモリ量/テスト時間の長大化
- ・IP コアテスト用 LSI ピン数の不足
- ・テストコストの増加(高性能なテストが必要)

BIST は、これらの問題を解決する技術であり、今後、広く使用されていく技術である。

100nm 以上の課題としては、メモリ BIST が、BISR(built-in self-repair)により冗長構成/self-repair 対応を実現する必要がある。また、ロジック BIST については、フルスキャンベース&ランダムテストパターン生成に代わる手法等により、以下が実現され、実用化される必要がある。

- ・高故障検出率
- ・システム動作のアットスピードテスト
- ・テスト時間増大の抑制
- ・低消費電力
- ・エリアオーバーヘッドの低減

ここで、テスト時間増大の抑制について少し触れる。高故障検出率/低消費電力の実現は、効率良くテストを行うためのテスト時間の短縮とは矛盾する。しかし、テスト時間に関して未対応では、回路の大規模化に伴い問題となるので、テスト時間増大を抑制することが必要となってくる。

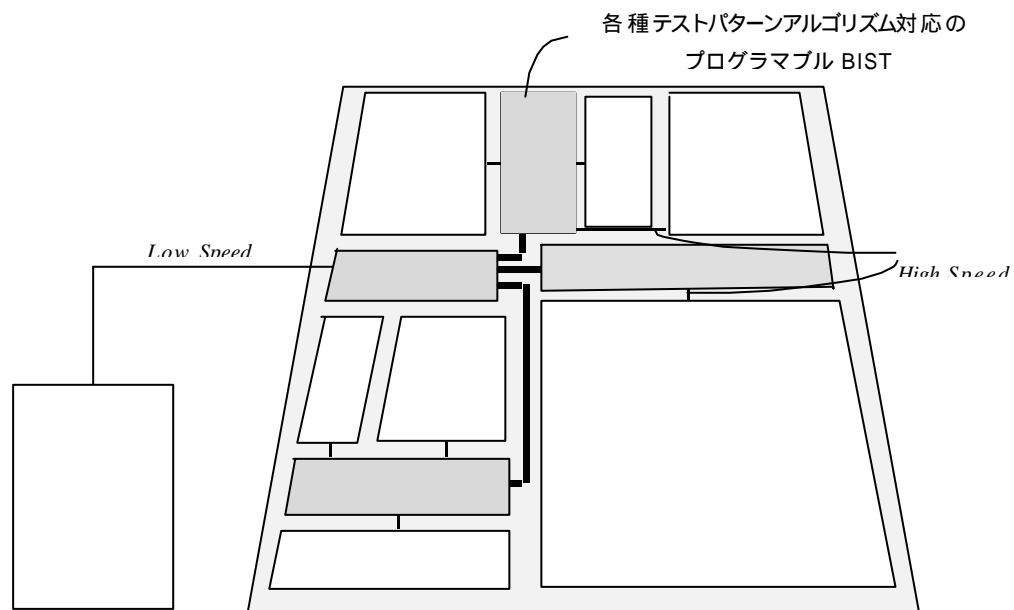
その他として、アナログ/ミックスシグナルに対する BIST が、PLL(phase-locked loop)/ADC(analog-to-digital converter)等の一部 IP コアで可能となり、機能限定で使用される必要がある。また、IDDQ テストについてプロセスの微細化に伴う適用限界が明確となり、適用可能になった場合、組込み電流センサが使用されることになる。

このように、100nm 以上になると、EDA ツールの進歩と共に、ロジック BIST が実用化し、メモリとアナログ/ミックスシグナルへの BIST 適用範囲が拡大して、BIST の使用が広まっていく必要がある。

100nm 未満の課題としては、メモリ BIST が、テストパターンのプログラマブル化により、各種テストパターンアルゴリズムに対応可能となり、実用化される必要がある。ロジック BIST に関しては、縮退故障以外の故障モデル(網羅的なパス遅延/短絡故障/クロストーク故障等)を扱うことが可能となると共に、BIST に対応した故障解析環境が構築される必要がある。また、ロジック BISR によりロジック部の不良救済が可能となることが要求される。アナログ/ミックスシグナル BIST については、更に適用機能/適用コアが拡大される必要がある。

このように、100nm 未満になると、更に EDA ツールが進歩すると共に、各 IP コアに対する BIST の使用が拡大される必要がある。また、各 IP コアの BIST を、チップ全体としてテスト統合することが可能となる必要がある。これにより、チップ全体のテストとして、テストメモリ量/テスト時間の短縮、IP コアテスト用 LSI ピン数の削減を図ることが可能となり、BIST の使用が一般化されることが望まれる。

また、研究課題として、テストコストの増加に対応するために、BIST の進化、発展形となる、tester on chip の BIST に向けて研究が進んでいく必要がある。



図表 2 - 2 - 4 SOCテストの課題(BIST)

(5) 標準化

今後 SOC が IP コアをベースとして設計されるようになるとともに、IP コアの再利用および流通が盛んになる。SOC のテストもまた、IP コアの内部または周辺に構成されたテスト回路を利用して、IP コア単位で行われるようになる。特に流通 IP コアに関しては、それぞれが各社固有のテスト回路やテストインタフェースを持つことになる、IP コアごとのテスト回路を統合化・再利用して SOC 全体のテストを行えるようにするテスト統合作業の効率に多大な影響を及ぼし、SOC 設計や IP コアの流通を阻害する。このため、テスト回路、テストインタフェースやその情報受け渡し形式、テストデータ記述形式等に関しては、速やかな標準化が必要となる。

1) 現状

テスト回路の標準としては、バウンダリスキャン(IEEE Std 1149.1)および、そのアナログ/ミックスシグナル用の拡張(IEEE Std 1149.4)が、SOC テストの統合手段として利用可能である。またその仕様の標準記述言語である BSDL(Boundary Scan Description Language)も、一般的に用いられている。これらは SOC 内の IP コアのテスト回路、たとえばスキャン回路や BIST 回路等を制御することができるが、標準仕様の拡張可能な部分を用いて実現しているため、制御の仕方については各社固有の仕様を持つことになる。

バウンダリスキャン以外には、流通 IP コアに適用可能なテスト回路/手法の標準は存在しない。テスト回路やテストインタフェース及び、その仕様受け渡し形式につき、IEEE P1500 として標準化作業中であるが、完了までにはまだしばらくの期間を要する。このため現状では、IP プロバイダによる IP コアの開発や、EDA ベンダによるテスト統合ツールの開発等においては、各プロバイダがそれぞれ独自のインタフェース及びその情報記述形式を用いることになる。

テストデータ記述形式は、IEEE 1450(STIL: standard test interface language)が将来業界標準となるが、過渡的には VCD(value change dump)および WGL(waveform generation language)が準標準として用いられる。

2) 100nm 以上

STIL がテストデータの受け渡しに標準的に用いられるようになり、EDA ツールの STIL 対応も進む。IEEE P1500 の標準化後は、対応する EDA ツールの開発が行われ、各 IP コアのテストインタフェース仕様から、SOC に統合した後での各 IP コア及びコア間に対するテスト手法/回路の自動決定、テスト回路の自動生成/挿入、テストパターンの自動編集/生成を行えるようになる。またバウンダリスキャンによる SOC テストの統合作業をより効率化するために、SOC テストに特化した標準の拡張が必要となる。

IEEE P1500 の標準化前から流通してきた、各ベンダ固有の仕様を持った IP コアについては、コア間でのテスト回路/テスト手法の不整合から、テスト統合作業が困難化する。このため、固有のインタフェース形式から標準への移行を支援する EDA ツールが必要となる。

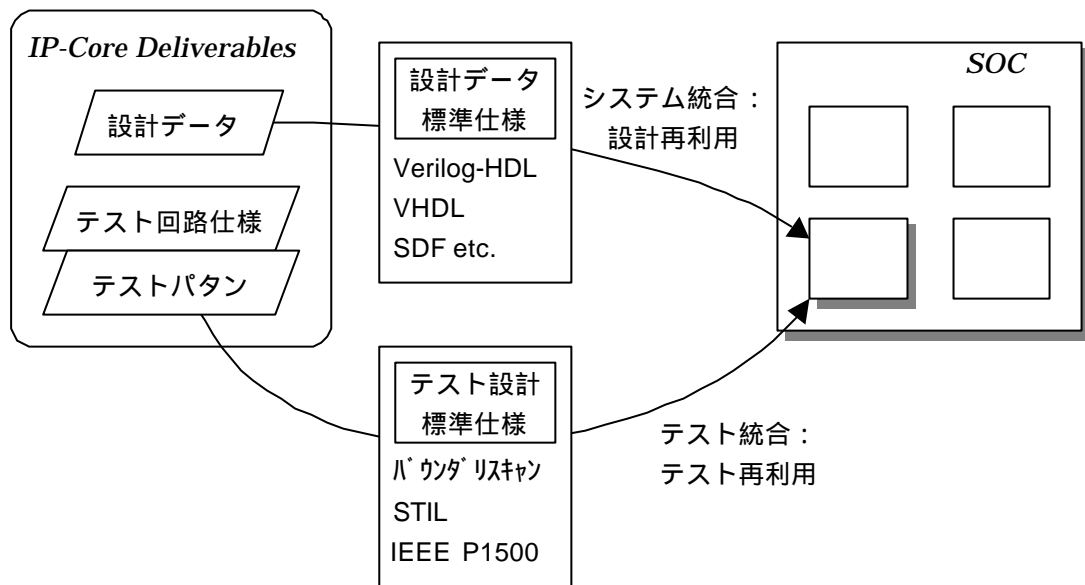
また、各 IP コアごとの故障検出率から、統合後 SOC 全体のテストの品質を導くことが必要になる。このため、IP コアの種類に応じて、故障及び故障検出率の定義の標準化がなされ、またそこから SOC 全体の故障検出率を算出する方法が標準化されるべきである。

3) 100nm 未満

IP コアのテスト回路仕様が高度に標準化され、SOC でのテスト統合作業の、完全に近い自動化が実現されるようになる。

アナログ/ミックスシグナル回路のテストについても、SOC テストにおける手法やテストフロー/アナログテストデータ等の標準化を行わないと、そのテスト設計時間やテスト時間の、テスト全体に占める割合の点から問題になる。

故障及び故障検出率の定義の標準化は、新たな故障モデルも含んだものとして、より高度化される必要がある。



図表 2 - 2 - 5 SOCテストの課題(標準化)

(6) テストコストに関する問題と課題

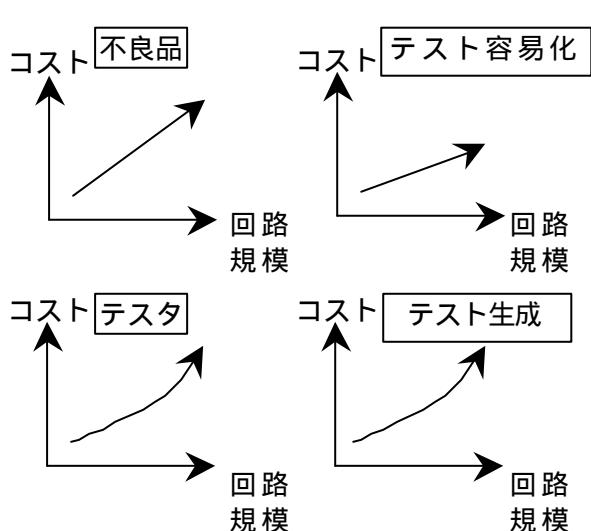
現状の問題点としては以下の点がある。

テストコストに関しては、テスト時間の長大化が見られ、スキャンテスト、IDDQ テスト、SOC のテスト等で問題となっている。また、テストの機能としては、高速、高精度テストが必要となり、テストが高価となるという問題がある。更に、ロジック、メモリ、アナログテストにそれぞれそれに対応するテストが必要となり、テストコストの増大を招いている。

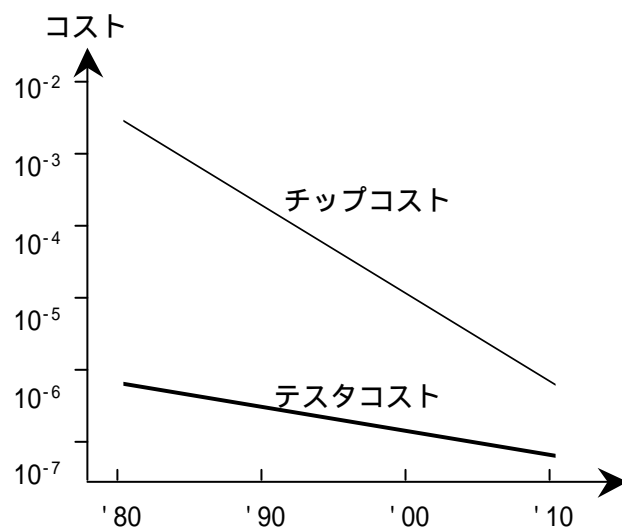
テストコスト以外にも、テスト容易化のためのエリアオーバーヘッドによるチップコスト増大、テスト設計に要する設計工数やテスト生成等の計算機コスト、不良見逃しに伴うペナルティ等もトータルテストコストを考える上で問題となる(図表 2 - 2 - 6 参照)。

180-130nm での課題としては、IP コアベース設計により IP コア単位のテストを行うことにより全体としてテスト時間が増大するという問題があり、BIST の積極的な適用が必要となる。また、BIST の活用により複数チップの同時測定(同測)が可能となり同測数が拡大できるという面もあり、BIST の重要性はますます増してくる。更に、ディレイ故障等への対応も重要となるため、アットスピードテストをサポートした BIST も重要課題となる。一方、BIST を適用しない IP コアに対してはテスト時間の長大化を抑止するためには IP コア単位のテストをいかにコンパクトにするかが課題となる。そのほか、メモリ BIST に冗長救済機能を取込んだ BISR 方式、高価なテストを用いないテスト方式、低速テストを使ったアットスピードテストの実現等も検討課題である。

100-70nm での課題としては、安価なテストによる DRAM-BIST 等、莫大となるテストコストを抑制するためのテスト方式等が重要となる。また、ロジック部に対する BISR 等、不良チップの救済に関しても検討が必要である。



(a) テストコストのトレンド



(b) トランジスタ当たりのチップコストとテストコスト

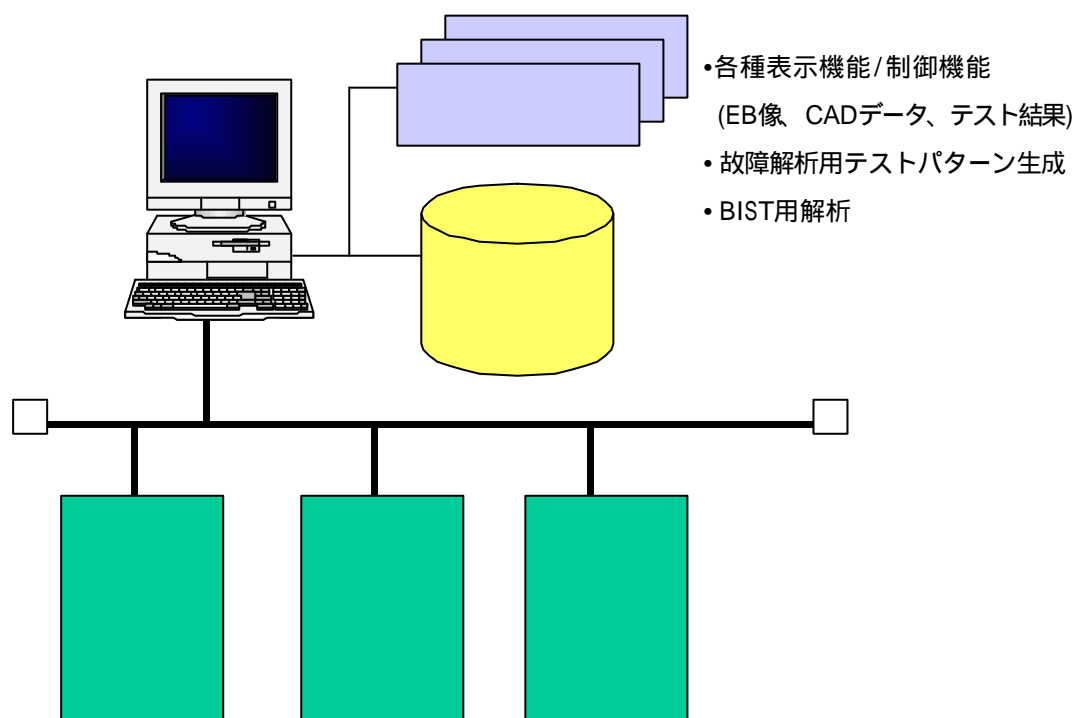
図表 2 - 2 - 6 SOCテストの課題(コスト)

(7) 故障解析

現状における故障解析は、縮退故障を対象に、フルスキャン設計された回路に対して、主に行われている。解析用の装置としては、EB(電子ビーム)テストが用いられ、また、裏面解析技術も使われはじめている。

テクノロジーノードが 100nm に近づく頃における課題としては、縮退故障だけではなく、遅延故障、ブリッジ故障、オープン故障に対する故障解析の要求も高まる。裏面解析に関しては、裏面解析を容易化するためのパッケージ技術、設計方法も重要となる。大規模化、及び微細化の進展により、EB テスタでの観測が困難になり、何らかの対応が必要となる。テスト容易化設計に関しては、SOC の IP コア単体の故障解析の容易化、及び、SOC 全体としての故障解析の容易化が必要となる。更に、ロジック BIST では、良/不良の判定だけでなく、故障解析も可能にする必要がある。また、統合的な故障解析環境も必要となり、故障箇所を分離するための故障解析用テストパターン生成技術も必要となる。

テクノロジーノードが 100nm 未満の頃における課題としては、故障モデルの項でも述べた新たな故障モデルへの対応が要求される。ロジック BIST に関しては、BIST に対応した故障解析環境が必要となり、更に、ロジック BIST によるテストで出荷したもののフィールドでの不良品を解析するために、プログラマブルロジック BIST や seed(シード, 種)の変更といったテストパターンの差し替え技術等が必要となる。また、この時期には、アナログ回路の不良解析技術が必要となる。



統合的故障解析環境

図表2 - 2 - 7 SOCテストの課題(故障解析)

導入時期	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	ドライバ
故障モデル								
縮退故障モデル	単一故障	単一故障	単一故障	単一故障	単一故障	単一故障	単一故障	
遅延故障モデル	ゲート遅延 パス遅延	ゲート遅延 パス遅延	ゲート遅延 パス遅延	網羅的 パス遅延	網羅的 パス遅延	網羅的 パス遅延	網羅的 パス遅延	
新故障モデル(クロストーク等)			XX	XX	XX	XX	XX	
新故障モデル(RTLの故障モデル)				XX	XX	XX	XX	
テスト手法								
低コスト混成DRAMテスト (BIST + ダイレクトアクセス)		XX	XX	XX	XX	XX	XX	
低速テストによる高速テスト(on chip clock- generator + BIST, テスタボード上の検査回路)			XX	XX	XX	XX	XX	
非同期回路テスト			XX	XX	XX	XX	XX	
クロストーク故障テスト			XX	XX	XX	XX	XX	
IPコアベース設計におけるテスト戦略 (制約統合化、テストスケジューリング)			XX	XX	XX	XX	XX	
網羅的パス遅延故障テスト				XX	XX	XX	XX	
IDDQテスト Low-V _{th} 対応				XX	XX	XX	XX	
低消費電力テスト手法 (テストパターン編集、スケジューリング)				XX	XX	XX	XX	
同速テスト(インタリーブ)用テスト生成				XX	XX	XX	XX	
動作周波数内部診断							XX	
DFT								
ゲートレベルでのDFT(スキャン設計)	XX	XX	XX	XX	XX	XX	XX	
RTLでのDFT (DFT, テスタビリティ解析, オーバヘッド予測)	XX	XX	XX	XX	XX	XX	XX	
RTLでのDFT(故障シミュレーション, ATPG)				XX	XX	XX	XX	
高位レベルでのDFT(高位レベル, システム 設計 段階, HW/SW協調設計段階でのDFT)							XX	
高位レベルでのDFT (テスト容易性を考慮した高位合成)							XX	
アナログミックスシグナル回路のDFT	分離 テスト	分離 テスト	BIST, ハウンダリスキャン	BIST, ハウンダリスキャン	BIST, ハウンダリスキャン	BIST, ハウンダリスキャン	BIST, ハウンダリスキャン	
テスト統合(IPコアの分離テスト)	XX	XX						
テスト統合(コスト, 面積, スピード, パワーを 考慮してテスト手法の選択支援, チップ全体と して統合)			XX	XX				
テスト統合(コスト, 面積, スピード, パワーを 考慮してテスト手法の自動選択, チップ全体と して統合)					XX	XX	XX	
テスト回路の自動生成(メモリBIST, ロジック BIST, ハウンダリスキャンの自動生成)	XX	XX	XX	XX	XX	XX	XX	
低速テストでのアットスピードテスト			XX	XX	XX	XX	XX	
BIST								
エンベデッドメモリBIST	限定使用	限定使用	実用化	実用化	実用化	実用化	実用化	
エンベデッドメモリBIST(冗長構成対応, self-repair対応, 各種テストパターンアルゴリズム 対応)			XX	XX	XX	XX	XX	
ロジックBIST	限定使用	限定使用	縮退故障 対応実用 化	縮退故障 対応実用 化	縮退故障 対応実用 化	縮退故障 対応実用 化	縮退故障 対応実用 化	
ロジックBIST(高故障検出率実現, システム動 作のアットスピードテスト実現, テスト時間増大 の抑制実現, 低消費電力実現, エリアオーバ ヘッドの低減実現)			XX	XX	XX	XX	XX	
ロジックBIST(不良チップの救済)								
アナログミックスシグナルBIST			機能限定 で使用 (PLL, ADC等)	機能限定 で使用 (PLL, ADC等)	機能限定 で使用 (PLL, ADC等)	機能限定 で使用 (PLL, ADC等)	機能限定 で使用 (PLL, ADC等)	

その他								
標準化								
テストパターン	WGL, VCD, STIL	WGL, VCD, STIL	EDA/テスト タのSTIL 対応	EDA/テスト タのSTIL 対応	EDA/テスト タのSTIL 対応	EDA/テスト タのSTIL 対応	EDA/テスト タのSTIL 対応	
テスト手法/テスト回路	P1500	P1500	IPコア /EDAの P1500対 応	IPコア /EDAの P1500対 応	IPコア /EDAの P1500対 応	IPコア /EDAの P1500対 応	IPコア /EDAの P1500対 応	
故障モデル/検出率	縮退故障 モデル	縮退故障 モデル	故障モデル/SOC 検出率標準化	故障モデル/SOC 検出率標準化	故障モデル/SOC 検出率標準化	故障モデル/SOC 検出率標準化	故障モデル/SOC 検出率標準化	
コスト								
テスト時間削減(フルスキャン, IDDQ)	XX	XX						
テスト時間削減(IPコアベース設計)			XX	XX	XX	XX	XX	
不良チップ救済(メモリBISR)			XX	XX	XX	XX	XX	
不良チップ救済(ロジックBISR等)								
故障解析								
EBテストの利用	XX	XX						
裏面解析	XX	XX	XX					
裏面解析容易化(パッケージ, 設計)				XX	XX	XX	XX	
統合的な故障解析環境				XX	XX	XX	XX	
故障解析用テストパターン生成				XX	XX	XX	XX	
アナログ回路の故障解析							XX	
BISTのパターン差替え技術							XX	

Solutions Exist ☐

Solutions Being Pursued(yellow) ☐

No Known Solutions(red) ☐

図表 2 - 2 - 8 SOCテスト短期技術課題

導入時期	2008 70 nm	2011 50 nm	2014 35 nm	ドライバ
故障モデル				
縮退故障モデル	単一故障	単一故障		
遅延故障モデル	網羅的バス遅延	網羅的バス遅延		
新故障モデル (クロストーク等)	XX	XX		
新故障モデル (RTLの故障モデル)	XX	XX		
テスト手法				
低コスト混雑DRAMテスト(BIST + ダイレクトアクセス)	XX	XX		
低速テストによる高速テスト (on chip clk-generator + BIST, テスタボード上の検査回路)	XX	XX		
非同期回路テスト	XX	XX		
クロストーク故障テスト	XX	XX		
IPコアベース設計におけるテスト戦略 (制御統合化, テストスケジューリング)	XX	XX		
網羅的バス遅延故障テスト	XX	XX		
IDDQテスト Low-Vth対応	XX	XX		
低消費電力テスト手法(テストパターン編集, スケジューリング)	XX	XX		
DFT				
ゲートレベルでのDFT(スキャン設計)	XX	XX		
RTLでのDFT(DFT, テスタビリティ解析, オーパヘッド予測)	XX	XX		
RTLでのDFT(故障シミュレーション, ATPG)	XX	XX		
高位レベルでのDFT(高位レベル, システム設計 段階, HW/SW協調設計段階でのDFT)	XX	XX		
高位レベルでのDFT (テスト容易性を考慮した高位合成)	XX	XX		
アナログ/ミックスシグナル回路のDFT	BIST, バウンダリスキャン	BIST, バウンダリスキャン		
テスト統合(IPコアの分離テスト)				
テスト統合(コスト, 面積, スピード, パワーを考慮してテスト手 法の選択支援, チップ全体として統合)				
テスト統合(コスト, 面積, スピード, パワーを考慮してテスト手 法の自動選択, チップ全体として統合)	XX	XX		
テスト回路の自動生成(メモリBIST, ロジックBIST, バウンダリ スキャンの自動生成)	XX	XX		
低速テストでのアットスピードテスト	XX	XX		
BIST				
エンベデッドメモリBIST	実用化	実用化		
エンベデッドメモリBIST(冗長構成対応, self-repair対応, 各種テストパターンアルゴリズム対応)	XX	XX		
ロジックBIST	縮退故障以外の 故障モデルに対応	縮退故障以外の 故障モデルに対応		
ロジックBIST(高故障検出率実現, システム動作のアットスピー ードテスト実現, テスト時間増大の抑制実現, 低消費電力実 現, エリアオーパヘッドの低減実現)	XX	XX		
ロジックBIST(不良チップの救済)	XX	XX		
アナログ/ミックスシグナルBIST	全面適用	全面適用		
その他 標準化	Tester on Chip	Tester on Chip		
テストパターン				
テスト手法/テスト回路	アナログデータ	アナログデータ		
故障モデル/検出率	SOCテスト統合の 自動化	SOCテスト統合の 自動化		
	新故障モデル/ 検出率標準化	新故障モデル/ 検出率標準化		
コスト				
テスト時間削減(フルスキャン, IDDQ)				
テスト時間削減(IPコアベース設計)	XX	XX		
不良チップ救済(メモリBISR)	XX	XX		
不良チップ救済(ロジックBISR等)	XX	XX		
故障解析				
EBテストの利用				

裏面解析				
裏面解析容易化(パッケージ, 設計)	XX	XX		
統合的な故障解析環境	XX	XX		
故障解析用テストパターン生成	XX	XX		
アナログ回路の故障解析	XX	XX		
BISTのパターン差替え技術	XX	XX		

Solutions Exist ☐

Solutions Being Pursued(yellow) ☐

No Known Solutions(red) ☐

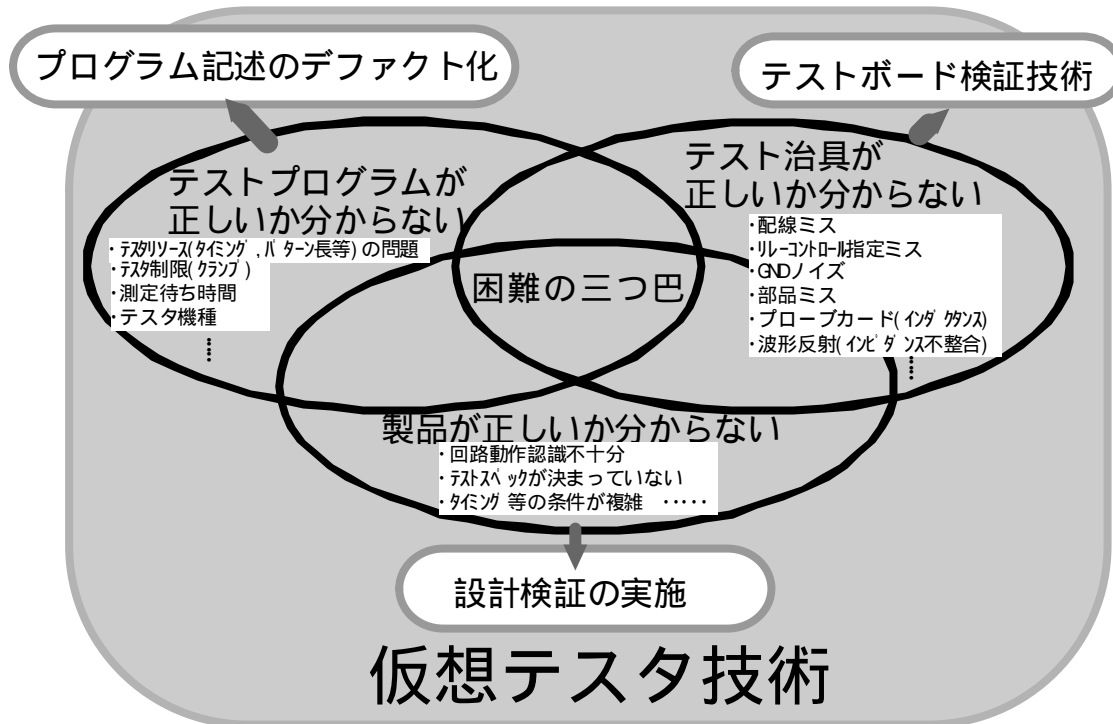
図表 2 - 2 - 9 S O Cテスト長期技術課題

(8) ATE

テストのアーキテクチャは、テストタイミング発生ユニットで作られたテストタイミング信号等を分配器で各ピンエレクトロニクスに供給するシェアード・リソース・テストがこれまで一般的であり、現在でも量産工程で多用されている。しかし、先端の高速デバイスに対する高精度タイミング制御が困難となってきたことに加え、タイミング条件に従って分配器を再度プログラムしなければならない不合理性があり、タイミング・リソースをピン毎に持たせるパーピン・アーキテクチャ・テストが先端ロジック製品の設計評価用テストとして使われるようになった。また、一部では量産用としての導入もされ始めており、更に量産への展開が進むであろう。今後は、ピンエレクトロニクスにタイミング・リソースに限らず、他のリソースも搭載したフル・パーピン・アーキテクチャへの展開が考えられるが、これらのアーキテクチャの活用には長所欠点があり、それらを良く考慮したテスト選定を行い、デバイスに最適化したテストを行う必要がある。

このようにテストには各種のアーキテクチャがあり、且つ、テスト言語もテスト・メーカ各社独自で開発されてきた。過去、テスト言語は FORTRAN、BASIC 形式、PASCAL 形式等のステートメント言語が採用され、最新テストでは C 言語も使われており、更に GUI(graphical user interface)化されてきた。テスト・メーカ間のテスト言語の標準化は難しいが、デファクトスタンダード化を行いテスト・ユーザの利便を図る事が課題である。

テストパターンについてはWGLがデファクトスタンダード化されており、STILの標準化も模索されている。



図表 2 - 2 - 10 設計テストの難しさと仮想テスト技術

しかし、テスト・デバッグとしては、図2 - 2 - 10に示す様なテスト設計の問題点を抱えており、EWS(engineering workstation)上にそのテストを構築し、製品設計データと併せ、更にテスト・ボードなどの周辺回路も含めて事前デバッグする仮想テストの必要性が叫ばれている。この仮想テスト技術の確立によりコンカレント・テストとテストによらないテスト環境による最適テストの活用が業界としては必要である。

この仮想テストの展開として、その表現を HDL(hardware description language)による記述で行うことにより、テストオンチップの実現が考えられる。すなわち、テスト機能を製品に組み込みチップ上にテストを実現する。この観点は SOC の時代では重要になる。従来、半導体ではデバイス単体をテストで検査選別して品質を維持した形でシステム・メーカーに供給し、そのデバイス単体をシステム・メーカーが基板に組み込み適切な検査をして市場に提供していた。しかし、SOC の時代では SOC の部分一つ一つが従来のデバイス単体と同等の回路規模であり、それが個別テストもされず LSI として搭載される事になる。確かに SCAN 設計や BIST 設計によってテスト容易化設計が考慮されるが、そのテスト設計も多大の労力や工数を必要とする。更に、テストにおいては、メモリやマイコン、アナログ・テスト機能が搭載されて LSI を測定しなければならない為、そのテスト規模は益々大きくなりテスト・コストは上昇の一途を辿る。一方、LSI のカスタム化が進む事によって生産規模や生涯生産数は極端に低下し、テスト投資の回収が困難となる傾向に有り半導体産業にとっては憂慮する状態にある。開発テストの進展と同じくテストオンチップの新しいテスト技術の展開が課題である。

テスト周辺技術としては、ハンドラ、プローバ、ソケット、テスト・ボードとバーンイン装置(ウェハレベルバーンインも含む)の技術整備が必要である。また、今後のテストには測定機器以外の機能の充実、つまり、テスト情報システムやテスト・マネージメント・システム、テスト情報収集/分析解析システムの進展も必要であって広範囲な対応を必要としている。

		1999 0.18 μ	2000	2001	2002 0.13 μ	2003	2004	2005 0.10 μ
容量(Bits)								
	先端技術	1G	1G	2G	2G	4G	4G	8G
	大量生産	256M	256M	512M	512M	1G	1G	2G
データレート(bit/sec.)								
	先端技術	1.0G	1.2G	1.3G	1.6G	1.8G	1.8G	2.0G
	大量生産	250M	500M	1.0G	1.3G	1.5G	1.8G	2.0G
アクセスタイム(ns)								
	先端技術	2.5	2.3	2	1.5	1	0.8	0.5
	大量生産	8	6	4	3.5	4	2.5	2
ビット幅 / デバイス								
	大量生産	8	8	16	16	16	16	16
	プロセス	0.18 μ		0.15 μ	0.13 μ			0.10 μ
データレート(Hz)								
	先端技術	1.0G	1.2G	1.3G	1.6G	1.8G	1.8G	2.0G
	大量生産	250M	500M	1.0G	1.3G	1.5G	1.8G	2.0G
総合タイミング精度(ps)								
	先端技術	±100	±100	±60	±50	±50	±45	±40
	大量生産	±300	±250	±80	±60	±60	±55	±50
同時測定個数 / テストヘッド								
	大量生産	32	32	32/64	64	64	64	64
電源電圧値								
	先端技術	2.5V	2.5V	2.5V	1.5V	1.5V	1.5V	1.5V
	大量生産	3.3V	3.3V	2.5V	2.5V	2.5V	1.5V	1.5V
電源電圧精度(DC精度)								
	大量生産	±(0.1%+ 4mv)	±(0.1%+ 4mv)	±(0.1%+ 4mv)	±(0.1%+ 3mv)	±(0.1%+ 3mv)	±(0.1%+ 3mv)	±(0.1%+ 3mv)
ドライバー精度(DC精度)								
	大量生産	±(1%+ 20mv)	±(1%+ 20mv)	±(0.6%+ 15mv)	±(0.6%+ 10mv)	±(0.6%+ 10mv)	±(0.6%+ 10mv)	±(0.5%+ 10mv)
コンパレータ精度(DC精度)								
	大量生産	±(1%+ 20mv)	±(1%+ 20mv)	±(0.6%+ 15mv)	±(0.6%+ 10mv)	±(0.6%+ 10mv)	±(0.6%+ 8mv)	±(0.5%+ 8mv)
テストチャンネル								
	大量生産	1500 SDRA 想定 32 個/ST DRV: 800 I/O: 640		1200 2300 ラムパ'ス想定 32 個/ST DRV:480 I/O :640 64 個/ST DRV:960 I/O:1280	2300			2300
年 / プロセス		1999 0.18 μ	2000	2001	2002 0.13 μ	2003	2004	2005 0.10 μ
テスト価格(1500CH・1STN当たり、正規化)								
	先端技術	1.7~2.0	1.7~2.0	1.7~1.93	1.4~1.81	1.4~1.9	1.4~1.85	1.4~1.7
	大量生産	1.0 (1.0)	1~1.3	1.6~1.7 (0.75)	1.5~1.7 (0.75)	1.5~1.75	1.5~1.75	1.4~1.7 (0.56)
テスト時間								
	大量生産	1	1	1.25~1.4	1.25~1.4	1.5~1.8	1.5~1.8	1.9~2.5
検査工程								
	大量生産			ウェハレベル・ バーンイン	ウェハレベル・ バーンイン	ウェハレベル・ バーンイン	ウェハレベル・ バーンイン	ウェハレベル・ バーンイン

図表 2 - 2 - 1 1 DRAMテスト短期技術課題

		2008 年 0.07 μ	2011 年 0.05 μ	2014 年 0.035 μ				
容量(Bits)								
	先端技術	64G	256G	1T				
	大量生産	16G	64G	256G				
データレート(bit/sec.)								
	先端技術	2.4G	3.0G	4.0G				
	大量生産	2.2G	2.6G	3.0G				
アクセスタイム(ns)								
	先端技術	0.3	0.2	0.1				
	大量生産	1	1	0.5				
ビット幅 / デバイス								
	大量生産	32	32	64				
	プロセス	0.07 μ	0.05 μ	0.035 μ				
データレート(Hz)								
	先端技術	2.4G	3.0G	4.0G				
	大量生産	2.2G	2.6G	3.0G				
総合タイミング精度(ps)								
	先端技術	± 30	± 25	± 20				
	大量生産	± 40	± 30	± 25				
同時測定個数 / テストヘッド								
	大量生産	64	64	64				
電源電圧値								
	先端技術	1.0V	0.8V	0.8V				
	大量生産	1.5V	1.0V	0.8V				
電源電圧精度(DC精度)								
	大量生産	$\pm (0.1\% + 2\text{mv})$	$\pm (0.1\% + 2\text{mv})$	$\pm (0.1\% + 2\text{mv})$				
ドライバー精度(DC精度)								
	大量生産	$\pm (0.5\% + 10\text{mv})$	$\pm (0.5\% + 10\text{mv})$	$\pm (0.5\% + 10\text{mv})$				
コンパレータ精度(DC精度)								
	大量生産	$\pm (0.3\% + 5\text{mv})$	$\pm (0.1\% + 4\text{mv})$	$\pm (0.1\% + 4\text{mv})$				
テストチャンネル								
	大量生産	3500 ラムバス想定 64 個/ST DRV: 960 I/O: 2560	3500					
年 / プロセス		2008 年 0.07 μ	2011 年 0.05 μ	2014 年 0.035 μ				
テスト価格(1500CH・1STN当たり、正規化)								
	先端技術	1.1 ~ 1.7	0.9 ~ 1.7	0.9 ~ 1.15				
	大量生産	1.0 ~ 1.7 (0.56)	0.8 ~ 1.7 (0.42)	0.8 ~ 1.0				
テスト時間								
	大量生産	3.38 ~ 5.83	5.06 ~ 10.5					
検査工程								
	大量生産	ウェハレベル・ バーンイン	ウェハレベル・ バーンイン					

図表 2 - 2 - 1 2 D R A M テスタ 長期技術課題

テストに関するコメント

- (1) 先端技術はサンプル出荷開始時点、大量生産は1万個以上出荷時点とする。

(SIA の定義を流用)

- (2) データレート

- 1) 1999 年は大量生産 S DRAM を想定、以後はラムバスタイプを想定した。
- 2) 超 2 GHz の領域では、デバイス外部とのインタフェース(伝送方式, ソケット, プロービング, ハンドリング)がネックとなる。現状の延長線上では限界か?

- (3) タイミング精度

- 1) クロックジッタとタイミング精度を切り分けることが出来ないとの理由で、総合タイミング精度に一本化し検討した。
- 2) データレートの 10%以下の精度が必要である。
1999 年では 10%、2001 年以降は 8%とした。
プラス/マイナスで記載した。

- (4) 同時測定個数

- 1) 同時測定個数はパッケージ品のアットスピードテストに於けるものとする。
また1テストヘッド当たりの同測数とする。
- 2) 大量生産用で意味のあるパラメータと判断し、先端用は省略した。
- 3) 検査項目によりテストを使い分ける方向で進行するであろう。
テストコスト・パフォーマンスに依存するが、高速テストは高価なため、同時測定個数は、一旦減少する?
- 4) 要求タイミング精度、テスト治具コストの増大により最大64個/テストヘッド以上増えない。

- (5) 電源電圧

- 1) デバイススペックの 1.5 倍程度必要と思われる。また値のみ議論しても意味がないので精度を議論することにした。
- 2) 耐圧(主にドレイン耐圧)傾向に依存し、JEDEC(joint electron device engineering council)などにより決定される。
- 3) 電源電圧精度は、デバイス電源電圧の 0.1%+ 以下が望ましい。

1999	2001	2002	2005	2008	2011
: 4mV	4mV	3mV	3mV	2mV	2mV
- 4) 電源は、精度も重要だが、電流急激変化時の応答速度も現状問題である。電流急激変化時の電源ドロップに関する精度保証や回復時間短縮も早期改善が重要。
- 5) デバイス電源の要求スペックが±5%と考えると、その一桁細かい精度(±0.5%)で設定できれば良いとの意見もあり。

- (6) テスタチャンネル数

- 1) 1999 年は大量生産 SDRAM を想定、以後はラムバスタイプを想定した。

- 2) 1999 年は SDRAM(x16b) を 32 個 / ヘッドとした。
2001 年はラムバスタイプ(x16b) を 32 個 / ヘッド、その後 64 個 / ヘッドとした。
2008 年はラムバスタイプが x32b となり、それを 64 個 / ヘッドとした。

(7) テスタ価格

- 1) '99 の大量生産テスタ価格を 1 として検討する。
単位ピン数当たりで考える事とし、1500ch、1 テストヘッドで検討する。
スピードはデバイスのデータレートに連動する。
- 2) テスタは、同じ周波数ならば、年率 8% ~ 10% 価格ダウンするとした。
周波数アップで価格は上がる(周波数が 2 倍なら、1.4 倍、周波数が 4 倍なら 2 倍)とした。
- 3) 量産時のテスタはテストスピードで分けるという意見があり、() 内に低速テスタの価格を示す。低速テスタは周波数があまり変わらないため、価格は低下する。

(8) テスト時間

- 1) '99 の大量生産(256M)のテスト時間を 1 として検討する。
- 2) 容量 4 倍でテスト時間は、1.5 ~ 1.8 倍とした。
- 3) ロングサイクル系のテストが抜けていくと仮定すると 1.5 は困難ではないかとの意見あり。

(9) ドライバー 精度

- 1) ドライバー精度は、設定値に対する精度で表現する。

(10) コンパレータ(comparator)精度

- 1) コンパレータ精度は、設定値に対する精度で表現する。
2005 年以降はドライバ精度より厳しくした。

年 / プロセス		1999 0.18 μ	2000	2001	2002 0.13 μ	2003	2004	2005 0.10 μ
DRAM 容量								
	先端技術	128M	128M	128M	256M	256M	256M	512M
	大量生産	64M	64M	128M	256M	256M	256M	256M/ 512M
検査工程								
	大量生産	メモリテスト + ロジックテスト	メモリテスト + ロジックテスト	メモリテスト + ロジックテスト	メモリテスト + ロジックテスト	メモリテスト + ロジックテスト	メモリテスト + ロジックテスト	メモリテスト + ロジックテスト
	大量生産			ウェハレベル・バーンイン	ウェハレベル・バーンイン	ウェハレベル・バーンイン	ウェハレベル・バーンイン	ウェハレベル・バーンイン

図表2 - 2 - 13 DRAM 内臓デバイスのテストの短期技術課題

年 / プロセス		2008 0.07 μ	2011 0.05 μ	2014 0.035 μ				
DRAM 容量								
	先端技術	1G	1G	4G				
	大量生産	512M	1G	2G				
検査工程								
	大量生産	メモリテスト + ロジックテスト	メモリテスト + ロジックテスト					
	大量生産	ウェハレベル・バーンイン	ウェハレベル・バーンイン					

図表2 - 2 - 14 DRAM 内臓デバイスのテストの長期技術課題

コメント

- 1) 当面、DARM テスト + Logic テストの 2 パス試験が基本となる。(1999 ~)
製品のバリエーションが増加するに伴い、Wafer BT が必須となると予想。(2001 ~)
- 2) 内蔵 DRAM 容量は、システム LSI の 50%の面積を占めるとして算出した。

年 / プロセス		1999 0.18 μ	2000	2001	2002 0.13 μ	2003	2004	2005 0.10 μ
Flash 容量(bit)								
	先端技術	8M	8M	16M	32M	32M	32M	64M
	大量生産	4M	4M	8M	16M	16M	16M	32M
検査工程								
	大量生産	メモリテスト + ロジック テスト	メモリテスト + ロジック テスト	メモリテスト + ロジック テスト	メモリテスト + ロジック テスト	メモリテスト + ロジック テスト	メモリテスト + ロジック テスト	メモリテスト + ロジック テスト
	大量生産			ウェハレベル ・ パーン イン	ウェハレベル ・ パーン イン	ウェハレベル ・ パーン イン	ウェハレベル ・ パーン イン	ウェハレベル ・ パーン イン
	大量生産				ウェハレベル でのディ スターバン ステスト	ウェハレベル でのディ スターバン ステスト	ウェハレベル でのディ スターバン ステスト	ウェハレベル でのディ スターバン ステスト
BISR(品種数における割合)								
	大量生産	0%		50%	100%			100%

図表2 - 2 - 15 Flash内臓デバイスのテストの短期技術課題

年 / プロセス		2008 0.07 μ	2011 0.05 μ	2014 0.035 μ				
Flash 容量(bit)								
	先端技術	128M	256M	512M				
	大量生産	64M	128M	256M				
検査工程								
	大量生産	メモリテスト + ロジック テスト	メモリテスト + ロジック テスト					
	大量生産	ウェハレベル ・ パーン イン	ウェハレベル ・ パーン イン					
	大量生産	ウェハレベル でのディ スターバン ステスト	ウェハレベル でのディ スターバン ステスト					
BISR(品種数における割合)								
	大量生産	100%	100%					

図表2 - 2 - 16 Flash内臓デバイスのテストの長期技術課題

コメント

- 1) 2001 からウェーハレベルのディスターバンテストはかなりアグレッシブでありそれなりの仕組みを用意しなければならぬため、ウェーハレベルパーンインの時期より遅らせた。
- 2) 不良があるからウェーハレベルパーンインは早くやるべきだとの意見もあった。
- 3) 内蔵 flash 容量は、システム LSI の 70%の面積を占めるとして算出した。

プロセス		1999 0.18 μ	2000	2001	2002 0.13 μ	2003	2004	2005 0.1 μ	2008 0.07 μ	2011 0.05 μ	2014 0.035 μ
トランジスタ密度(/mm ²): S R A Mを除く											
	先端技術	300K	400K	520K	1M	1.1M	1.3M	1.4M ~ 2M	1.8M ~ 3M	2.4M ~ 4.8M	
	大量生産	260K	350K	400K	760K	850K	950K	1M ~ 2M	1.4M ~ 3M	1.8M ~ 4.8M	
内蔵S R A M容量(Bits)											
	先端技術	8M	8M	16M	16M	16M	32M	32M	32M	64M	
	大量生産	2M	4M	4M	8M	8M	8M ~ 16M	16M	32M	32M	
内蔵R O M(Bits)											
	先端技術	16M	16M ~ 32M	32M	64M	64M	128M	128M	256M	512M	
	大量生産	8M	8M ~ 16M	16M	32M	32M	64M	64M	128M	256M	
チップ面積(mm ²)											
	先端技術	220	220	260 ~ 300	310 ~ 480	350 ~ 480	380 ~ 630	400 ~ 630	420 ~ 900	500 ~ 1230	
	大量生産	100 ~ 220	120 ~ 220	130 ~ 300	160 ~ 480	200 ~ 480	250 ~ 630	300 ~ 630	350 ~ 900	400 ~ 1230	
ゲート数: トランジスタ密度×チップ面積/4											
	先端技術	16.5M	22M	34M ~ 39M	78M ~ 120M	96M ~ 132M	123.5M ~ 205M	140M ~ 315M	189M ~ 675M	225M ~ 1476M	
	大量生産	6.5M ~ 14M	10.5M ~ 19M	13M ~ 30M	30M ~ 91M	42.5M ~ 102M	59M ~ 150M	75M ~ 315M	123M ~ 675M	225M ~ 1476M	

図表2 - 2 - 17 システムL S Iテストの技術課題1

プロセス		1999 0.18 μ	2000	2001	2002 0.13 μ	2003	2004	2005 0.1 μ	2008 0.07 μ	2011 0.05 μ	2014 0.035 μ
最大周波数(外部/内部PLL)											
	先端技術	1.2G	1.3G	1.4G	1.5G	1.6G	1.7G	2.0G	2.2G ~3.6G	2.4G ~4.8G	
	大量生産	600M	650M	700M ~1G	1G	1.1G ~1.2G	1.15G ~1.3G	1.2G ~1.6G	1.5G ~2.6G	2.0G ~3.5G	
電源電圧(V): システム LSI はカスタム品も含まれる為、各世代の最小値とする。											
	先端技術	1.8	1.8V	1.5	1.3	1.3V	1.3v	1.0v			
	大量生産	1.8	1.8V	1.5	1.3	1.3V	1.3v	1.0v			
消費電流(A)											
	ハイパフォーマンス	~30	~30	~67	~150						
	ハント・ヘルド	~2.0	~2.0	~3.0	~4.0						
端子数											
	先端技術	2K~3K	2K~3K	2.2K~4K	3K~5K	3K~5K	3K~5K	3.5K~6K	5K~6K	6.5K~7K	
	大量生産	1K~3K	1K~3K	2K~4K	2K~5K	2K~5K	2K~5K	2K~6K	2.8K~6K	3.2K~7K	
パッドピッチ(μ m)											
	先端技術	50	50	50	40~45	40~45	40~45	40~45	30~40	30~40	
	大量生産	60	60	60	50	50	50	50	40~45	40~45	
プロセス		1999 0.18 μ	2000	2001 0.15 μ	2002 0.13 μ	2003	2004	2005 0.1 μ	2008 0.07 μ	2011 0.05 μ	2014 0.035 μ
クロック周波数: 特定ピンを含みテストで発生可能な最高クロック周波数											
	先端技術	1.2G	1.3G	1.4G	1.5G	1.6G	1.7G	2.0G	2.2G ~3.6G	2.4G ~4.8G	
	大量生産	600M	650M	700M ~1G	1G	1.1G ~1.2G	1.15G ~1.3G	1.2G ~1.6G	1.5G ~2.6G	1.0G ~3.5G	
データレート: NRZ 波形モードにおいて各ピンからデバイスに対して入力・比較出来る最高テスト周波数。 (倍速モード、ピンマルチモード等の実現手段は問わない)											
	先端技術	600M	650M	700M	800M	900M	950M	1G	1.1G ~1.2G	1.3G ~1.5G	
	大量生産	125M ~300M	200M ~400M	300M ~400M	400M ~500M	400M ~550M	450M ~600M	500M ~600M	600M ~800M	0.7G ~1.0G	
総合タイミング精度											
	先端技術	\pm 160ps	\pm 130ps	\pm 110ps	\pm 100ps						
	大量生産	\pm 400ps	\pm 300ps	\pm 200ps	\pm 160ps						
電源電圧精度											
	先端技術	\pm (0.1%+4mv)	\pm (0.1%+4mv)	\pm (0.1%+4mv)	\pm (0.1%+3mv)	\pm (0.1%+3mv)	\pm (0.1%+3mv)	\pm (0.1%+3mv)	\pm (0.1%+2mv)	\pm (0.1%+2mv)	\pm (0.1%+2mv)
	大量生産	\pm (0.1%+4mv)	\pm (0.1%+4mv)	\pm (0.1%+4mv)	\pm (0.1%+3mv)	\pm (0.1%+3mv)	\pm (0.1%+3mv)	\pm (0.1%+3mv)	\pm (0.1%+2mv)	\pm (0.1%+2mv)	\pm (0.1%+2mv)
ドライバー精度											
	先端技術	\pm (1%+20mv)	\pm (1%+20mv)	\pm (0.6%+15mv)	\pm (0.6%+10mv)	\pm (0.6%+10mv)	\pm (0.6%+10mv)	\pm (0.5%+10mv)	\pm (0.5%+10mv)	\pm (0.5%+10mv)	\pm (0.5%+10mv)
	大量生産	\pm (1%+20mv)	\pm (1%+20mv)	\pm (0.6%+15mv)	\pm (0.6%+10mv)	\pm (0.6%+10mv)	\pm (0.6%+10mv)	\pm (0.5%+10mv)	\pm (0.5%+10mv)	\pm (0.5%+10mv)	\pm (0.5%+10mv)
コンパレータ精度											
	先端技術	\pm (1%+20mv)	\pm (1%+20mv)	\pm (0.6%+15mv)	\pm (0.6%+10mv)	\pm (0.6%+10mv)	\pm (0.6%+8mv)	\pm (0.5%+8mv)	\pm (0.3%+5mv)	\pm (0.1%+4mv)	\pm (0.1%+4mv)

	大量生産	±(1%+20mv)	±(1%+20mv)	±(0.6%+15mv)	±(0.6%+10mv)	±(0.6%+10mv)	±(0.6%+8mv)	±(0.5%+8mv)	±(0.3%+5mv)	±(0.1%+4mv) ±	±(0.1%+4mv) ±
プロセス		1999 0.18 μ	2000	2001	2002 0.13 μ	2003	2004	2005 0.1 μ	2008 0.07 μ	2011 0.05 μ	2014 0.035 μ
コンパレータ容量(pF) *ケーブル容量など, 伝送線経路分は含まず。											
	先端技術	5	5	4	3						
	大量生産	10	10	8	6						
テスト・チャンネル数: 電源とグランド端子を除くデジタル信号チャンネル数											
	先端技術	1K	1K~1.5K	1~2K	2K	2K~2.2K	2K~2.4K	2K~2.5K	2K~4K	2K~4K	
	大量生産	0.5K~1K	0.5K~1K	0.5K~1K	1K~2K	1.2K~2K	1.7K~2.2K	1.7K~2.4K	1.7K~2.5K	2K~4K	
ベクタメモリ容量(ワード): 全ピン対応テストパターン用											
	先端技術	32M	64M	64M~128M	256M	256M					
	大量生産	4M~32M	24M~64M	24M~128M	64M~256M						
ベクタメモリ容量: スキャンパターン用 (容量=ゲート数×0.5×0.035×6kにて算出)											
	先端技術	2G	2G~4G	4G~8G	8G~16G	16G	16G~32G	16G~32G	32G~128G	32G~256G	
	大量生産	1~2G	1~2G	2G~4G	4G~16G	4G~16G	8G~16G	8~32G	16~128G	32G~256G	
ALPG:X/Y/Z											
	先端技術	16/16/4	16/16/4	16/16/4	16/16/4	16/16/4	18/18/6	18/18/6			
	大量生産	16/16/4	16/16/4	16/16/4	16/16/4	16/16/4	18/18/6	18/18/6			
IDDQ											
	大量生産	DC測定	DC測定	ダイナミック測定							
テスト価格: 1999年大量生産テストを1とする。(ALPGは1999年レベル, チャンネル数は1K, ヘッド数は1の構成で検討する)											
	先端技術	1~1.75	1.08~1.80	1.29~1.80	1.56~2.20	1.58~2.50					
	大量生産	1	1.05~1.08	1.05~1.29	1.20~1.56	1.25~1.58					

図表2 - 2 - 18 システム LSI テスタの技術課題2

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
電圧振幅 [Vp-p]	大量生産	5	5	5	5	5	5	5	3	3	3	offset機能有りが前提
バンド幅 [MHz]	大量生産	2	2	2	2	2	2	2	2	2	2	
サンプリングレート [MS/S]	大量生産	4	4	4	4	4	4	4	4	4	4	
分解能 [bit] at 1kHz	大量生産	18	20	20	20	20	20	20	22	22	24	
THD at 1kHz [dBc]	大量生産	-104	-116	-116	-116	-116	-116	-116	-128	-128	-140	
ノイズフロア [dBV/RTHz] at 1kHz	大量生産	-136	-142	-142	-142	-150	-150	-160	-160	-160	-160	

図表 2 - 2 - 1 9 アナログ任意波形発生器
(1) 低周波数

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
電圧 振幅 [Vp-p]	大量生産	5	5	5	5	5	5	5	3	3	3	offset機能有りが前提
バンド幅 [MHz]	大量生産	20	50	50	65	80	90	100	100	120	120	
サンプリングレート [MS/S]	大量生産	40	100	100	130	160	180	200	200	240	240	
分解能 [bit]	大量生産	12	12	14	14	14	14	14	16	16	18	
精度 [LSB]	大量生産	1	1	1	1	1	1	1	1	1	1	
ノイズフロア [dBV/RTHz] at 1MHz	大量生産	-133	-133	-145	-145	-145	-145	-145	-157	-157	-169	

(2) 高周波数

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
電圧振幅 [Vp-p]	大量生産	4	4	4	3	3	3	3	3	2	1.5	offset機能有りが 前提
バンド幅 [GHz]	大量生産	1	1	1.5	2	2.5	3	3.5	4	5	6	
サンプリングレート [GS/S]	大量生産	2.5	2.5	3.75	5	6.25	7.5	8.75	10	12.5	15	バンド幅×2.5
分解能 [bit]	大量生産	8	10	10	10	10	12	12	12	14	14	
精度 [LSB]	大量生産	1	1	1	1	1	1	1	1	1	1	
ノイズフロア [dBV/RTHz] at 100MHz	大量生産	-129	-141	-141	-141	-141	-153	-153	-153	-165	-165	

(3) 超高周波数

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
電圧振幅 [Vp-p]	大量生産	7	7	7	5	5	5	5	4	4	4	
バンド幅 [MHz]	大量生産	2	2	2	3	3	4	5	6	8	10	アンタ'サンプリング'を含む
サンプリングレート [MS/S]	大量生産	1	1	1	2	2	2	2	2	2	2	
分解能 [bit] at 1kHz	大量生産	20	20	22	22	22	22	24	24	24	24	
THD at 1kHz [dBc]	大量生産	-104	-104	-110	-110	-110	-110	-110	-110	-110	-110	
ノイズフロア [dBV/RTHz] at 1kHz	大量生産	-136	-142	-150	-150	-150	-150	-160	-160	-160	-160	

図表 2 - 2 - 2 0 アナログ信号のデジタイザとサンプリング
(1) 低周波数

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
電圧振幅 [Vp-p]	大量生産	5	5	5	5	5	5	5	3	3	3	
バンド幅 [MHz]	大量生産	100	100	200	200	300	300	300	350	400	500	
サンプリングレート [MS/S]	大量生産	20	20	20	20	40	40	80	80	100	120	
分解能 [bit]	大量生産	12	12	14	14	14	14	14	16	16	18	
精度 [LSB]	大量生産	1	1	1	1	1	1	1	1	1	1	
ノイズフロア [dBV/RTHz] at 1MHz	大量生産	-133	-133	-145	-145	-145	-145	-145	-157	-157	-169	

(2) 高周波数

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
電圧振幅 [Vp-p]	大量生産	4	4	3	3	3	3	2	2	2	2	
バンド幅 [GHz]	大量生産	1	1.5	1.5	2	2	2.5	2.5	3	4	5	アンタ'サンプリング'を含む
サンプルレート [MS/S]	大量生産	20	20	20	20	40	40	80	80	100	120	
分解能 [bit]	大量生産	8	8	8	8	8	8	8	8	8	8	
精度 [LSB]	大量生産	1	1	1	1	1	1	1	1	1	1	
ノイズフロア [dBV/RTHz] at 100MHz	大量生産	-139	-139	-139	-139	-139	-139	-139	-139	-139	-139	

(3) 超高周波数 = サンプラ

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
精度 [ps RMS]	大量生産	20	20	20	10	10	10	10	5	5	2	

図表 2 - 2 - 2 1 その他の測定器

(1) ジッター 測定 器

プロセス		1999 0.18u	2000	2001	2002	2003	2004	2005	2008	2011	2014	コメント
最大測定 周波数 [GHz]	大量生産	1	1	2	2	3	3	4	5	7	8	

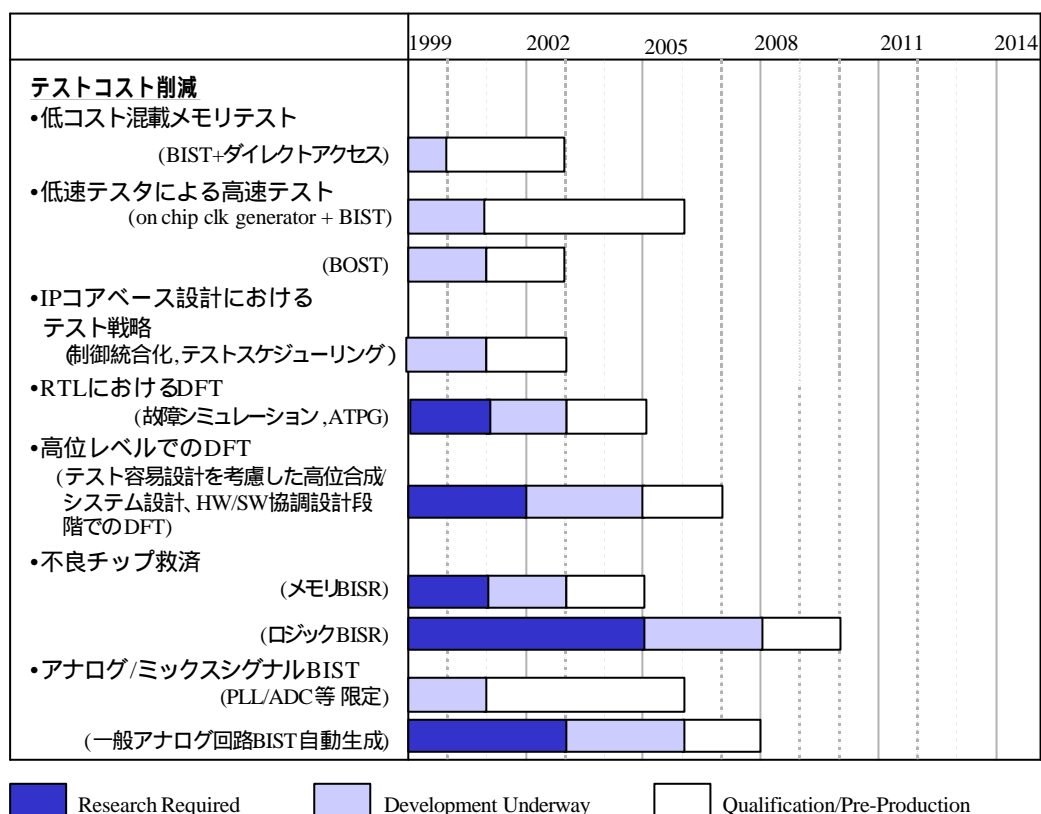
(2) 周波数測定器

2 - 2 - 5 解決策の候補技術

(1) テストコスト削減

テスト設計コスト削減の観点からは、LSI への各種 IP コアの搭載数増加、高位レベルの設計に対応する必要がある。これらに対応するための potential solutions(解決可能候補技術)としては、IP コア内またはチップ全体のテスト戦略(制御統合化,テストスケジューリング)を行う DFT 技術が挙げられる。また、RTL で動作する ATPG,故障シミュレータ、RTL より上位の動作レベルに DFT を考慮した高位合成、HW/SW 協調設計段階から HW/SW 双方を使用して DFT を実現する技術が挙げられ、これらの研究が必要となる。

Potential Solutions(1)



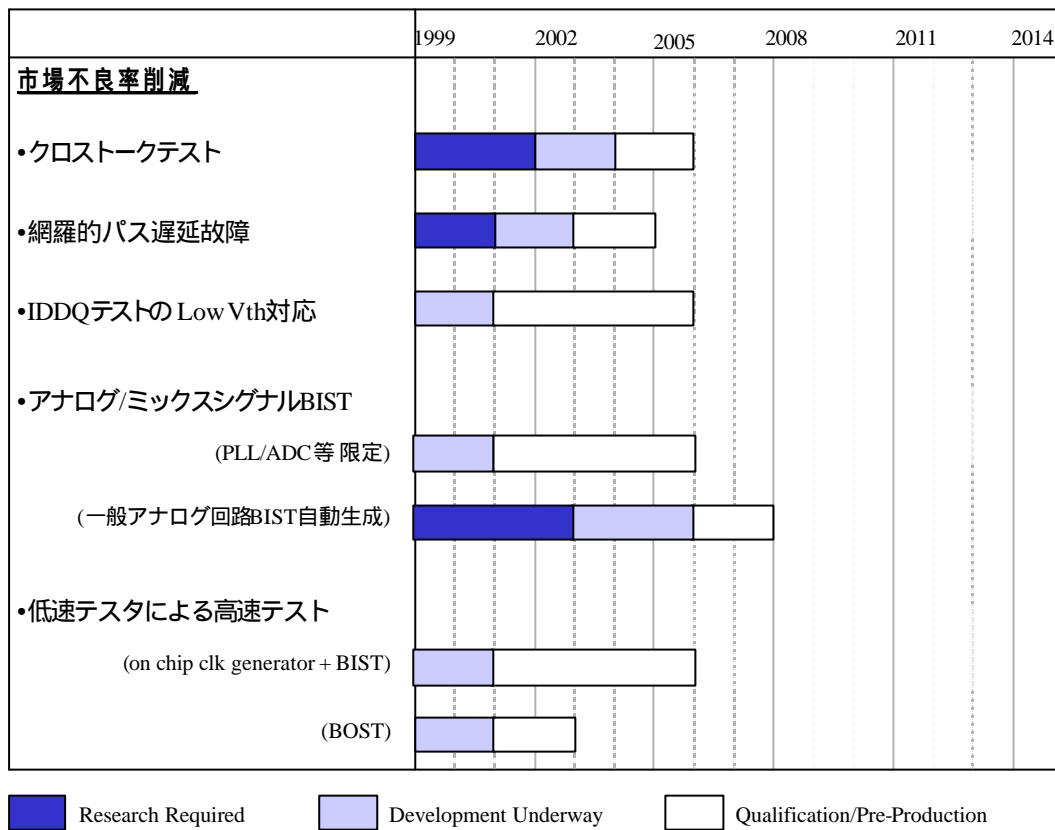
図表 2 - 2 - 2 2 解決策の候補技術 1

製造時テストコスト削減の観点からは、各種 IP コアの搭載数増加によるテスト時間増大に対応するために、アナログ/ミックスシグナルに対しても実現可能で、同測テストが可能な BIST 手法が上げられる。アナログ/ミックスシグナル BIST に関しては、最初に、PLL/ADC 等限定で使用されることになり、その後、IEEE Std 1394 等順次高機能マクロへ展開され、一般アナログ回路へ適用されていく必要がある。また、LSI の高速化、各種 IP コア搭載によるテストコスト増加に対応するために、on chip clock generator に BIST または BOST を組み合わせた技術により、低速テストによる高速テストが実現される必要がある。更に、メモリ BIST・ロジック BIST に不良救済機能を取り込んだメモリ BISR・ロジック BISR が、製造時テストコスト削減の技術となる。しかし、数多くの課題があり更に研究が必要である。

（２） 市場不良率削減

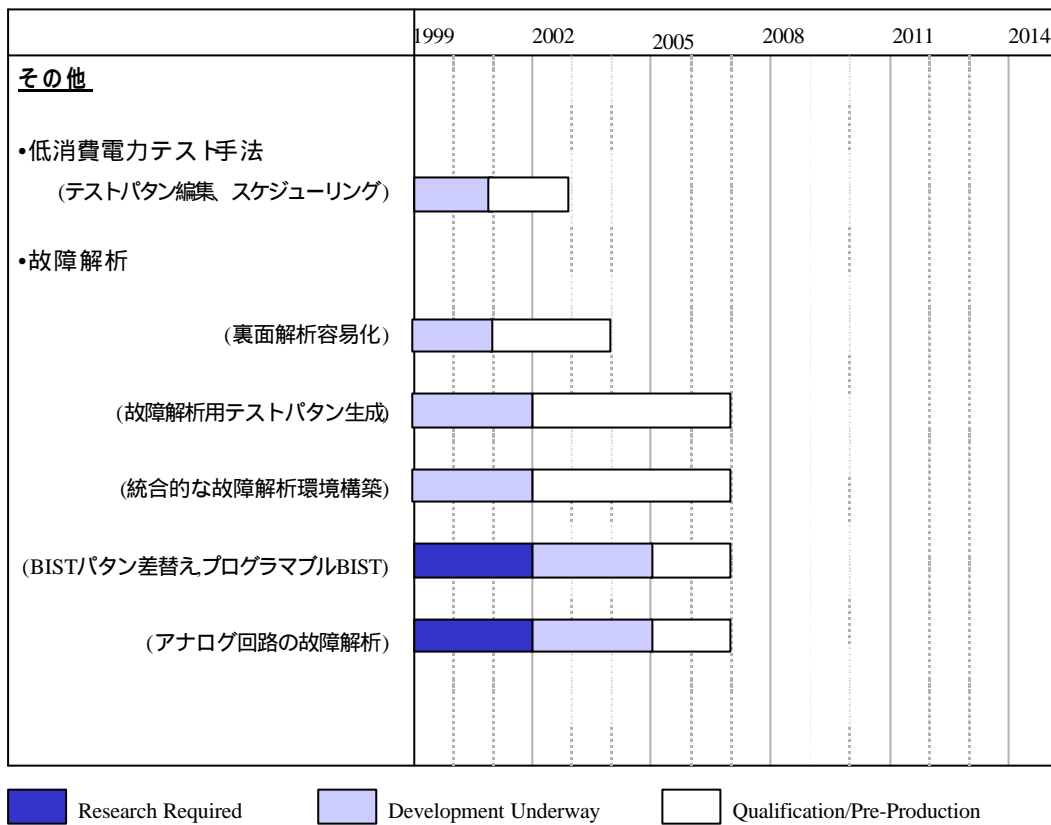
市場不良率削減の観点からは、LSI の微細化、多層化に対応する必要がある、potential solutions としては、クロストークに対応したテストが上げられる。また、短絡故障についてもこれまで以上に顕著になるため、IDDQ テストが上げられる。但し、IDDQ テストに関しては、プロセスの進歩に伴い適用限界となる可能性もある。IDDQ テストが適用不可能となった場合は代替となるテスト手法により、短絡故障モデルを扱うことになる。また、LSI の高速化に対応するために、網羅的なバス遅延故障テストや、テストコスト削減の potential solutions でもある、低速テストによる高速テストの実現が上げられる。更に、各種 IP コア搭載に対応するために、テストコスト削減の potential solutions でもある、アナログ/ミックスシグナル BIST が、市場不良率削減の技術となる。

Potential Solutions(2)



図表 2 - 2 - 2 3 解決策の候補技術 2

Potential Solutions(3)



図表 2 - 2 - 2 4 解決策の候補技術 3

2 - 2 - 6 他の WG 分野への依存性

LSI の大規模化は、SOC と呼ばれるように、システムを 1 チップに集積するレベルにまで到達している。SOC では、ロジック・アナログ・メモリ等多様な回路が 1 チップに集積されるため、その検査には多様な手法を効率よく組み合わせる方法が求められる。また、本ロードマップに表したように、その多様性は今後ますます進むことが予想される。

この複雑化するテスト手法を SOC 設計に効率よく適用するためには、設計の後工程としてテスト設計を実施したのでは手遅れであり、設計の初期段階よりテスト設計の考慮を行い、設計の中にテストの要件・最適性を盛り込むことが重要となっている。また、この傾向はますます高くなる方向にある。そのため、以下に述べる他の WG 分野への依存性においては、設計(WG1)に対して特に高い依存関係を持つこととなる。

以下、テストの各検討項目について他の WG 分野への依存性について述べる。

(1) 故障モデル

縮退故障・パス遅延等の、従来用いられてきた故障にくわえて、微細化・低電圧化の影響により、クロストーク、カップリング、IR ドロップ、EM、その他ノイズによるパターンに依存した故障の課題が、今後大きくなっていく。これらへの対応は WG1 の、制約ドリブンレイアウト、回路設計、signal integrity(シグナルインテグリティ)への対応で検討されている、故障が発生しないための手法とリンクした技術開発が必要となる。また、低消費電力設計の候補技術として挙げられている低電力論理(パストランジスタ論理)、低電力回路(複数 Vth 回路等)は従来の技術と異なる新たな技術のため、それに対応した新たな故障モデルを要求する可能性がある。

インターコネクト(interconnect:配線,WG4)との関連においては、高速動作実現のために必要となる、配線および絶縁膜へ新材料の採用および新しい製造プロセスにおいて、新しい故障モード発生の可能性がある。たとえば中空配線や光配線等を使用した場合の故障モードの調査および解析、それに対応した新しい故障モデルの開発が必要となり、あわせてその故障モデルを用いた故障シミュレーションや ATPG の開発が必要となる。

モデリングおよびシミュレーション(WG10)に関しては、今後微細化の進展に伴い、物理/電気特性を考慮した故障モデルが重要となることが考えられる。その対策としては、各故障モードに対応したモデリング技術およびシミュレーション技術が必要となる。

パターン依存故障	WG1,WG4,WG10
新故障モデル	WG1,WG4,WG10

(2) テスト手法

IP コア分離テストの煩雑さの観点から、テスト戦略技術(統合化・スケジューリング)の重要性が高まってくる。この技術は、WG1 の IP リユース、システム・アーキテクチャ設計に関する技術とリンクした開発が必要となる。また、SOC に搭載されたアナログのテスト手法に関しても、WG1 のアナログ設計および低電力設計技術とのリンクが必要となる。更に、WG1 では、低電力設計、signal integrity への対応のための候補技術として、非同期回路技術が挙げられている。非同期回路のテスト手法は、これら

らの候補技術とリンクしなければならない。

低電力論理(パストランジスタ論理)、低電力回路(複数 Vth 回路等)はそれに対応した新たなテスト手法を要求する可能性がある。また、不要動作停止、スイッチング頻度低減等の低電力化対応が行われると、テスト時にも部分的にテストする必要が生じ、テスト時間の増大、テストコストの増大を招く。そのため低消費電力設計を考慮したテスト手法の開発が重要な課題となる。

環境・安全・健康(WG9)との関連においては、テストの消費電力が問題となることが考えられ、その対策として、省エネルギーテストあるいは低消費電力テスト方法が必要となる場合もある。

テスト戦略	WG1,WG9,WG12
アナログテスト	WG1
非同期回路テスト	WG1
低消費電力テスト	WG1

(3) テスト容易化設計

SOC 設計効率化のためには、WG1 で検討されている IP リユース技術と、本 WG(WG2)の IP コア分離テストのテスト容易化技術がリンクする必要がある。また、WG1 で検討されている各レベルの設計技術と、高位・RTL・レイアウト各レベルのテスト容易化設計候補技術とリンクしなければならない。

IP 分離テスト	WG1
高位 DFT	WG1
RTL DFT	WG1
レイアウトを考慮した DFT	WG1,WG4

(4) 組込み自己テスト(BIST)

WG1 との関連においてはまず、アナログ BIST に関して、BIST 回路自動生成の観点から、アナログ回路のモデリング・回路合成とのリンクが必要である。

またエレクトロマイグレーション(electro migration:電子誘導元素移動)の発生を避けるため、スキャンパスやそれをベースとした BIST においても低電流化が必須となる。チップ全体の消費電力ではなく、各電源配線の電流値が問題となるため、部分毎にテストする等の分割手法は必ずしも解決策になるわけではない。低電力設計が進む中、常にシステム動作の電流値上限を超えないテスト動作が要求されるところに、この問題の困難さがある。

アナログ BIST	WG1
Tester on Chip	WG1,WG12

(5) 故障解析

インターコネクト(WG4)の観点からは、多層化に伴う EB テスタ等の故障解析装置への影響が懸念される。

歩留り改善という観点でテスト(特に故障解析)と欠陥低減(WG12)の関連は深い。テスト結果をプロセスに適切にフィードバックするためには欠陥低減のために必要なテスト結果情報をタイムリーに提供する必要がある。また、その際には故障解析時間の短縮も重要となる。

今後微細化の進展に伴い回路不良の原因の追求がますます困難となることが予想される。これに対しては、WG1の観点から故障解析容易化設計により故障箇所早期同定を可能にする必要がある。更には、原子レベルまで含めた「見えない欠陥」を究明するためのテスト・故障解析手法についても将来的には検討が必要となると考えられる。

故障解析	WG1,WG4,WG7,WG12
------	------------------

(6) テスタ

テスタは、デバイスの性能を十分に引き出すものでなければならないので、デバイスの性能に大きく依存する。

例えば、

- ・デバイス速度によって、テスタの高速測定機能が決定される。
- ・メモリ容量によって、ALPGのビット数やメモリテスト時間が決定される。そして、それによって、経済的製造検査の観点から同時測定個数が決定され、その機能がテスタに要求される。
- ・デバイスのゲート数によって、テスタのベクタメモリやスキャンメモリ容量が決定される。
- ・デバイスの端子数によって、テスタチャネル数が決定される。
- ・デバイスのアナログ性能によって、テスタのアナログ測定オプションの性能が決定される。

などがある。

そして、過去は、テスタは、デバイス性能の5倍以上の性能を有していたが、2001年以降、一部の品種の量産においては、テスタ性能を上回ることが予想されるので、一層デバイス性能のロードマップとリンクした形でテスタを開発、あるいは、計画的技術開発をしなければならない。

テスタ性能	WG 6
-------	------

2 - 2 - 7 目標に到達するための提言

テスト技術に対して期待されるテーマ、あるいは、現状の到達レベルをふまえて、それぞれの目標を達成するための課題をまとめた。単なるテスト技術のみならず、標準化の推進、広範囲の技術・しくみについても向上していく必要がある。

(1) テストコスト削減

テスト設計コスト削減の観点から、各種 IP を組み込んだ LSI に対し、種々の DFT の取り込みがなされることを述べた。その中で、テスト設計作業を効率よく行うために、テスト回路、テストパターン等の標準化も必要である。

製造時テストコスト削減の観点から、LSI の高機能化に伴うテストパターン長大化、高精度・高速テストの要求に対応するために、テストのコスト増大を押さえるべく、種々の DFT の取り組みがなされることを述べた。しかし、テストのより一層のコスト削減努力も必要となる。

(2) 市場不良率削減

LSI の微細化・多層化に伴い、新故障モデル・新テスト手法への取り組みがなされることを述べた。その中で特に必要なのは、新故障モデルが、高位記述レベルの設計段階からレイアウト設計までの全設計工程で考慮されることである。

上記標準化を推進する上で、EDA ベンダ、テストメーカの協力が必要である。また、先にも述べたが、テスト技術は広範囲にわたって開発される必要があり、更に、新故障モデル等研究課題も多いことから、産・官・学協同で開発強化に取り組んでいく必要がある。

図表の参照

図表 2 - 2 - 8 : ITRS'99 Table 12a

図表 2 - 2 - 9 : ITRS'99 Table 12b