

第1章 要 約

1-1 はじめに

半導体技術ロードマップ委員会 (STRJ) が 1998 年 11 月に設立されて以来、日本の半導体産業の今後の発展すべき方向への指針を与えるための努力がなされてきた。STRJ 設立の契機は、96 年以降の日本の半導体の急激な落ち込みを受け、それまでの汎用 DRAM がテクノロジーの上でも、ビジネスの上でもドライバーであった時代の終焉を業界として認識し、新たなパラダイム変化を模索する必要が生じたためである。現在の半導体が抱えている課題の整理と分析を行い、解決策候補を業界として模索し、関連分野にも広く展開することで産官学にわたる英知を結集し、課題克服の促進と技術的ブレークスルーを狙ったものである。

また最新の最先端半導体技術開発は、難度や選択肢の増加とともに、莫大な開発費用を伴うものとなってきた。そのため国際的な協力の気運も盛り上がってきた。その現われが米国半導体復活の原動力とも言われる SIA で編纂されてきた「National Technology Roadmap for Semiconductors」の国際化という動きであり、98 年から呼びかけが開始された。

STRJ では設立当初より、国際協力推進の立場から「International Technology Roadmap for Semiconductors (ITRS)」への協力を打ち出し、国内活動の傍ら日米欧台韓の5極による ITRS 活動へも積極的に参加した。世界共通の課題についての議論を深め、日本の主張も大きく取り入れられる中、ITRS'98、ITRS'99 の実現に大きく貢献をし、ITRS'99 は日本で発表が行われた。

ITRS は半導体技術ロードマップの国際的指針として、各国共通の技術課題とその発展方向、解決策候補を記したもので、世界の半導体製造装置メーカー、材料メーカー、産官学の研究者がこれらの共通の課題克服に邁進することで、明日の半導体の礎を強固なものとし、日本の半導体にとっても大きな利点となる共通財産となっている。

このような国際的貢献や本 STRJ 活動を産み出すことができたのは、STRJ の組織する 11 の WG と設計タスクフォース等、日本の精鋭が結集し、不断の努力と献身的熱意で行った賜物である。また、これらの国内的・国際的両面の活動を通じ第一線の研究者が切磋琢磨を経験され、ネットワークを築かれたことはそれ自身得難い資産と言える。

本報告書は、これらの諸活動の集大成に外ならないものであり、ITRS に盛り込まれたものや、日本固有の条件から盛り込まれなかったものも含まれている。また提言においては、ITRS の成果を日本に展開するためのブレークダウンや日本の条件への適合性を考慮した提案も行っている。第一に日本の半導体産業の復活のキーとされている SoC (System on a Chip) に着目したこと、第二にはテクノロジーのシーズからではなくアプリケーションのニーズからのブレークダウンを試みたこと(設計タスクフォース)、三番目はコストパフォーマンスを意識するよう努力したことである。いずれも現段階では充分ではなく、次年度以降によりブラッシュアップし、必要により国際的にも発信していく所存である。

半導体技術のグローバル化、最先端技術の共同開発化が進み、半導体事業構造においても市場においても急激なパラダイム変化が進む中で、日本の半導体の現状を革新し、日本の半導体産業・技術の復活のために心を砕かれている諸氏への座右の書として、本報告書が活用されることを願うものである。

最後になりましたが、本委員会活動につき日頃ご指導ご支援をいただいております通産省殿はじめ関係各位に対して深甚なる感謝の意を表します。

1 - 2 1999 年度組織とメンバー 半導体技術ロードマップ委員会

2000/03/31現仕

(社) 日本電子機械工業会

敬称略・順不同

半導体技術ロードマップ委員会

諮問委員会

(学界有識者 + 幹事会社 11 社)

大見 (東北大学) 中村 (富士通) 高須 (ローム)
 廣瀬 (広島大学) 久保 (日立) 吉年 (三洋)
 鳳 (東京大学) 戸所 (松下) 崎山 (シャープ)
 坂本 (電総研) 西村 (三菱) 小松 (ソニー)
 水町 (SEAJ) 和泉 (NEC) 海野 (東芝)
 上田 (沖)

推進会議

委員長 : 森野 (NEC)
 副委員長 : 上田 (財務担当、沖)
 井入 (国際担当、Selete)
 関係組織 : 小澤 (STARC)・石谷 (ASET)
 岡部・植田 (SIRIJ)
 尾崎 (EIAJ 電子デバイス生産技術委員会)
 進藤 (EIAJ)
 福島 (国際担当、富士通)
 オブザーバ : 川本 (通産省)
 谷崎 (NEDO)

< リーダ >

設計タスクフォース 上田 (沖) ・ [副] 後藤 (富士通)

WG - 1 : 設 計 古井 (ソニー)

WG - 2 : テスト 相京 (富士通)

WG - 3 : 加工・エントリ 河村 (富士通)

WG - 4 : 配 線 西原 (日立)

WG - 5 : リソグラフィ 笹子 (松下)

WG - 6 : P I D S 遠藤 (NEC)

WG - 7 : 実 装 谷本 (日立)

WG - 8 : ファクトリインテグレーション 児玉 (東芝)

WG - 9 : E S & H 安斉 (富士通)

WG - 10 : ティル化 / シミュレーション 小谷 (三菱)

WG - 11 : 不良 / 欠陥低減 水野 (日立)

< 研究員 / 事務局 >
 真弓・西塚・菊池・
 河村・二斗蒔
 (EIAJ)

半導体技術ロードマップ委員会 WGメンバー表

1999年度専門部会メンバー表

2000.03.31

	設 計 タスクフォース	WG1 設計	WG2 テスト	WG3 FEP	WG4 配線	WG5 リソ	WG6 PIDS	WG7 実装	WG8 F I	WG9 ES&H	WG10 Model/Sim	WG11 Met./D.R.	
リーダー	上田 潤	古井 芳春	相京 隆	河村 誠一郎	西原 晋治	笹子 勝	遠藤 伸裕	谷本 道夫	児玉 祥一	安斉 修	小谷 教彦	水野 文夫	
サブリーダー	後藤 源助	高橋 直哉	吉田 正昭 平瀬 潤一	丹羽 正昭	大崎 明彦	大塚 博	吉見 信	春日 寿夫	谷本 啓介 本間 三智夫	金澤 守	西 謙二	長田 俊彦	
幹事		山田 明宏	相京 隆	丹羽 正昭	西原 晋治		杉井 寿博	谷本 道夫	児玉 祥一	藤井 良昭(EIAJ)	福田 浩一	北島 洋	
E I A J 幹部会十一社	富士通	後藤 源助		相京 隆 徳山 三郎	河村 誠一郎	古村 雄二	丸山 隆司	杉井 寿博	浜野 清治	渡辺 義雄	安斉 修	佐藤 成生	長田 俊彦
	日立	内山 邦男	小林 和彦	畠山 一実 佐藤 正幸	池田 修二	西原 晋治	寺澤 恒男	只木 芳隆	谷本 道夫	内野 敏幸	河合 直行	山本 秀一	水野 文夫
	松下	山口 聖司	村岡 道明 田口 浩文	平瀬 潤一 太田 光保 濱田 正紀	丹羽 正昭	小川 真一	笹子 勝	堀 敦	野津 誠	光井 章		黒田 敬司	堂前 伸一
	三菱	今井 正紀	今井 正紀 橋田 光弘	井下 順功 東野 直己	宮武 浩	大崎 明彦		井上 靖朗		岩崎 順次	樋野 邦央	小谷 教彦 石川 清志	池野 昌彦
	NEC	坂山 知二	高橋 直哉	吉田 正昭 岩瀬 信和	池田 和子	磯部 晶	橋本 武夫	遠藤 伸裕 堀内 忠彦	春日 寿夫	本間 三智夫	早川 喜進	松本 比呂志	北島 洋
	沖	上田 潤 宇都宮 雅彦	山本 一郎	牛久保 政憲	松本 宗之	大野 守史	大塚 博	井田 次郎				福田 浩一	本間 俊廣
	三洋	田中 紘資	古市 慎治		武田 安弘	井上 恭典	久原 孝一					藤原 秀二	秋月 誠
	シャープ	田中 隆吉	山内 貴行	永廣 雅之		粟屋 信義	井上 雅史			谷本 啓介		藤井 克正	
	ソニー	門脇 智彦	古井 芳春 柿本 勝	小野寺 岳志	窪田 通孝	青山 純一	守屋 茂	小松 康俊		佐藤 淳一	青山 純一	木村 光紀	国安 仁
東芝	田胡 治之 吉田 憲司	樋渡 有	安藏 顕一 我毛 辰弘	豊島 義明	早坂 伸夫		吉見 信	高橋 邦明	児玉 祥一 矢島 比呂海 井上 儀一	金澤 守	天川 博隆	三好 元介	
ローム	高野 利紀	執行 倫永	藤井 敏文	中川 義和	西村 勇		松本 功		下野 一宏		橋本 浩二		
Selete, ASET, STARC, EIAJ		小澤時典 (S T A R C) 増田英司 (S T A R C)			青木利一郎(Selete)	石谷 明彦(ASET) 松井 安次(ASET) 岡崎 信次(ASET) 滝川 忠宏(ASET) 奥山 泰史(Selete) 山部 正樹(Selete)				藤井 良昭(EIAJ)	和田哲典 (S e l)市川 昌和(ATP) 中山範明 (S T A R C) 西 謙二 (S e l e t e)		
特別委員(大学)		今井正治 (大阪大学)	岩崎一彦 (都立大学)			堀池靖浩 (東京大学)		須賀唯知(東京大学)			谷口研二 (大阪大学)		
特別委員		染谷 勤 (I K テクノロ 小野 信任 (セイコーインスツルメツツ) 山田 明宏 (トッパン テクノカル・デザインセンター) 斯波 康祐 (メンター グラフィックス・ジャパン)	井手 敬一郎 (SEAJ:アドバンテスト) 小嶋 英司 (SEAJ:安藤電気) 古賀 泉 (S E A J : 横河電機)	大西 豊一 (SEAJ: 日新イン機器) 国井 泰夫 (SEAJ: 国際電気)	高桑 一雄 (SEAJ: 日本真空) 木下 喜夫 (SEAJ: 東京エレクトロ) 沼沢 陽一郎 (SEAJ: アキバ)	古室 昌徳(電総研) 塩見 炯夫 (S E A J) 井上 弘基 (JSPMI) 植村 恒三郎 (SEAJ: ココ) 吉成 秀樹 (SEAJ: キヤノン) 田中 一光 (SEAJ: 日本電子) 枝本 俊雄 (SEAJ: アドバンテスト) 赤羽 良三 (SEAJ: 日立) 栗原 啓志郎 (SEAJ: コマツ) 西垣 寿彦 (SEAJ: 東京エレクトロ)	宇都宮 久修 (JIEP: イースタン) 栗原 正英(JPCA) 西澤 誠夫 (SEAJ: アプリケーション) 佐々木 隆 (SEAJ: ガイジョー)		原田 明 (S E A J)	畑 次郎 (SEAJ: 東京エレクトロ) 小林 司(SEAJ: アキバ)	茂木 信博 (SEAJ: 日本真空) 高橋 正則 (SEAJ: セイコーインスツルメツツ) 島田 宏 (SEAJ: 日本電子)		

注1 当初の計画では上記の諸委員会の他に、「設計連絡会」「プロセス・デバイス連絡会」「実装連絡会」など、複数の技術分野に跨る問題を扱う委員会の開設を予定していたが、実際には具体的活動に至らず上記の諸委員会の活動で代行した。

注2 「設計」と「SoC 設計」の違い

「設計」は、主として設計手法技術を扱い、「SoC 設計」は、主として SoC の設計技術を対象とした。
なお、SoC (SOC) は、システム・オン・(ア)・チップ system-on-(a)-chip の略語である。

1-3 調査結果の概要

1-3-1 設計 [要旨]

(1) 背景

半導体微細化技術は、これまで約3年ごとに世代を更新しており、まもなく1cm²当たり1000万を超えるトランジスタからなる回路をシリコンチップ上に実現できるようになる。このようなLSI製造技術の進歩を有効に活用して、どのようなシステムを構築して行くかが、今後の半導体産業の大きな課題となっている。すなわち、現在の最高性能のマイクロプロセッサとメモリがすべて1チップに集積でき、さらにチップ面積に余裕があるような状況が生まれると、「システム」そのものが一つのLSIとして実現できるようになり、どのようなシステムをシリコンチップ上に構築するかという点に問題の重点が移ってくる。システムオンチップSOC(system on chip)と呼ばれる製品が主力となる時代の新しいLSI設計手法の確立が求められている。

本ロードマップでは、SOC時代の設計技術が、今後どのような方向へ発展するのかを明らかにすることを目的として、今後約10年間のSOC像をもとにした設計課題とそれに対する解決候補技術进行分析する。すなわちLSIの高性能化、高集積化とともに低消費電力化、設計期間の短期化という相反する要求と、これを満足するためのEDA(electronic design automation)技術および設計フロー进行分析する。従来の個別部品的なLSI設計手法から、異なる手法で設計された機能ブロックを混載するSOC設計手法への技術シフトを明確化する。

本ロードマップがSOC設計技術の未来に対する指針となり、産業界のみならず大学、国立研究機関を含めた、わが国の産官学あげての新たな取組みの起点となることを期待する。

(2) 範囲

国内電子機器産業の強みである情報家電分野を指向したSOC設計を中心テーマとする。あわせてLSIに内蔵されるMPU(micro-processor unit)、メモリ、アナログ、RFおよびソフトウェアに対する設計課題を調査分析する。

具体的には、今後約10年間のSOCプロファイル、設計要求、EDA技術課題などを明確化する。ワーキンググループ内に、SOC設計の重要課題である

1) 設計生産性

2) 低電力設計技術

3) DSM(deep submicron)設計技術:微細化に伴うsignal integrity, manufacturability設計技術を専門的に分析する sub working groupを設置し活動を行った。

(3) 要求、課題、解決策候補

1) 設計生産性

SOCでは複数機能の内蔵により設計規模の爆発的な増大を招く。このため設計レベルの抽象化とともに、IP(intellectual property)を活用した設計手法が不可欠となる。SOC設計における設計生産性要求をIP利用設計/新規設計に分離して分析する。

2) 低電力設計技術

携帯情報通信機器向け SOC では、消費電力の低減は極めて重要課題である。各世代のゲート規模・動作周波数・電源電圧を指標としてチップ消費電力を分析する。これをもとにした各設計レベルでの革新的な消費電力低減技術について報告する。

3) DSM 設計技術

プロセス技術の微細化に伴う設計上考慮すべき物理効果を明確化するとともに、設計パラメータに影響を与える統計的バラツキの分析による製造容易性、信頼性指標を設定する。これらの指標を達成するための解決策の候補技術について言及する。

(4) 提言

1) 設計生産性

再利用設計、新規設計技術の革新をベースとして、設計生産性向上のための提言を、a)標準化、b)上位化、c)自動化、の3点に分類して述べる。これらは、業界内の標準化団体との連携に加えて産官学が連動した取り組みが必要である。

2) 低電力設計技術

低消費電力設計の技術課題解決を実現するために、a)システム全体(セット)の設計、b)SOC設計、c)製造プロセス、d)EDA(ツール)の4点に対する施策を提言する。

3) DSM 設計技術

DSM設計課題の克服のためには個々の要素技術の解決策にとどまらず、a)設計システムのベースとなる標準化の推進、b)要素技術を最適に設計効率向上と派生効果対策に結び付けるための設計システム上の革新が必要である。

1-3-2 テスト [要旨]

(1) 背景

半導体技術の微細化の進展に伴い、製造可能な回路規模と設計可能な回路規模とのギャップが広がり、そのギャップを埋めるため、設計技術は抽象度を上げるべくRTLを上回る高位記述や、既設計資産(IP)の再利用を推進している。テスト技術へのこの影響は大きく、特にIPのテストが問題となる。そのようなIPを含むシステムオンチップ(SOC)と呼ばれる製品が主力となる時代の新しいLSIのテスト技術の確立が求められている。

(2) 検討範囲と項目

SOC、メモリのテストを検討範囲とし、検討項目としては、故障モデル、テスト手法、DFT、BIST(組み込み自己テスト)、標準化、故障解析、ATE(自動テスト装置)とした。

(3) ニーズ

SOC のテストのニーズとしては、半導体の微細化、低電力化、大規模化、高速化、あるいは、デジタル／アナログ混載、ATEの高価格化・テスト時間の増大という問題に対して、所望する市場不良率、テストコスト を実現すべくテスト技術を準備・確立することである。

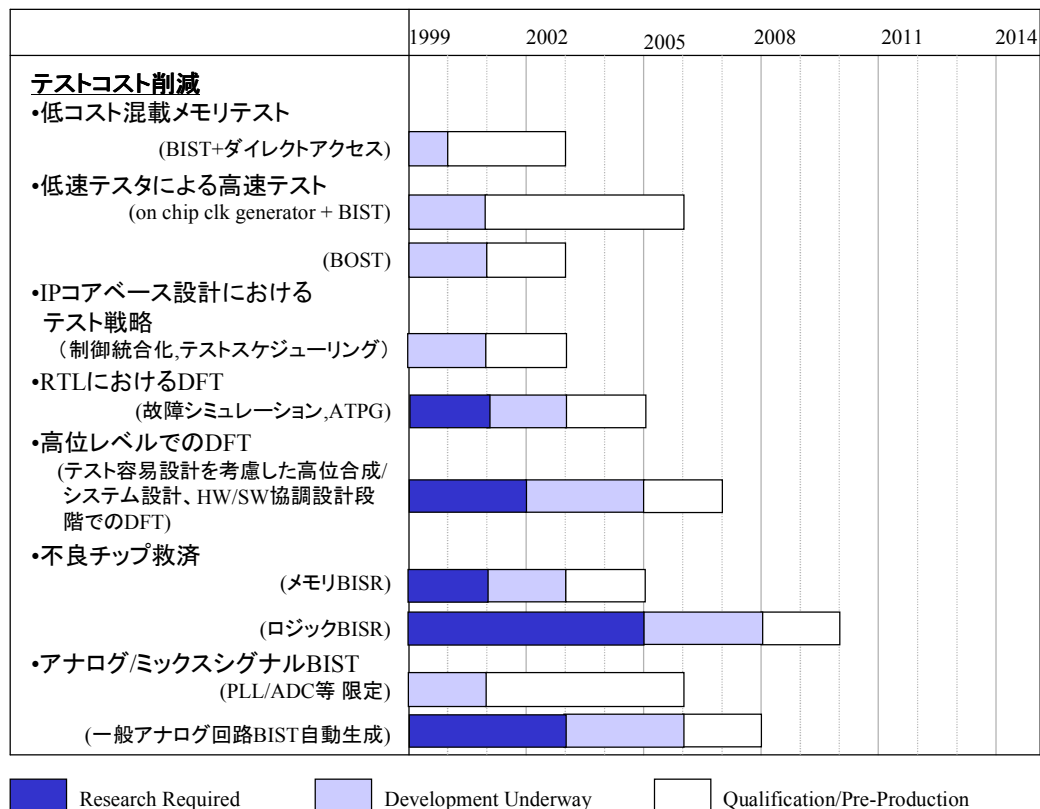
(4) 課題

SOCの登場により、それまで個別であったASIC・DRAM・アナログ等のテスト技術を統合する必要性が生じており、DFTに新たな課題を与えている。テスト時間もデバイス性能の向上による高速なテストによっても補うことができずに長時間化しており、コスト増加の大きな要因となりつつある。テストの品質の面からは、従来からの縮退故障モデルに基づくテストだけでは不十分となり、短絡故障モデルや遅延故障モデル、クロストークや電源ノイズの影響など、抽象度を下げ実際の故障により近いモデルに基づくテストが必要とされてきており、ハイレベルに向かうDFTとの乖離が進んでいる。故障解析技術は微細化および配線多層化により深刻な問題に直面しており、何らかのブレークスルーが必須である。ATEの高価格化に対して、低価格のATEを用いたテスト手法の確立も課題となる。

(5) 解決策の候補技術

テスト設計コスト削減の観点からは、LSI への各種 IP コアの搭載数増加、高位レベルの設計に対応する必要がある。これらに対応するためのポテンシャルソリューションとしては、IP コア内またはチップ全体のテスト戦略(制御統合化,テストスケジューリング)を行う DFT 技術が挙げられる。また、RTLで動作する ATPG,故障シミュレータ、RTL より上位の動作レベルに DFT を考慮した高位合成、HW/SW 協調設計段階から HW/SW 双方を使用して DFT を実現する技術が挙げられ、これらの研究が必要となる。

製造時テストコスト削減の観点からは、各種 IP コアの搭載数増加によるテスト時間増大に対応するために、アナログ/ミックスシグナルに対しても実現可能で、同測テストが可能なBIST手法が上げられる。また、LSIの高速化,各種IPコア搭載によるテストコスト増加に対応するために、on chip clock generatorにBISTまたはBOSTを組み合わせた技術により、低速テストによる高速テストを実施実現される必要がある。しかし、数多くの課題があり更に研究が必要である。



図表1－3－1 Potential Solutions(1)

(6) 他のWG分野への依存性

複雑化するテスト手法をSOC設計に効率よく適用するためには、設計の後工程としてテスト設計したのでは手遅れであり、設計の初期段階よりテスト設計の考慮を行い、設計の中にテストの要件・最適性を盛り込むことが重要となっており、設計(WG1)に対して高い依存関係を持つ。

(7) 現状における着手レベル、目標に到達するための提言

テスト設計コスト削減の観点から、各種IPを組み込んだLSIに対し、種々のDFTの取り込みがなされることを述べた。その中で、テスト設計作業を効率よく行うために、テスト回路、テストパターン等の標準化も必要である。製造時テストコスト削減の観点から、LSIの高機能化に伴うテストパターン長大化、高精度・高速テストの要求に対応するために、テストのコスト増大を押さえるべく、種々のDFTの取り組みがなされることを述べた。しかし、テストのより一層のコスト削減努力も必要となる。

1-3-3 フロントエンドプロセス [要旨]

(1) 背景、意義、期待効果

最先端プロセス技術開発コストの急激な増加は、もはや世界規模での開発協力やリソースの投入無しには、従来のトレンドを維持した半導体技術の発展が不可能な段階にまで到達している。半導体技術ロードマップは、開発技術要求を明確化、定量化することによって、解決すべき技術課題を共通認識として持ち、あわせて効率的な開発リソースの利用を可能にするものである。

(2) 検討範囲、検討項目

フロントエンドプロセスの検討範囲としては、スターティングマテリアル(starting materials)から表面処理技術、ゲート絶縁膜・電極、拡散関連、各工程エッチングプロセスを含む、トランジス形成のシリサイド(silicidation)までとし、従来の SIA のロードマップの範囲に新たに DRAM のキャパシタ関連のロードマップを付加する(添付ロードマップ表参照)。

検討項目は原則的には SIA/ITRS ロードマップと同様にする。すなわち、上記検討範囲に対しノード毎の基本的なプロセスパラメータ目標値を含んだ技術要求ロードマップ及び現状で考えられる 解決可能候補技術(potential solutions)を提示する。あわせてこれらの候補技術の到達レベルを、解決技術は既に存在、現在開発中、解決技術は未定、の三段階で明示する。

全体を通してデバイスのロードマップ(PIDS)との関連付けに留意し、SoC に関する課題、解決策を追加する。従来の SIA ロードマップに比して「提案型」のロードマップ(solution roadmap)を目指す。

(3) 各項目別の概要

[スターティングマテリアル]

大口径化の時期を見直し 2002 年 130nm node から 300mm 化とした。critical surface metals を新しいモデルに基づき数値の見直しを行った。SOI に関する項目の全面的見直しを行い、製造別に SIMOX、Bonded に分類し、基板仕様に関しては SoC 対応を考慮して、DRAM、MPU に分類した。

[表面処理技術]

配線工程に於ける particle size の SIA 数値を見直し、メタルピッチの半分の値にした。あわせて critical metal、organics/polymers の数値も現実合うように見直した。

[ゲート絶縁膜・電極]

100nm node 以降から導入が必須となる high-K ゲート絶縁膜の材料及びゲート電極材料を導入時期と共に提案した。今まであまり明確でなかった、極薄ゲート絶縁膜の測定法に関しての提案を行った。

[拡散関連]

イオン注入技術への要求を明確化、定量化した。プロセス低温化と不純物活性化のトレードオフに対する解決策の提言を行い、ソース・ドレイン寄生抵抗・コンタクト抵抗・ゲート抵抗の数値目標(PIDS)に対応する材料、プロセス候補の提案を行った。さらに Elevated 構造適用時期の提案も行った。

[エッチングプロセス]

デバイス、キャパシタのロードマップに合わせたゲートエッチングにおける選択性とCDの必要条件の提示、エッチング装置のハードの将来方向の予測、チャージダメージについての記述を行った。さらに配線工程エッチングプロセスの課題と解決策も提示した。

[DRAM キャパシタ膜]

従来 SIA には無かった、DRAM キャパシタ膜のロードマップを作成した。キャパシタの構造候補に加えて、DRAM のセルサイズ、キャパシタサイズ、換算膜厚、リーク電流、膜成長温度の値、下部電極、上部電極材料の候補も提案した。

(4) 提言

フロントエンドについて今後の鍵を握るのは新材料開発と設計・インテグレーションとの有機的連携である。新材料プロセス開発にあたっては、大胆なチャレンジ精神と共に装置メーカ、材料メーカとの協力が不可欠であり、その際には 21 世紀に相応しいプロセスとして環境・安全に配慮した取り組みも忘れてはならない。またどんなに新しいプロセス技術を開発しても、システムサイドからの要求とかけ離れたものであれば役に立たない。今後のプロセス開発は、設計・インテグレーションを通して、システムサイドからの高度かつ困難な要求を満たすことが益々重要になる。そのような困難なロードマップ上の要求を達成するためには、産官学の英知を結集した連携により、トータルな技術開発を早期におこなう必要がある。

1-3-4 配線 [要旨]

(1) 背景

デバイスの微細化高集積化に伴い、配線技術が占める役割はますます重要になりつつあり、配線寄生容量、抵抗による信号遅延の影響が大きな課題になっている。配線低抵抗化のため Al 配線から Cu 配線へ、層間絶縁膜では容量低減のため Low-k 化が進められる。Cu/Low-k 配線の課題や製品からの配線技術への要求項目をまとめ、ロードマップを策定することは開発効率向上に有効である。

(2) 配線技術の範囲

配線技術ロードマップはウェハプロセスにおけるコンタクト形成工程からパッド開口工程までを範囲とした。対象とする製品は MPU、DRAM、SOC としそれぞれの配線に対する目標値を製品別にまとめた。配線の使用目的別に目標値の設定を行いロードマップとして活用しやすい形にまとめた。

(3) 課題

Cu/Low-k 等新しい材料を用いた配線の電氣的、機械的、熱的安定性と信頼性確保。高アスペクトコンタクト形成やデュアルダマシン構造の確立。Cu/Low-k 配線以降の RF、光配線技術の構築等が困難な課題としてあげられる。

(4) 候補技術

1) メタル

高アスペクトコンタクトの埋め込み材料としては当面 W が使われるが、カバレッジの改善やコンタクト部の低抵抗化が重要課題となる。配線材料は Cu が主流になるもののコストの点で Al も数世代に渡って使われる。Cu 配線はデュアルダマシンが主流技術であり電解メッキ技術が当分使われる。Cu シード層は遠距離スパッタ、イオン化スパッタから CVD-Cu に置き換わる。Cu バリア材料としては Ta 系、W 系材料の他、無電解メッキによるバリアメタルも候補材料である。将来技術としては高温超伝導材も考慮しておく必要がある。

2) 絶縁膜

配線間、層間の寄生容量低減のため絶縁膜の誘電率低減(Low-k 化)要求はますます強まっているが、量産に耐えられる材料やプロセスの開発はハードルが高く誘電率は段階的に下げていかざるを得ない。k=2.2~2.7 ではフルオロカーボン、ポリシロキサン等の候補材料がある。また Cu 拡散を防止できる Low-k 材料開発も推進する必要がある。100nm ノード以下では k<1.5 の要求があり、ポーラスな材料の他エアギャップ構造も候補のひとつであるが、配線インテグレーションは困難な課題である。さらに将来技術としては RF や光配線が候補技術であり、光導波路用絶縁膜材料開発が要求される。

3) 平坦化件名

平坦化技術は当面 CMP が主流であり、欠陥低減やコスト削減等さまざまな改善を進める必要がある。メタルダマシン CMP ではディッシング、エロージョンを低減する必要があり、パッド改善やスラリー

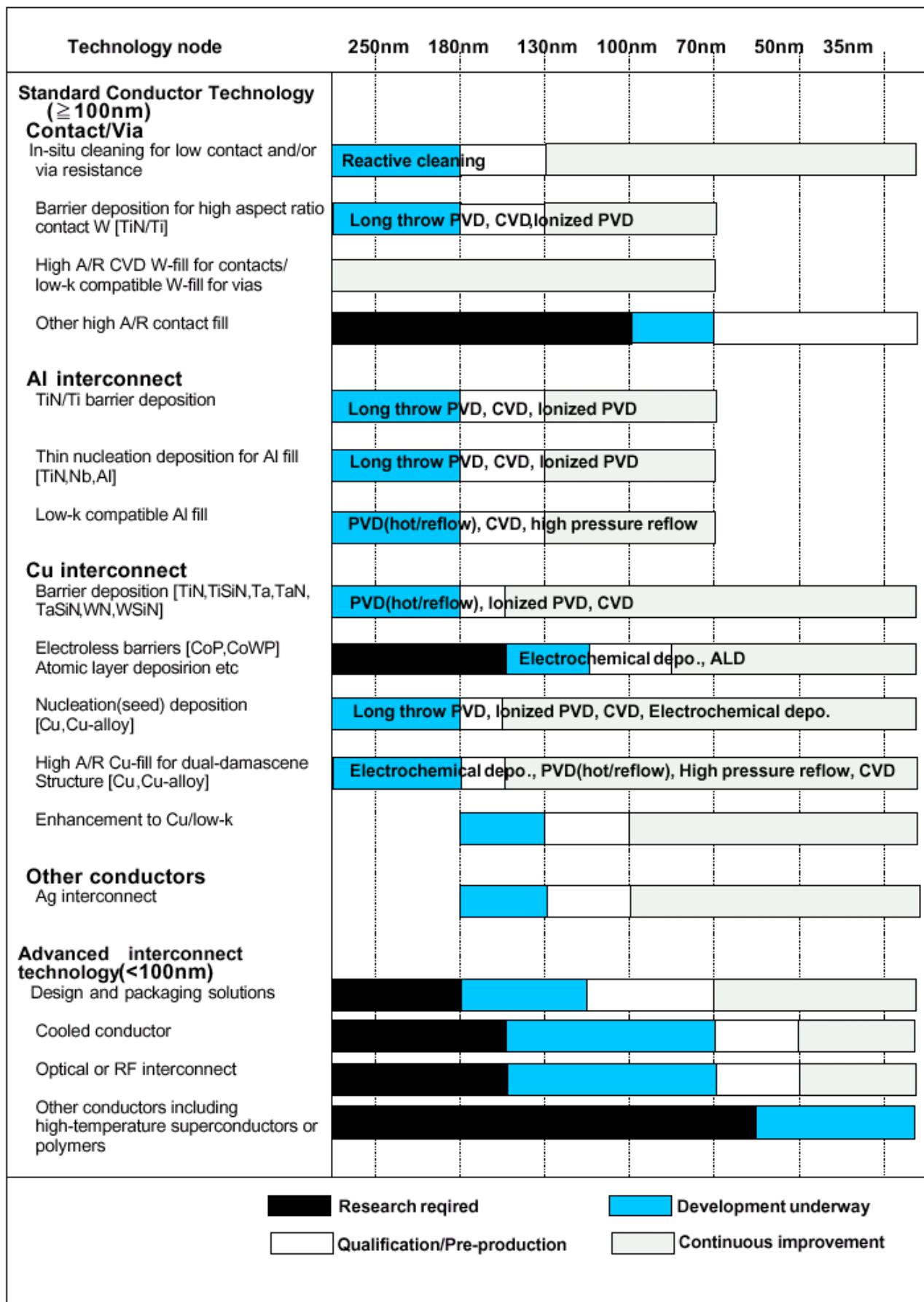
の最適化が重要なポイントとなる。

4) システム

プロセスや材料のみの改善では配線の性能向上には限界があり、設計技術の改善を並行して進めることが信号遅延対策として重要性を増してくる。

YEAR TECHNOLOGY NODE	1999 180nm	2002 130nm	2005 100nm	2008 70nm	2011 50nm	2014 35nm
MPU1/2 pitch	230	160	115	80	55	40
MPUgate length(nm)	140	85	65	45	32	22
Number of metal levels	6-7	7-8	8-9	9	9-10	10
Number of optional levels ground planes/capacitors	0	2	2	3	4	4
Jmax (A/cm ²)-wire(at 105°C)	5.8E5	9.6E5	1.4E6	2.1E6	3.7E6	4.6E6
Imax(mA)-via(at 105°C)	0.36	0.32	0.24	0.18	0.16	0.11
Local wiring pitch(nm)	500	365	265	185	130	95
Local wiring A/R(for Al)	2	2.1	-	-	-	-
Local wiring A/R(for Cu)	1.4	1.5	1.7	1.9	2.1	2.3
Intermediate wiring pitch(nm)	640	465	340	240	165	115
Intermediate wiring A/R(Al)	2.2	2.5	-	-	-	-
Intermediate wiring dual damascene A/R(Cu wire/via)	2.0/2.1	2.2/2.1	2.4/2.2	2.5/2.3	2.7/2.4	2.9/2.5
Minimum global wiring pitch(nm)	1050	765	560	390	275	190
Global wiring A/R(Al)	2	2.3	-	-	-	-
Global wiring dual damascene A/R (Cu wire/via)	2.2/2.4	2.5/2.7	2.7/2.8	2.8/2.9	2.9/3.0	3.0/3.1
Conductor effective resistivity ($\mu\Omega\text{-cm}$) Al wiring	3.3	3.3	-	-	-	-
Conductor effective resistivity ($\mu\Omega\text{-cm}$) Cu wiring*	2.2	2.2	2.2	1.8	<1.8	<1.8
Barrier/cladding thickness (for Cu wiring) (nm)***	17	13	10	0	0	0
Interlevel metal insulator-effective dielectric constant(k)	3.5-4.0	2.7-3.5	1.6-2.2	1.5	<1.5	<1.5
Specific contact resistance($\Omega\text{-cm}^2$)	3.0E-7	1.7E-7	1.0E-7	5.0E-8	2.5E-8	1.5E-8
Specific via resistance($\Omega\text{-cm}^2$)	7E-9	2E-9	1E-9	6E-10	3E-10	1.5E-10

図表1-3-2 MPU配線技術の目標値 (ITRS'99 Table 46a,46b に基づき一部 STRJ で改訂)



図表 1-3-3 メタル技術の有望解 (ITRS'99 Figure31,32,33 に基づき一部 STRJ で改訂)

1-3-5 リソグラフィ [要旨]

(1) 背景、ロードマップの意義、期待する効果等

【背景】

我が国、半導体産業の微細化技術は、半導体メーカ、装置・材料メーカによる、インフラ基盤と技術力の根源によって、最も世界に誇れる技術分野である。この分野の経済的、技術的競争力を維持し、ひいては世界エレクトロニクス産業に貢献すべく、我が国半導体リソグラフィ技術のロードマップを策定するものである。さらに、半導体産業のみならず、関連する微細加工分野へも普及し得る長期的な視野も含めるものとする。

【ロードマップの意義】

半導体メーカ、装置・材料メーカの健全な発展を基本に、我が国、産業界、学術団体の協力を仰ぎ、更なる微細加工技術の発展の指針を作成することを意義とする。更には、本微細化技術の発展が、裾野広く、各種産業界に有益であることを目的とする。

【期待する効果】

本ロードマップにより、半導体産業界の基本的な指針やナビゲータとなるとともに、明確にされた将来にわたる新しい技術研究開発課題や新規創造的技術の発信源になることを期待する。同時に、大学等を通じて、今後の新しい知見や技術、及び人材の育成に役立つ事を期待したい。

(2) 検討範囲、検討項目

【検討範囲】

現状最先端の 180nm から 100nm まで、また更に 100nm より先の限界までを明らかにしたい。限界を明確にすることにより、検討範囲も明らかにした。同時に、我が国、コンソーシアム、個別企業、大学の現状、将来検討予定のテーマを全て盛り込むものとする。基本的には、需要と供給両面から、年代数値の根拠の明確化を行う。
旧来の枠にとらわれた技術絞り込みは行わず、幅広い意見に基づいた方針とする。
後年度になるに従って、我が国得意技術を候補としてノミネートする。
個別企業・団体の利益誘導を排除する。

【検討項目】

従来の汎用メモリに加え、我が国の新しいビジネス分野であるメモリ、ロジック混載であるシステム LSI を主にフォーカスした。基本ロードマップ目標は、リソグラフィインフラの整備の面から 3 年サイクルの 70%微細化路線を堅持し、2014 年 50nm 以下までを目指すこととする。年代標記はカレンダーイヤーとした。

最初の製品出荷の年 テクノロジノード	1997 250nm	1999 180nm	2002 130nm	2005 100nm	2008 70nm	2011 50nm	2014 <50nm
-----------------------	---------------	---------------	---------------	---------------	--------------	--------------	---------------

図表 1-3-5 1999 年リソグラフィ基本ロードマップ

(3) ニーズ、到達レベル、解決策の候補、課題等

2005 年、すなわち、100nm ノードまでの主たる課題は、露光装置の開発加速及び、マスク製造技術の開発であり、ついで、ゲート CD 制御及びオーバーレイ制御の改善を挙げた。

2005 年以降の課題は、引き続き、主として、露光装置の開発加速及びマスク製造技術の開発であるが、これに加えて、コスト管理/低減の為の技術の開発が、重要な課題として挙げられる。更に、ゲート CD 制御及びオーバーレイ制御の改善と、これらの制御及びマスク製造技術を対象とした、計測法の開発が必要である。

また、50nm 以細のノードをターゲットと想定した、既存リソグラフィ手法の延長にはない、新たなリソグラフィ手法の探索、及び発見による、プロセス技術の新たなブレークスルーを強く期待した。

98 年度版と同様 130nm 世代を 2002 年にした。理由はマスク開発課題と大多数のチップメーカーの出荷計画が既に予定されており、装置メーカーの ArF 出荷時期も考慮した。その後の世代はインフラ整備の理由から、3 年周期とした。チップサイズについては、レチクルサイズの推移、コストと SoC の観点からあえてリソグラフィの日本版は削除した。ウェハサイズの 300mm 投入は 130nm 世代とした。日本特有として、低消費低リーク対応のシステム LSI ゲートを追記した。システム LSI ゲートは 2000 年度以降、議論を要す。

また、50nm 世代の候補技術として、ナノコンタクトプリンティングを記載した。この手法に限らず、ナノテクノロジー及び分子協調材料分野等の領域からの新しいアプローチ及びそれによるブレークスルーが必要とされる。図表 1 にはリソグラフィ要件の数値を掲げたが、本表は ITRS99 の世界合意以前に決定されたもので、数値が異なっている事に注意願いたい。重要なポイントはリソグラフィツールと補助手段が追加されていることである。

(4) 他の分野への依存性

本分野は他の技術分野と相互交流が必要であり、整合を取る必要がある。他分野とはモデリングとシミュレーション(レジスト、光学像)

ES&H

PIDS(段差やデザインルール)

配線(焦点深度、反射防止技術や平坦化技術)

設計(OPC、システム LSI デザインルール)

ファクトリーインテグレーション(大口径化)

(5) 現状における着手レベル、目標に達成するための提言

【着手レベル】

具体的に、各種露光技術のクリティカルレベル、レジスト技術の解決法、マスク技術の解決法、計測技術の解決法、そして新世紀創世のための技術を記述している。

最初の製品出荷の年 テクノロジノード		1997 250nm	1999 180nm	2002 130nm	2005 100nm	2008 70nm	2011 50nm	2014 <50nm
形状の 最小 サイズ (nm)	緻密 Line (DRAM Half Pitch)	250	180	130	100	70	50	35
	システム LSI Gate(上段), Pitch(下段)	250 550	180 430	130 300	100 210	70 150	50 105	35 75
	孤立 Line (MPU Gate, 参考値)	200	140	85	65	50	35	25
	コンタクト	280	200	140	110	80	55	45
ゲート CD 制御 (nm, Etch 後, 3 σ)		20	14	8.5	6.5	5	3	2.5
オーバーレイ (nm, 平均, 3 σ)		100	70	50	35	30	20	15
視野サイズ (mm×mm)		22×22	25×32	25×34	25×36	25×40	不明	不明
視野面積 (mm ²)		484	800	850	900	1000		
焦点深度 (μm, 注 1)		0.8	0.7	0.6	0.5	0.5	0.5	不明
欠陥密度 (m ⁻² , 注 2)		100 @ 80	80 @ 60	60 @ 40	50 @ 30	40 @ 20	30 @ 15	25 @ 10
マスクサイズ (mm, 注 3)		152	152	230(100)	230(100)	230(100)	230(100)	不明
マスク倍率		×5	×4,5	×1,4,5	×1,4,5	×1,4,5	×1,4,5	不明
ウェハサイズ(mm, 直径)		200	200	300	300	300	450	450
リソグラフィツール(波長順)		KrF	KrF	ArF	ArF	VUV	VUV	EUV
		EBDW	EBDW	KrF	VUV	EUV	EUV	nCP
				PXL	EBDW	PXL	PXL	
				EBDW	PXL	EBDW	EBDW	
リソグラフィ補助手段					EBST	EBST	EBST	
		BARC	BARC	BARC	BARC	TSI	TSI	TSI
		TARC	TARC	HT-PSM	HT-PSM	HT-PSM	TLR	
		HT-PSM	HT-PSM	OPC	OPC	OPC		
			OPC	OAI	OAI	OAI		
			OAI	Alt-PSM	Alt-PSM	TLR		
						Alt-PSM		

注 1: ±10%の露光の全視野で使用可能な焦点深度。注 2: nm サイズ欠陥の層当たりの密度、リソグラフィ起因のみ。
注 3: 括弧内の値は、等倍マスクについて。
nCP: ナノコンタクトプリンティング。EBST: EB ステップ。

解決策あり 解決法究明中 既知の解決法無し

図表 1-3-6 生産クリティカルレベルのリソグラフィ要件と解決策

【提言】

- 1 次世代リソグラフィ候補の多数育成とタイムリーな絞り込み
- 2 ROI を考慮したリソグラフィ装置、プロセスコストの低減と標準化
- 3 継続的、国家レベルの研究開発支援
- 4 国際協調とその具現化
- 5 大学、国研と産業界による創造的新規テーマの発掘
- 6 科学と工業の融和
- 7 新規創造ビジネスへの転換

1-3-6 デバイス [要旨]

(1) 背景・ロードマップの意義・期待する効果

半導体 LSI は、スケーリング則によって集積度と性能・機能を飛躍的に向上させてきたが、実際の性能は主にプロセス・インテグレーションのボトルネックとなる技術で決まる。従来はそれが微細加工、特にリソグラフィ技術であったが、今後は基本トランジスタ構造のゲート絶縁膜や配線を形成する材料・プロセス技術まで広がる。技術ロードマップの意義は、デバイスの性能向上を維持するためにボトルネックを論理的に抽出し、それを解決するための候補技術と必要とする時期とを整合させることにある。その結果、技術開発の効率化や投資のタイミングを図ることができ、さらに日本の技術競争力を向上させることが期待される。

(2) 検討範囲・検討項目

検討すべきデバイスとして、メモリ、ロジック、アナログ・ミックスシグナル・RF デバイスおよび今後期待される SOC デバイスを挙げ、デバイスの信頼性とプロセスの欠陥制御も加えた。メモリでは、代表的な DRAM、フラッシュメモリのほか、FeRAM を検討の対象にした。ロジックでは、今後2極分化する高速化と低電力化デバイスそれぞれに対する主要パラメータを検討し、アナログ分野では、高速データ通信応用を達成するための能動素子、受動素子およびアナログ回路の性能仕様を検討した。SOC デバイスでは、大規模集積化を可能とするロジック回路を主として、メモリやアナログを混載するための技術項目を検討範囲とした。

(3) ニーズ・到達レベル

メモリでは、画像機器向けにますます高集積化され、セルサイズの一層の縮小が必要であり、容量膜やトンネル膜の薄膜化や限界を打破する新材料の導入が必須とされる。ロジックでは、さらなる高性能化に向けてゲート絶縁膜の薄膜化や多層配線技術等のプロセス技術に加え、駆動能力を劣化させないトランジスタ構造の最適化が必要とされる。アナログ関連については、NF を改善しつつ、数 10GHz の高周波および 2V 以下の低電圧化をいかに達成するかがポイントである。SOC では半導体機能コアの IP 化およびその流通が不可欠であるので、そのインフラの整備と低コストのプロセス混載技術の構築が注目される。

(4) 課題

ロジックでは、キャリアの速度飽和やしきい値の非スケーリング性による高性能化限界が厳しくなり、また原子レベルのゆらぎによる統計的ばらつきも問題化すると推測される。一方すべてのデバイスに共通する課題は、絶縁膜の薄膜化や配線の低抵抗化が留まることなく要求され、それを実現するための新材料の導入、新機能を有する材料の開発、ブレイクスルーが強く要請されることである。さらに、新材料や新技術の採用には、維持されるべきデバイスの信頼性を確保する必要があり、迅速な信頼性評価技術の確立も大きな課題である。

(5) 解決策の候補

メモリでは、高誘電率キャパシタ、セルフファクタを縮小可能なオープンビット線方式やクロスポイントセル、多値論理などが解決策の候補である。ロジックでは、ゲートリークを改善するために高誘電率

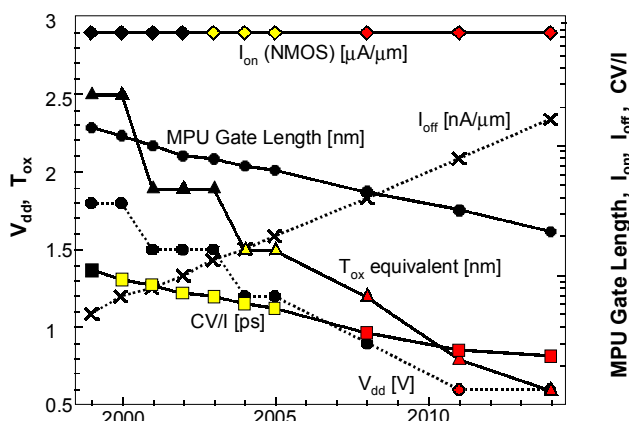
ゲート絶縁膜や金属ゲート電極、配線遅延を改良するための低誘電率層間絶縁膜、可変しきい値電圧を用いた回路方式や SOI の適用が候補である。アナログ系では、より大きな Q 値をもつ受動素子の開発がキーとなる解決策である。

(6) 他WGとの関連

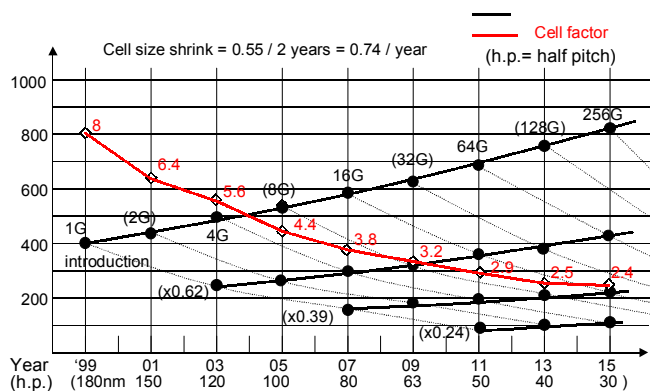
デバイスに関する解決策候補の多くは、材料を含むフロントエンドプロセスや配線、リソグラフィの各WGの検討結果に強く依存し、大規模LSIのプロセスインテグレーションは工場の自動化や欠陥低減・評価診断WGの進展状況に関わる。SOC は応用分野を考慮した設計WG、テストWGや実装WGとの関連が強まる。トランジスタの高速化と低電力化の限界は見えてきて、LSIトータルとしての性能を上げることが重要になり各WGの連携が必須である。

(7) 提言

これまでのデバイスは、技術開発によって性能・コスト比が大幅に向上したため、その普及が加速度的に進んだ。しかし、 $0.1\mu\text{m}$ 以下のゲート寸法になると、統計的なばらつきや各種のトレードオフに直面するなど技術バリアがますます高くなる上に、開発コストが膨らみ、性能・コスト比の向上は厳しくなる傾向にある。一方、ロジックデバイスの構造、プロセス、材料の選択肢が次第に狭まりつつあり、それだけで付加価値を付けることが難しい時代となる。競合する領域と協調する領域を見極め、コンセンサスをもって回路・プロセス・材料および実装技術も含めたデバイス開発への取り組みがますます必要である。



図表 1-3-7 ロジックにおける主要パラメータの要求年代推移



図表 1-3-8 DRAM におけるチップサイズとセルファクタの要求年代推移

1-3-7 実装 [要旨]

(1) 背景

1) 電子機器の小型、軽量、薄型、高性能化、通信、ネットワーク化が急速に進展しつつある。又製品開発期間の短縮が強く求められている。一方環境保護の高まりから材料、製造プロセスにも配慮が必要になって来た。このため機器のコンセプト、デザイン立案と同時に機器構造、強度、高周波化に伴う信号伝播、不要輻射防止のプリント板までを含めた回路設計、放熱、寿命、環境負荷などへの配慮等広範囲の実装技術に関する検討を急速、かつ並列に行わなければならなくなって来ている。

2) QFP に代表される表面実装技術を第 1 の変革期とすると、現在は周辺端子から格子端子を主流とする CSP と総称される半導体パッケージが急激に開発・導入され実装技術は第 2 の変革期にある。

(2) 範囲

実装の範囲は上述の様に広いので半導体パッケージと半導体用サブストレート(プリント基板)に限定した。

(3) 要求

各種電子機器メーカー数十社にアンケートを出し機器の各アイテムに関し現状と、2005、2010 年の予測及びそれを実現するには実装分野に何を要求するかを回答してもらいそれを分析した。これは EIAJ から 99 年 8 月に発行の「1999 年日本実装技術ロードマップ」として纏められている。今回この中から半導体とサブストレートに対して要求されている項目を取り上げた。要求項目の代表例は製品厚さ、重量、半導体パッケージ形態、外形寸法、パッド数、パッドピッチ、リード表面処理などである。

(4) 課題と解決策候補

2005 年までに解決すべき課題と解決策候補を()内に下記する。

1) 小型・薄型・高密度化

- ・ パッケージの 3 次元構造化(両面 I/O 端子付きパッケージ又はベアチップ、Si 薄型化技術、高度ワイヤボンディング技術 etc)
- ・ 小型 BGA の多端子化;FBGA→800,1000 ピン (ボールピッチ 0.8mm→0.4mm)
- ・ P-BGA の多端子化:→2800 ピン(ボールピッチ 1.27mm→0.8mm)

2) 高速伝送・低消費電力化

- ・ 信号伝送回路の CR 成分の低減(低誘電率基板材料 ϵ 4.5~5.0→2.0)
- ・ チップ Cu 配線化対応(Cu パッドへの直接ボンディング、バンプ形成)
- ・ 耐不要輻射、耐ノイズ性向上(シミュレーション技術)

3) 信頼性

- ・ 車載用の信頼性確保(フリップチップ用アンダフィル材料改善)

4) 地球環境保護

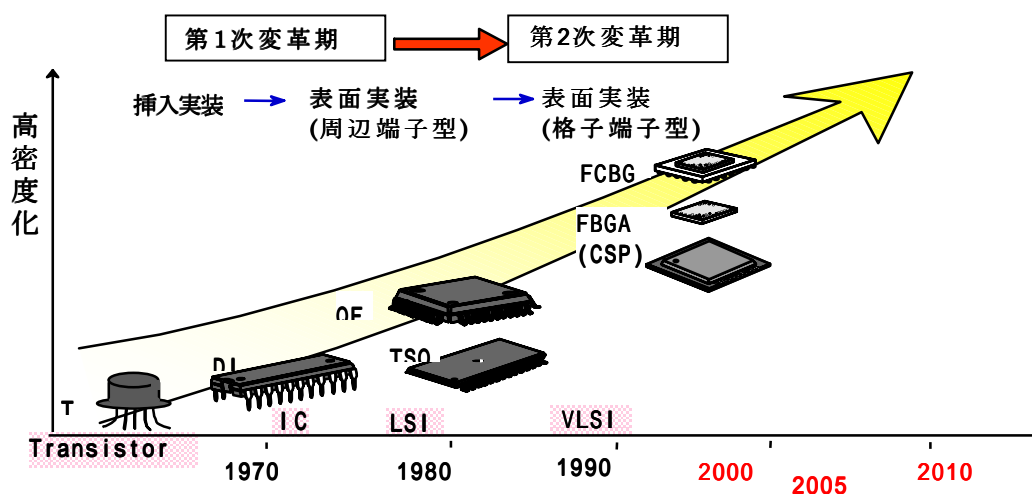
- ・ Pb フリーハンダ対応(各メーカ、研究機関で開発中、耐熱部品開発)
- ・ 難燃材のハロゲンフリー化(サブストレート、モールド樹脂材料開発)

5) 開発期間

- ・ 設計・製造総合技術力の向上による開発期間の短縮(電気特性、熱、機械強度、応力等の総合シミュレーション技術の開発)

(5) 提言

今後は信号が高周波信号になるので半導体デバイスだけでなく、半導体パッケージ、プリント基板全体を捉えて全体がうまく作動するように、シミュレーションを駆使して開発することが益々重要になる。これには上記の開発期間の所にも記したが総合シミュレーション技術が今後特に必要になると思われる。この一步として NEC 遠矢氏が提唱している基板までを含んだ新統合設計技術開発(11/下の補正予算で認可)を更に推進することが重要と思われ、12/上以降も国の予算をつけ多くの研究者を集め短期間で推進することを提案する。



図表 1-3-9 半導体パッケージングにおける変革

1-3-8 ファクトリインテグレーション [要旨]

(1) 検討範囲、課題

基本ニーズは工場生産性、すなわちコスト低減、変化への柔軟な対応、信頼性と有用性の改善、工期の短縮等の追求である。今回は、半導体製造工程の内の、ウェハプロセスラインに焦点を絞り、ロードマップ検討の視点として、製造技術を包括する意味で対象を量産工場とし、製品構成については少品種、多品種のライン対応についてそれぞれ検討を行った。

検討すべき課題として、「複雑さへの対応」がある。異なる工場、多くの新製品や新技術の導入、新規プロセスなどの要素とこれらの関係のマネージメントである。これらの要素はその数が急速に増大し続けるために工場のマネージメントの重要性和困難さが増大してきている。この前提のうえに、限定された資源のもとで、コスト低減と工期短縮を図るための「工場の最適化」と、多世代の製品や多様な品種展開や、生産規模の拡大などに対する「汎用性/拡張性」を課題として検討した。

技術的要求を検討することは前述した課題の達成に必要である。工場を互いに関連し合う機能から、①工場運営:工場内の生産を制御する運用方針と手順、②製造装置:検査/プロセス装置と工場における他の構成要素と装置のインタフェース、③搬送システム:工場内における材料の移送、保管、認識、トラッキング、④工場システム:コンピュータのハードウェア、ソフトウェア及び、製造関連の支援システム、スケジューラ、装置/材料管理、プロセス制御など、⑤ファシリティ:建家のインフラストラクチャ、用力、モニタリングシステム、の5つの技術項目に分類し、課題への解決策を検討した。

検討に当たっては「工場運営」を工場全体を統括する概念と位置づけし、製品工期、ライン稼働率などの要求をまとめた。次に「工場システム」、「製造装置」、「搬送システム」、「ファシリティ」などの具体的な技術分野への要求事項へ展開した。

年度 Technology Node ウェハ径	1999 180 nm 200 mm	2002 130 nm 300 mm	2005 100 nm 300 mm	2008 70 nm 300 mm	2011 50 nm 300 mm	2014 35 nm 450 mm
少品種量産ライン						
通常ロットのマスクレイヤ 当たりの工期	1.75 days	1.5 days	1.4 days	1.3 days	1.2 days	1.1 days
ホットロットのマスクレイヤ 当たりの工期	1.2 days	1.0 day	1.0 day	1.0 day	1.0 day	1.0 day
キャリア内ロット数	One lot	One lot	One lot	One lot	One lot	One lot
他品種量産ライン						
通常ロットのマスクレイヤ 当たりの工期	1.8 days	1.6 days	1.4 days	1.3 days	1.2 days	1.1 days
ホットロットのマスクレイヤ 当たりの工期	0.9 days	0.85 days	0.8 days	0.75 days	0.7 days	0.65 days
キャリア内ロット数	Single lot [4]	Multiple lots	Multiple lots	Multiple lots	Multiple lots	Multiple lots
共通要求事項						
工場建設、立ち上げ工期	< 18 months	< 16 months	< 14 months	< 12 months	< 11 months	< 10 months
工場オペレータ総数	N	0.9×N	0.8×N	0.7×N	0.6×N	0.5×N
製品/プロセス変更工期	12 weeks	10 weeks	8 weeks	6 weeks	5 weeks	4 weeks

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

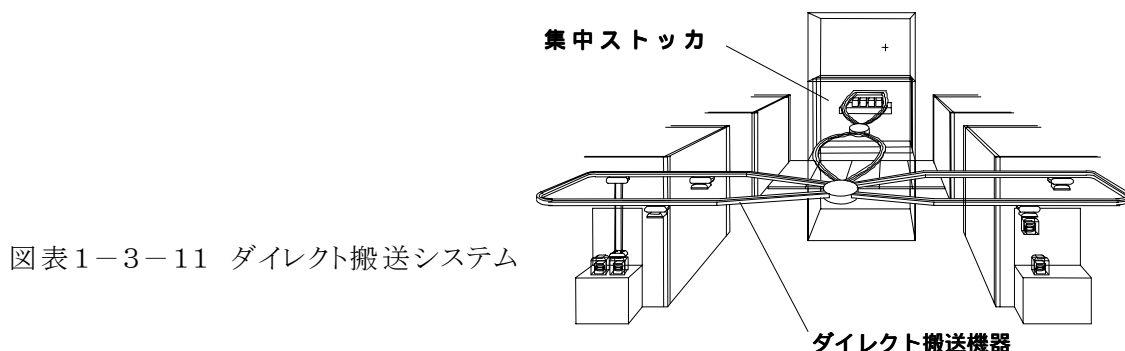
図表1-3-10 工場運営の要求項目

(2) 解決策

解決策も要求項目に合わせ、工場運営、製造装置、搬送システム、工場システム、及びファシリティで区分される。この中で今年度は、特に、搬送システムについての検討を主体として行った。以下に搬送システムについての検討概要を示す。

拡張性/汎用性/スケーラビリティの観点から、搬送システムにもクリーンルームへのフレキシブルな対応がより小さなインパクトで実現されることが要求される。これは据付/立ち上げ/拡張を簡単に行える事であり、コンポーネント化・モジュール化により固定方法に関する制約を減らし、調整を極力無くす方式が必要とされる。また、導入前に事前テストがモジュール毎に実現できることも、調整時間短縮には有用である。さらに、簡単に拡張できる機構も重要である。そのためには、ハード構成によらないソフト構造が求められる。ハードによって変わる必要のある項目はパラメータ化しておく必要があり、自動調整ができる技術も開発しなければならない。そしてソフトのアップグレード等のためにシステム稼働を止めないですむシステム構築も望まれる。その他トラブルの自動モニタリングや解析が出来、自動予防保全、自動復旧ができるよう技術開発も必要である。

搬送システムのもう一つの課題は製造装置の稼働に時間的ロスが発生しない様にロットを供給することやロットの搬送・保管時間を最短にすることを最小のコストで実現することである。これには工程間と工程内あるいはストックを含めて、標準化されたインタフェースをもってダイレクト搬送ができる装置構成とその次に搬送車が直接装置から装置へ搬送する完全ダイレクト搬送が要求される。そのためにも、工程間と工程内を統合して制御できるシステムがまず必要である。実際の状況に合わせてスケジューリングできたり、予測配膳ができたりするシステムが必要となる。仕掛かりを考慮して搬送能力を予測し、ロットの移動を最適化するシステムも望まれる。



図表 1-3-11 ダイレクト搬送システム

(3) 提言

今回、ファクトリインテグレーションWGでは生産性に関わる技術各分野に渡って、可能解まで提案したが、多くはまだ、技術要求のレベルである。半導体産業を今後、継続するためには、これら各要件に対し、具体的なアクションプランにまでブレイクダウンし、解決策を用意しなければならない。米国を中心とした諸外国と競合していくためには、個別の要素技術だけでなく、これらを組み合わせる技術についても研究・開発を進めていかなければならない。ファクトリインテグレーション技術、その中でもプロセスインテグレーション、装置インテグレーション等の技術を積極的に研究・開発していく必要がある。

従来、日本ではこの分野の具体的施策の検討は個別企業（デバイスメーカー、サプライヤ）の範囲内に限られていた。これらの研究開発を促進するためには、産業界の協力関係の構築が重要であるばかりでなく、官公庁、大学等の研究機関の協力も必要である。

(1) 背景(背景、ロードマップの意義、期待する効果)

半導体産業は従来から環境、安全、健康(ESH)の問題について、先進的な取り組みを行い、この分野でも世界のリーディング産業としての地位を築いている。しかし、半導体産業において数多くの化学物質が使用され、環境中に排出されていることも事実であり、産業規模の急速な拡大や微細化技術の進展、また、ウェーハの大口径化にともなって、新たな化学物質が使用され、エネルギー消費量が増大していく傾向は、解決されなければならない課題である。

本ロードマップの意義は、設計、ウェーハプロセス、実装などの技術の発展にともない、ESH に関してどのような問題が新たに発生するのかを分析し、その解決のために必要な技術やマネジメントシステムを提案することにより、半導体産業に関わる技術者、研究者の共通認識を構築することである。

本ロードマップによって、半導体産業に関わるすべての人々が、現在と将来の ESH 問題に対する認識を深め、それぞれの分野でその解決に努力して、半導体産業の長期にわたるバランスのとれた発展が実現されることが期待される。

(2) 範囲(検討範囲、検討項目)

半導体技術に関わるすべての ESH 問題を横断的に検討し、主要なテーマをピックアップして、各分野の専門家の協力を得て解決案を提案する。

環境の側面からは、省エネルギー、省資源、化学物質管理などについて検討する。安全・健康面からは、製造装置と工場設備の安全性評価、および有害物質が作業者におよぼす影響についての安全性評価やリスクアセスメントの方法について検討する。また環境ツールとモデリングについては、危険性モデルやコストモデルの作成と適用について検討する。

(3) 要求(技術ニーズ、到達すべきレベル)

ウェーハの大口径化や微細化技術の進展がエネルギー使用量や純水・薬品・ガス等の資源の使用量を増大させる傾向にあり、省エネ、省資源技術の検討が必要である。また新技術の発展に伴い、新規化学物質が採用される可能性が高く、それらの管理手法を確立する必要がある。また設備や有害物質が、環境から作業者に至るまで、及ぼす影響や危険性を評価し、設計時からそれらを回避できるよう、モデリングやリスク評価手法を確立するべきである。

(4) 課題(技術課題)

これまで、半導体工場の省エネルギーについては、ファシリティ中心に対策が行なわれて来たが、製造設備についても対策する必要がある。超純水の使用量増加はコストアップと環境負荷増大の要因であり、その使用量削減と製造コストの削減を実現すべきである。

既存および新規の化学物質のデータベースを充実し、半導体プロセスに適応したリスクアセスメント手法の開発が急がれる。また、半導体工場から排出される環境負荷物質を削減する必要がある、PRTR(pollutant release and transfer register:環境汚染物質排出移動登録)に対応した環境マネジメントシステムを構築しなければならない。

ウェーハの大型化にともない設備も大型化しているため、設備稼働部分の人体への干渉防止対

策が必要である。また有害物質への曝露対策を確立しなければならない。

半導体産業の急速な技術革新に対応した環境施策を実施するため、その評価体系の構築が必須であり、モデリング技術を応用した環境対策評価ツールの確立が求められる。

(5) 解決策候補(解決策の候補技術)

1) 省エネルギー・省資源

半導体製造装置の省エネルギーには、プラズマ、イオンビーム等の高効率化とともに、低発熱化や排気回収等クリーンルーム熱負荷の低減対策が必要である。省資源については、高効率洗浄技術の開発による純水使用量の削減や薬品使用量の削減が必要である。また、半導体産業のゼロエミッションを実現するためのシステム作りが求められる。

2) 化学物質管理

半導体産業で資料される物質のデータベースを充実することが必要である。新規材料・化学物質の安全性・環境負荷性評価については、そのデータを取得するシステムを構築する。また、半導体産業に対応したリスクアセスメント手法を確立する。

環境負荷物質の削減については、PRTR と連携した管理を行なうとともに、設計段階から環境を意識した設計アルゴリズムの確立が必要である。

3) 安全・健康

新規化学物質の影響や従業員のメンタルヘルス、またX線被爆などの問題については、専門の研究機関との共同研究が必要である。また地震や火災に対する安全対策を構築するとともに、エルゴノミクスを適用した設備設計手順を確立する。

4) 環境ツールとモデリング

環境施策の評価手法を確立するため、危険性モデル・費用モデルについて研究する必要がある。

5) 他分野依存性(他の WG 分野への依存性)

半導体に関係するすべての技術は、それぞれ固有の ESH 問題を含んでおり、特にフロントエンドプロセス、配線、リソグラフィ、実装、ファクトリインテグレーションの分野において関連が深く、省資源、省エネルギー、化学物質管理等の面ではこれらの技術に関連する事項が多い。

また、設計、テスト、シミュレーション等の技術についても、今後 ESH を念頭においた課題の解決を計っていくことが肝要になる。

(6) 提言(現状における着手レベル、目標に到達するための提言)

半導体産業の ESH 問題の解決には製造装置メーカーや材料メーカーとの協力が不可欠であり、また、国家の支援による税制優遇制度などのインセンティブの付与、学界との協力による技術開発などが期待される。安全・健康の分野では医学界との協力も必要と考えられる。更に、半導体産業がグローバルな産業であり、環境問題もまた全地球的な問題であることから、国際協調による問題解決が望まれる。

温室効果ガスであるPFCの排出削減についてはすでに国家研究がスタートしており、また国際的にも協力の枠組みが確立しているが、今後、ESH の他の分野でも同様の体制を展開していくことが必要である。

1-3-10 モデリング&シミュレーション [要旨]

最先端のLSIを開発・生産するために必要な技術のなかで、モデリング&シミュレーション技術は開発・生産効率を高める技術として、100nmのテクノロジーノードが見えてくるにあたり、一層重要になってきた。

製造装置の性能向上によってノウハウは次第に装置に組み込まれるようになり、デバイスメーカーにとって製造技術自体での技術の差別化は困難になりつつある。一方、デバイス構造はさらに微細化が進んでおり、物理的な限界に近づくにつれ、従来の単純なモデルや理論では解釈できない現象が現れ、これを理解し設計や製造プロセスに反映させるためには、メゾスコピックなモデリングが不可欠になってきた。再びサイエンス、そしてそれらをベースとするモデリング&シミュレーションが技術発展の原動力となる時代になってきた。

モデリング&シミュレーション技術では、

- ・ シリコンLSI開発・生産に関わる物理・化学モデル
- ・ モデルに基づき計算する、シミュレーション技術、計算技術
- ・ シミュレータのキャリブレーションも含めたシミュレーションの応用技術
- ・ 統計解析、マンマシンインターフェースを含めた計算環境

を扱い、今後のモデリング&シミュレーション技術に対する要求事項の拡大と高度化、およびそれらを具体化するための技術選択肢の見通しを示した。さらに、技術発展の結果として、本来デバイスメーカーが求めている開発コスト削減、TAT(turn-around time)短縮についても検討した。

モデリング&シミュレーションは、第一にデバイス/プロセスの物理・化学メカニズムを明らかにし、開発方針の決定や技術を選択する場合に強力な判断材料を提供する。第二には、机上実験により必要最小限の試作条件に絞り込むことによって、開発ロット/マスク改訂数の削減を可能とし、TAT が短縮され、開発費が削減される。

表および図はその削減予測と全体像を示したものである。一方、メカニズム把握という“知識”を得ることによる技術の進展や効率化は、相当程度まで実現されていると考えられるが、数値化が困難なため省いている。

100nmのテクノロジーノードで削減率が上昇しているのは、バックエンドプロセスシミュレーションの発展によるところが大きい。これにより、現在困難であるエッチングやデポジションなどの化学反応のメカニズムが理解可能になるため、個別プロセス開発におけるバラツキも含めた最適製造条件をシミュレーションで絞り込む、あるいは不具合の起きるメカニズムを解明することが可能になる。

設計分野に対しては、プロセスインテグレーションが完了する以前に、設計用のコンパクトモデルパラメータを提供可能になるため、開発初期からライブラリーの設計ができ、プロセス・設計のコンカレント開発が実現する。これは設計も含めたSOC開発期間全体を大幅に短縮する。

最後には、我が国がサイエンスやアルゴリズムをベースとしたSOCの基礎・基盤技術力を獲得し、かつ国際協調を通して世界に貢献するために解決すべき課題と方策も提言した。

開発に対する効果

Technology node		250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
コスト削減	総合	15%	20%	25%	35%	40%	50%	50%
	基本プロセス	20%	30%	40%	50%	60%	70%	70%
	展開プロセス	50%	50%	60%	60%	60%	60%	60%
	要素プロセス	0%	0%	2%	10%	20%	30%	30%
TAT短縮	基本プロセス	10%	15%	20%	30%	40%	50%	50%
	展開プロセス	45%	45%	50%	50%	50%	50%	50%

工場展開での寄与

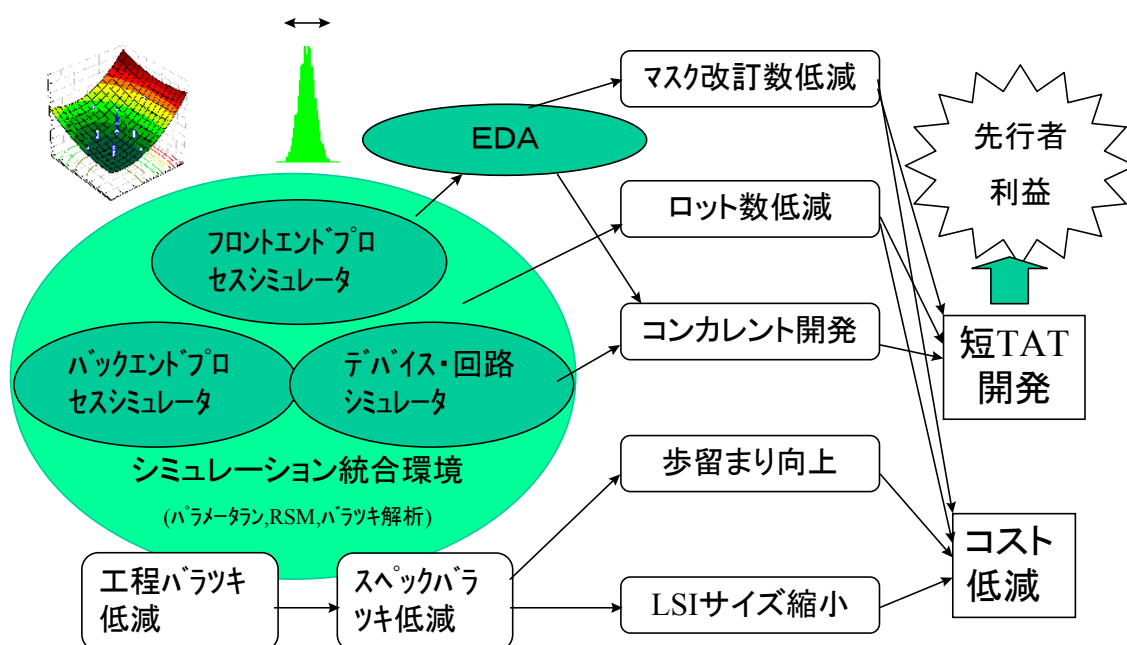
(バックエンドプロセスシミュレータで装置コスト・統計的プロセス設計機能でT_r等の特性/バラツキ削減で)

Technology node	250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
装置立ち上げコスト・期間			2%	10%	20%	30%	30%
プロセス導入期間短縮			10%	15%	20%	25%	30%
プロセス導入初期歩留向上(90%になるまでの期間)			3months	2months	1.5months	1months	0.5months

設計関連寄与

コンカレント開発	-	-	6months	6months	6months	6months	6months
チップ面積縮小 (当該ルール内で設計マージン縮小による)			10%	15%	15%	20%	20%

図表1-3-12 コスト削減、TAT短縮効果



図表1-3-13 Modeling&Simulationと短TAT&コスト低減

1-3-11 計測技術 [要旨]

計測技術は半導体産業を支える基盤技術の一つである。プロセスおよび装置の開発、製品あるいはラインの立ち上げ、量産など、全ての局面において高度な計測技術が不可欠である。しかし、計測に要求される分解能・精度・感度が高くなるとともに、その要求に応えることが困難になりつつある。半導体計測技術の未熟さが、半導体生産技術の発達ひいては半導体産業の発展を妨げる隘路となり兼ねない。

到達レベルから見て、隘路となり兼ねない特に重要な項目を挙げると、2002 年 130nm ノードでは、デバイス構造の微細化や微細化に伴って派生する高アスペクト比化に対応することが主なニーズであり、180 nm ノードから引き続いての課題である微細構造や高アスペクト比構造の高解像度観察、ドーパントプロファイルの高空間分解能計測に加え、極薄ゲート酸化膜や極薄容量絶縁膜の高精度膜厚測定が課題となる。2005 年 100nm ノードでは、パターン微細化の推進を図ることが主なニーズとなり、ウエハパターンやホトマスクパターンの寸法・パターン位置を高精度に測定することが課題となる。一方、全ノードを通した課題として、第一に、プロセス材料およびコンタミネーションをさらに精密に制御することが必要であり、微粒子や微量不純物を高感度で検出できるようにすることが挙げられる。第二に、プロセスやプロセス装置をより精密に制御するために、高性能なプロセス監視センサ、プロセスモニタそして装置パラメータ計測センサの開発が求められる。

このような課題に対応するため、

① デバイス／プロセスの研究・開発に際しては、計画段階から計測ニーズを明確にするようにし、適確なニーズを計測技術の研究・開発に反映させなければならない：計測技術はプロセス装置の開発／プロセスの開発／新材料の導入検討と言った、先行的研究・開発の時期に必要とされることが多い。また、計測ニーズは新材料・新デバイス構造・新プロセスの導入などに左右されるが、計測に携わる人達にとって、それらの技術開発方向が明確に見えているわけではない。デバイス／プロセスの要求に応えるためには、計測ニーズを適確に捉え、開発技術の焦点を絞り、早期に開発着手することが必要である。

② 半導体メーカ、計測装置メーカ、および公的研究機関は、一丸となって、センシング技術および計測装置の開発を行わねばならない：計測装置メーカは、比較的小規模であることが多く、先行開発や装置試作の費用負担に耐えることが難しい。

③ デバイスおよびプロセスの設計に際しては、‘より余裕度のある設計’を課題として、研究・開発を進めねばならない。例えば、CDばらつき、ゲート絶縁膜／容量絶縁膜の膜厚ばらつきなどに鈍感なデバイスおよびプロセスを設計・開発することが必要である：計測の精度／分解能／感度は原子レベルの極限に近づきつつあり、計測性能がデバイス／プロセスの物理限界で制約されることも予測される。仮に計測の技術開発が精力的に進められるとしても、必ずしも期待されるような性能・機能が実現されない恐れもある。

④ ‘日本の半導体技術を牽引すべき、旗印としてのSoC’を明確にするとともに、各要素技術の課題・目標として詳細化することを急がねばならない：SoCということでは、混載／短TAT／少量多品種／マスク製作などをキーワードとし、これら課題に対応した計測技術を開発することになる。しかし、SoCの意味するところは広く、‘SoCのための計測’の目標が必ずしも明確になってはいない。

製品の出荷開始年 テクノロジノード	1999 180 nm	2002 130 nm	2005 100 nm	2008 70 nm	2011 50 nm	2014 35 nm
----------------------	----------------	----------------	----------------	---------------	---------------	---------------

微細形状の観察分解能 (nm, P/T=0.1)	1.4	1.0	0.7	0.5	0.35	0.25
ホール底部観察分解能 (nm, P/T=0.2)	2.8	2.0	1.4	1.0	0.7	0.5
パターン寸法の測定再現性 緻密ライン／孤立ライン／ホール (nm, 3σ, P/T=0.2)	3.6	2.6	2.0	1.4	1.0	0.70
	2.8	2.0	1.4	1.1	0.8	0.6
	4.0	3.0	2.6	1.6	1.1	0.80
実微粒子の検出感度 (nm, パターン上)	90	65	50	35	25	17
微小領域における表面クリティカル金属の検出感度 (at/cm ² , 各金属, P/T=0.1)	9.4×10^9	4.5×10^9	3.0×10^9	2.0×10^9	1.5×10^9	1.1×10^9
表面有機物の検出感度 (at/cm ² , 各有機物, P/T=0.1)	2.0×10^{11}	1.4×10^{11}	9.8×10^{10}	6.8×10^{10}	4.8×10^{10}	3.4×10^{10}
ゲート絶縁膜膜厚測定精度 (nm, 3σ, P/T=0.1)	0.0076	0.0060	0.0077	0.021	0.015	0.013
容量絶縁膜膜厚測定精度 (nm, 3σ, P/T=0.1)	0.046	0.049	0.11	0.11	0.092	0.066
ドーパントプロファイル測定 の空間分解能 2-D/3-D (nm)	10/-	7/15	5/10	4/7	3/5	2/3.5

図表 1 - 3 - 1 4 半導体計測の期待される到達レベル
(ITRS'99から記載内容の一部を引用)

1 - 3 - 1 2 欠陥低減 [要旨]

半導体ビジネスの成功は、歩留の垂直立上げを実現し、高歩留の安定生産を維持することに掛っている。歩留りは、チップ面積に依存しない成分の‘システム歩留’とチップ面積に依存する成分の‘ランダム歩留’の積として表される。現在の半導体製造では、量産初期の歩留をシステム歩留が決定し、量産最盛時の歩留をランダム歩留が決定している。システム歩留を向上させるためには、デバイス構造微細化・プロセス複雑化の進展を考慮した正確な歩留モデルを作ることが、当面の課題である。一方、ランダム歩留は‘見える欠陥’に因って決められるものであり、その改善は‘欠陥を検出・分類し、歩留への影響が大きいものから低減・削除して行く能力’に掛っている。ランダム歩留を向上させるため、プロセス起因欠陥および装置起因欠陥を低減するには、高い欠陥検出感度とスループットを併せ持った欠陥検査装置、および正確かつ迅速に欠陥をレビュー・分類するための技術が求められる。

一方、① 製品の世代毎に、量産初年では約 60%の歩留り、歩留り飽和時期では85%から95%の歩留りを達成することが求められている、② デバイス寸法の縮小に比例して‘問題となる欠陥寸法’が小さくなって行く、と言った背景があり、欠陥を低減するために、不断的努力が必要とされる。しかも、欠陥発生源を同定する技術、欠陥の致命率を求める技術、欠陥が不良になるメカニズムを解明する技術の開発・実用化に際しては、経済性を第一に考慮しなければならない。

このような課題に効果的な対応をするため、蓄積したノウハウに基づく現場努力に依存した歩留向上／欠陥低減の手法を、科学的に裏付けされた合理的なやり方に切換えて行こうとする意見が大勢をしめるようになって来ている。そして、それらの意見を速やかに現実のものとするためには、各社の協調が前提となる。その成果が幾つかの共通認識として具現された。例えば、

- ① プロセスチャンバ壁からのフレークの剥離・落下そしてウェハ上への付着と言った現象は、どのメーカーのどの装置も同じメカニズムに拠っているものと考えられる。その解決策を見出すため、各メーカーに共通した課題として取り挙げ得る。
- ② 必要以上に純度の高いプロセス材料を、「心配だから」と言う感触だけで、使用している恐れがある。このために不要なコスト増を招いているとすれば、大きな無駄である。現在の純度が妥当なものか否かを、TEGを用いた実験にて、早急に検証しなければならない。
- ③ 現状の欠陥検査手法では、高い欠陥検出感度と大きな処理速度を両立させることができない。高速・高解像度の検査手法を早急に開発しなければならない。
- ④ 欠陥レビューSEMは、高速・高解像度であることに加えて、正確な自動欠陥分類機能を有することが必要である。
- ⑤ 製造装置と検査装置から成る装置群を構成して、欠陥を自動で検出・排除できるようにしなければならない。
- ⑥ 欠陥検査の標準化を進めるためには、実用的な欠陥標準試料が必須であり、その開発を急がねばならない。

今後の進め方としては、

- ① 歩留モデル／装置欠陥モデル／分子汚染モデル／故障解析モデルなど各種のモデルを作る必要がある。モデル作成に際しては、高度な数学を扱わねばならず、学界からの参加が望まれる。モデルの検証に際しては、公的機関の手で製造されたTEGが必須である。モデルを高精

度化するためには、多くの装置メーカー／デバイスメーカーが使い込むことに依って、モデル←→検証を繰返すことが必要である。

- ② 装置起因欠陥の低減については、公的な支援の下に、産官学が一体となって欠陥低減手法を開発するとともに、共通の財産として開示することが必要である。
- ③ 欠陥検査装置／欠陥レビュー技術については、緊急の課題であり、検査装置メーカーの一層の開発努力に期待する。なお、装置開発に際しては、デバイスメーカーとの緊密な連携が必須である。
- ④ 検査標準については、欠陥データの規格の標準化を推進することと、公的研究機関との協同開発に依る欠陥標準試料の開発が必要である。
- ⑤ 薬液の高純度化については、デバイスメーカーと連携して、適正レベルにすることを進めなければならない。純度標準化に拠るコスト低減効果は、極めて大きいものと思われる。
- ⑥ 製造装置・検査装置群の自動制御については、各デバイスメーカーが主体となって推進するのは当然としても、ソフトの共通化／インターフェイスの共通化など、標準化のメリットを生かす必要がある。
- ⑦ 製造装置の高知能化にあたっては、長期の展望に立って取り組む必要があり、産学共同の開発体制が必要である。
- ⑧ SoCにおける欠陥低減では、‘混載時/少量多品種/ミニラインなどでの欠陥低減策を如何に方向づけるか’を検討して行かねばならない。そのためには、‘日本の半導体技術を牽引すべき、旗印としてのSoC’を明確にするとともに、各要素技術の課題・目標として詳細化することを、急がなければならない。

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm	2008 70nm	2011 50nm	2014 35nm
MPU										
MPU/ASIC1/2ピッチ nm	230	210	180	160	145	130	115	81	58	41
問題欠陥寸法 nm	115	105	90	80	73	65	58	41	29	21
チップ面積 mm ²	170	170	170	191	214	224	235	269	308	354
電氣的全欠陥密度 Do(不良数/m ²) 問題欠陥寸法以上の不良数	1742	1742	1742	1550	1384	1322	1260	1101	961	836
ランダム欠陥起因 Do (不良数/m ²)	1117	1117	1117	994	887	848	808	706	616	536
マスク層数	23	23	23	24	24	24	25	27	28	29
ランダム欠陥起因不良数 ／マスク層数	49	49	49	42	37	35	32	26	22	18

図表1－3－15 MPU歩留モデルと目標装置許容欠陥数
(ITRS'99 Table 76に基づき一部STRJで改訂)

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm	2008 70nm	2011 50nm	2014 35nm
DRAM										
DRAM1/2ピッチ nm	180	165	150	130	120	110	110	71	50	35
問題欠陥寸法 nm	90	83	75	65	60	55	50	35	25	18
チップ面積 mm ²	132	138	145	152	159	166	174	199	229	262
電氣的全欠陥密度 Do(不良数／m ²) 問題欠陥寸法以上の不良数	1249	1193	1140	1089	1040	994	950	828	723	630
ランダム欠陥起因 Do (不良数／m ²)	2833	2709	2579	2460	2352	2252	2149	1879	1633	1427
マスク層数	20	20	20	21	21	21	22	24	25	26
ランダム欠陥起因不良数／マスク層数	142	135	129	117	112	107	98	78	65	55

図表1-3-16 DRAM 歩留モデルと目標装置許容欠陥数
(ITRS'99 Table 77 に基づき一部 STRJ で改訂)

1-3-13 SoC 設計 [設計タスクフォース活動報告要旨]

(1) 設計タスクフォースの役割

LSI のうち、特に SOC に着目して設計全般に関する技術課題や解決策を日本の半導体業界および関連業界の視点から検討し、日本の半導体および関連産業の発展に寄与できる独自のロードマップを示す。特定テーマに関する個々の設計上の技術課題については、担当 WG での検討に委ねる。

(2) 設計課題の抽出

集積度や性能、テクノロジーのトレンドは念頭において、これによって実現される SOC を実現する上で大きな設計上の変革点(ターニングポイント)を予測する。例えばコア・ベース設計なら組み込むコアの質的な変化を考え、これから生じる複雑度の増大といったネガティブな影響も同時に予測する。SOC ロードマップの具体例を示しながら、ターニングポイントの時期とその解決方策の方向性を明かにしてゆく。

(3) ロードマップ作成

SOC の応用分野を高性能高機能分野、低価格短納期分野、小型低電力分野の 3 つに分類し、それぞれの分野で代表的な応用例に対する SOC のロードマップを作成する方針で臨んだ。

高性能高機能分野では、グラフィックス処理に優れたハイエンド組み込み SOC を想定してロードマップを作成した。CPU クロック周波は一般の組み込み CPU の 2 倍、搭載総素子数も約 2 倍になるとした。処理の高速化の面から、DRAM 混載の必然性についても指摘した。

低価格短納期分野では、この分野のベースとなる汎用組み込みプロセッサとその周辺機能を組み込んだシステムについて、1 チップ化の動向を考察した。組み込みプロセッサが現在使用している周辺機能を全部チップ内に取り込む時期は 2005 年以降ということになっている。2011 年の時点では、周辺機能も含めて必要メモリもすべてオンチップ化され、SOC への新たな組み込みブロックは、システム毎に異なる専用処理エンジンのようなものとなる。SOC 設計における IP ベース設計の重要性についても一般論としてまとめた。

小型低電力分野では、特定の応用を意識した SOC ではなく、汎用組み込みプロセッサについての消費電力モデルを考察し、電力面からのロードマップを作成した。組み込みシステム向け SOC の動作時の消費電力モデルによると、2002 年には消費電力が 10W 近くになり、2005 年には 20W を超えるため、特に携帯用機器の消費電力削減への取り組みが不可欠になってくることを指摘した。SOC の待機時の消費電力モデルでは SOC として性能向上を目指すために 2008 年には高性能向けのモデル値に到達する。その間は各世代で約 7 倍になるモデルを仮定している。

(4) ターニングポイントの分析

ハイエンド SOC では、1999 年時点で、スクラッチからの場合、3,400 人月かかる計算となる。2005 年までに集積度は、ハイエンド SOC の場合、1.4 倍/年で向上すると予測しているが、設計効率向上はそれ以下(21%/年向上)なので、同じ開発手法を続けると、現在よりもさらに開発工数が増えることになる。このことから、ハイエンド SOC でも IP の高度利用が不可欠となってくる。このほかに、消費電力削減技術、高速 DRAM 混載技術、クロック手法についても言及した。

汎用志向の組み込みシステム用 SOC については、DRAM やフラッシュ混載などのプロセスの複合化、マルチ電源供給、電源電圧の動的制御、電源供給システムの強化などの電力削減と関連した電源の複合化、さらには閾値制御技術、非同期設計技術、クロック供給技術などの回路技術の進化および消費電力見積り・解析技術を含むその他の技術課題について論じた。

項番	暦年	(単位)	1999	2000	2001	2002	2005	2008	2011	2014
0	ゲート長 Lg	μm	0.25	0.18		0.15	0.11	0.07	0.05	0.035
	[SOC展開]									
1	チップサイズ	mm^2	107	114	123	131	161	197	241	295
2	CPUクロック周波数	MHz	200	300	400	500	800	1100	1400	1700
3	利用可能素子密度	MTr/cm ²	14	17	21	24	40	64	100	160
4	搭載総素子数	MTr	12.0	15.5	20.7	25.2	51.5	100.9	192.8	377.6
5	CPU論理素子数	MTr	3.1	4.1	5.5	7.3	9.7	12.9	17.2	22.8
6	キャッシュメモリ	MTr	3.2	4.8	6.4	8.0	12.8	17.6	22.4	27.2
7	組み込みブロック	MTr	5.7	6.6	8.8	9.9	29.0	70.4	153.2	327.6
8	DRAM混載容量	Mbit	0	0	0	0	128	384	1024	2304
9	DRAMのロジック換算	MTr	0.0	0.0	0.0	0.0	16.0	48.0	128.0	288.0
10	組み込み論理ブロック	MTr	5.7	6.6	8.8	9.9	13.0	22.4	25.2	39.6
11	組み込みブロック種類	NB	NB	+ SB	+ DSP	+ GE	+ EM	+専用エンジン		
12	CPU標準クロック周波数	MHz	150	240	330	420	700	1000	1300	1600
13	ブロッククロック周波数	MHz	150	240	330	420	700	1000	1300	1600
14	ブロック標準クロック周波数	MHz	113	180	248	315	600	900	1200	1500

図表1-3-17 組み込みシステム向け SOC の展開モデル

1-4 国際対応活動

1-4-1 序

今後益々高度化する半導体技術の先進的かつ効率的な開発のためには、今まで以上に半導体業界と大学・国研・サプライア・関係機関等との協力ならびに半導体メーカー間の協力が不可欠であり、技術に対する要求や課題を共通に認識するためのレファレンスとしての「ロードマップ」の必要性が高まっている。

従来のSIAロードマップは、取り上げている半導体製品がハイエンドMPUに偏る等、わが国の半導体メーカーとしては十分なレファレンスとは言えないものであったが、世界中で事実上の標準的なロードマップとみなされ使用されてきた。

今回、わが国半導体メーカーの第一線の技術者が国際的な協力体制のもとに参加・貢献した国際半導体技術ロードマップ(ITRS'99)が完成した。グローバルに事業・研究を展開するわが国の企業や研究者にとって、わが国半導体メーカーの意見がベースとなり国際的に認知されたロードマップの有用性は大きいものと考えられ、今後の積極的な活用が期待される。

以下に1999年における国際対応活動の主要な内容を記す。

1-4-2 概要

(1) ITRS会議への参加

98年12月 サンフランシスコ 18名 12/10-11

99年4月 ミュンヘン 18名 4/12-13

99年7月 サンタクララ 22名 7/7-9

その他に個別WGの国際会議(テレコンファレンス含む)、各種レベルでのEmail会話をを行った。

(2) ITRS'99の内容に対するインプットと執筆

ITRS'99の内容に対するWGからのインプットについては、次項1-4-3「ITRS'99 概要及び日本の視点」を参照願いたい。ITRS'99の実際の執筆にあたっては、

- 1) "Technology Node Challenges"を全面執筆した他
- 2) 各ITWGでの執筆に参加した。

(3) 理解・習得がすすんだ内容、その他のゲイン

- 1) 意義、目的、有用性
- 2) 作成手法
- 3) ロードマップのコンテンツそのもの
- 4) 作成インフラ(今回の作成インフラは米国に依存)
- 5) 国際的な技術者間のコミュニケーション

(4) ITRS'99報告会(99年11月30日)の開催

99年11月30日、ITRS'99年版の公開報告会を初めて日本で開催しその成果を世に問うた。予

定をはるかに上回る、500名の参加者に来ていただき成功裡に終了できた。下記1-4-3項に、EIAJからの報告を転載する。

(5) ITRS東京会議の開催(99年12月1日)

ITRS2000に向けての方針の検討を行った。

主な検討事項は以下のとおり。

- 1) 赤、黄、白の色の定義
- 2) クロスWG活動
- 3) コストについての議論
- 4) サプライアの参加

1-4-3 国際版半導体技術ロードマップ1999(ITRS'99)報告会について

平成11年12月
(社)日本電子機械工業会
電子デバイス部

当工業会「半導体技術ロードマップ委員会」(STRJ、委員長:森野明彦・NEC半導体事業グループ主席技師長)では11月30日(火)に表記の国際会議を主催し、国内外より予定の300人を大きく上回る約500人の参加を得て成功裡に終了した。産官学関係者各位の絶大なご協力の賜物と深く感謝している。

日本では初めての大会であり関係各方面から多大の関心を寄せていただき、特に半導体製造装置業界からの参加者が30%と半導体産業自身からの46%に次いで多かった。今回の報告会について会場での参加者へのアンケートにより、総合評価点で5段階評価で4、5が過半(53%)を占める高い評価を得た他、幾多の貴重な助言をいただくことができた。

出席者内訳 11/30		アンケート回収件数	
官庁関係者(NEDO含む)	15	5(Outstanding)	17
学界関係者	18	4(Excellent)	127
関連業界	145	3(Good)	117
半導体業界	226	2(Fair)	7
(内、STRJメンバー98人)		1(Poor)	0
報道関係	17		
招待	11		
<u>海外</u>	<u>58</u>		
合 計	490人		

なお、翌日にはITRS国際委員会東京会議を開催し、ITRS委員のみのクローストミーティングで主に2000年以降の委員会の活動方針を討議した。

- 1) 開催日時 1999年11月30日(火)
- 2) 会 場 ロイヤルパークホテル

3) 英語名称 ITRS '99 Japan Conference

注：ITRS＝ International Technology Roadmap for Semiconductors

4) 主 催 EIAJ半導体技術ロードマップ委員会 (STRJ)

5) アジェンダ

5.1 森野STRJ委員長から、5極代表(日EIAJ、米SIA、欧EECA、台TSIA、韓KSIA)を紹介

5.2 来賓祝辞：白井電子デバイス幹部会委員長、

G.Scalise米SIA専務理事(代理：J.Matisoo)、

窪田通産省電子機器課課長

5.3 P.Gargini ITRS委員長から、ITRS'99の概略を説明：100nm付近に大きな障壁がある。

5.4 主プログラム：

12の技術分野別の国際WG(ITWG)代表(今回は日本から7名、米国から6名)がITRS'99に開示された、将来予測せねばならない半導体関連の技術課題のハイライトを説明し質疑。

5.5 昼食時に5極合同記者会見を開催

5.6 主プログラム：午後も継続

5.7 夕刻：レセプションにポスタセッションを併設開催、活発な討論を展開

6) 経 緯

国際版半導体技術ロードマップ ITRSは、世界の半導体産業の発展を目指し、将来技術ニーズとそれに基づく技術課題とその解決策候補を予測するもので、半導体業界のみならず装置・材料等の関連業界、大学や研究機関、関係諸機関にとり有益な情報の提供を意図する。

背景としては、限界技術の見極めとその解決策の実用化までには一社では到底賄えない超大なリソースを要し、グローバルな提携と大学レベルでの早期研究着手が不可欠になった事態がある。

技術ロードマップは元来、米国半導体工業会(SIA)が創始し、1992年に初版を発行したが、産業の世界的拡大と共に欧州(EECA)・日本(EIAJ)・韓国(KSIA)・台湾(TSIA)の各工業会が加わり、合計5極で共同し初の国際版であるITRS'99の作成に至った。日本は1998年後半から組織的に参加し、積極的に且つ選択的に多大の貢献を果たしている。今回の東京大会開催はその寄与が世界的に認められた証拠であり、これが成功裡に終わったことの意義は大きい。

日本のロードマップ委員会(STRJ)は昨年1998年11月に設立、当時のロードマップを見直しつつ、日本の状況に即したアプローチ(コンシューマ市場、システム・オン・チップ(SOC)、経済性をバランス良く重視、トレンド数値予測をより実態に即し改良、リソグラフィ技術の過大な加速の抑制、等)を提起し、ITRSの抜本的改善に取り組んできた。

その集大成が今回のITRS'99といえる。現在は原文の英文版のみであるが、EIAJサービスセンタで頒布している(消費税込、本：10,000円、CD-ROM：5,000円、本とCD-ROM：12,000円)。日本語訳版は、来年3月発行予定である。

なお、ITRS'99の提起する諸課題を日本の立場から再評価し、優先順位をつけて提言に結びつけてやはり来年3月に報告する予定である。

以 上

1-4-5 ITRS'99 の概要と日本の視点

以下本項の各ページの上段部分は ITRS'99「Technology Node Challenges」から引用してある。

(0) 全般

ITRS'99 では、Digital Communication 等の Consumer Electronics に用いられることが予想される SOC デバイスを検討対象に加えた。

技術の程度を示す指標として、DRAM half pitch の 180,130,100,70,50,35nm を Technology Node として定義した。それぞれの node は前の node に対し約 70%の縮小 reduction であり、主要な技術進歩の存在を想定している。

それぞれの Technology node で量産が開始される(月 1 万個を出荷)最初の年として以下の年を設定した。

Technology node(nm)	180	130	100	70	50	35
Year	1999	2002	2005	2008	2011	2014

Technology Node を各 Working Group (WG) で共通に用いることにより、ロードマップ roadmap の理解がより容易になることを期待している。

この項では、WG 毎の検討結果を、可能な範囲で Technology node 毎に整理したうえで、簡易で平易なサマリとして読者に提供しようとするものである。

日本の視点

ITRS '99 への日本からの input の反映状況

- 1) SoC 追加
- 2) Technology Node 定義
- 3) Technology Timing

以下に、各 WG 報告の概要と日本の視点

- 1) 日本からの input の反映状況、
- 2) ITRS'99 の内容・数値の妥当性

についてのコメントを列記する。

(1) WG1 Design

SOC の設計は、従来のメモリ、MPU、ASIC 単独の設計から、アナログ、ミックスドシグナル、Radio Frequency (RF)、Micro Electronic Mechanical System (MEMS) などの混成ブロックから構成される LSI 設計への革新を意味する。すなわち

- 1) 微細化に伴う素子数増大、寄生効果増大による Signal Integrity 設計の複雑化
(Silicon Complexity)
- 2) ソフトウェアを設計対象に含めることによる複雑化
(System Complexity)
- 3) 混載ブロックによる設計フローの複雑化、
(Design Procedure Complexity)
- 4) 設計検証の複雑化
(Verification & Analysis Complexity)、
- 5) テスト設計の複雑化
(Test/Testability Complexity)

などの設計課題が顕在化する。

マーケット要求から、SOC を Cost-Driven SOC と Performance-Driven SOC に大別し課題と解決技術候補を分析した。マーケット要求に応えるためには、純粋に設計技術の視点のみならず、Time-To-Market、コストなど経済性に立脚した LSI 設計の重要性が増大する。このために Core Base 設計すなわち Design Reuse を中心とした LSI 設計生産性 Design Productivity の革新が不可欠な要素となる。

日本の視点

1) ITRS'99への日本からのinputの反映状況

- ロードマップの主眼を SOCに置く。
- 技術的チャンピオンのみでなくビジネス観点からの SOC設計をテーマとする。
- × WG1が作成し ITRS TWG会議で提示した requirement table

2) ITRS'99の内容・数値の妥当性

詳細レベルでの意見交換は行えていないが、基本的には妥当と判断している。

(2) WG2 Test

基本的なニーズはテストの信頼性向上(低市場不良率)と低テストコストである。

100nm 以上の Node でも既に配線微細化に伴うクロストーク Cross Talk のような新たな故障モードをテストする対応が必要となっており、これについての研究の促進が望まれる。混載デバイスにおけるアナログ／デジタルミックス回路のテスト、ならびに高速デバイスを安価な低速テストを用いてテストする技術も 100nm 以上での主要な Challenge であり、いずれもチップ内部でテストパターンの発生と結果の保持が行える Built-In-Self-Test (BIST) が Potential Solution である。

100nm 未満では SOC のテストが課題であり、高位レベルでのテスト容易化設計 Design-For-Test (DFT)が必要となる。100nm 未満ではテスト工程におけるメモリ、ロジックデバイスの Built-In-Self-Repair による不良チップの救済も検討される。

日本の視点

1) ITRS'99への日本からのinputの反映状況

以下の項目に対して日本からのinputが反映されている。

- Table 12a,b : SoC Test Technology Requirements
- Table 15 : Test and Test Equipment Difficult Challenges
Test development の一部 (Test standards, Reuse of core)
- Table 22a,b : Commodity DRAM Test Requirements
- Table 24a,b : Embedded DRAM Test Requirements
- Table 25a,b : Embedded Flash Memory Test Requirements
- Table 26a,b : DFT-BIST Device Test Requirements
スキャンチェーン数の増大等

2) ITRS'99の内容・数値の妥当性

基本的には妥当と判断している。

(3) WG3 Front End Processes

比例縮小(Scaling)による微細化を継続するためには、従来の材料・技術が物理的限界に到達するため、材料・プロセス面からこれを打破するような技術が必要である。

MOSFET のゲート SiO₂ 膜の直接トンネル電流によるトランジスタ正常動作不能に対しては高誘電率材料の採用、ポリシリコン電極の空乏化による動作速度の遅延およびポリシリコン電極から基板 Si へのホウ素突き抜けに対しては金属材料ゲート電極の採用、トランジスタ性能の向上に対しては極浅・低シート抵抗pn接合の形成方法等が課題である。

また寸法が微細化すると共に、Metal Gate、Dielectric に新材料を使用することにより、Etching プロセスへの要求が非常に困難なものになる。CD 均一性、選択比 Selectivity、Etch profile に加え Line edge roughness の制御がトランジスタの性能維持のために重要なものとなる。

100nm までは MOSFET の Gate Stack は Equivalent oxide thickness 1nm として nitride、Al₂O₃ または Ta₂O₅ の絶縁膜を使う Gate Stack が、また Ultra Shallow Junction には Raised Source/Drain、Plasma Doping、Laser Annealing が、また DRAM Storage Cell Scaling には Dielectric としては BST、電極としては Ru、RuO₂ の採用が候補である。

100nm 未満の MOSFET では絶縁膜には BST または STO、電極には double work function metal の採用が、DRAM の新しい Cell Architecture としては Open-Bit-Line-Cell、Cross-Point-Cell、Multi-State-Circuits が候補である。更なる微細の Transistor 構造としては Vertical MOS、または低寄生抵抗が期待できる Double-Gate SOI が候補である。

日本の視点

1) ITRS'99への日本からのinputの反映状況

日本側で作成したDRAMキャパシタのロードマップ、及びそのテキスト部分については、ほぼ100%受け入れられた。

ゲート絶縁膜の厚さ(リークと消費電力の議論)については、日米の隔たり大きく、時間切れで 99ITRS では、米国案が掲載された。2000年改定に向けて12月に合同会議を開催し、日本側から high-performance logic, low operating power logic, low standby power logic, embedded DRAM に分類して記述することを提案。この件については、4月、7月のITRS会議の場で引き続き議論することで合意した。

SOIの分類については、FDとPDを分けずに、数値で範囲を明示することで妥協。

埋め込み酸化膜厚さについては、日本側の主張が受け入れられた。

BEOLのparticle sizeについては、日本側の主張(M1ピッチの半分)を理解はしてくれたが、ロードマップには反映されていない。完全には納得していない様子。2000年改定で再度主張する。

2) ITRS'99の内容・数値の妥当性

Surface Preparationで、Organics/polymersの基準値が、日本側提案に対して、米国側は1桁以上多い。米国側は測定が難しいことを理由に挙げている。

上述のBEOLのparticle sizeについても日本側は納得がいかない。2000年改定で再度主張。一方、critical metalsについては、米国側と日本側では削減ペースが異なる。

(4) WG4 Interconnect

配線への基本的なニーズはデバイスの高速化と微細化への対応である。MOSトランジスタの高速化がすすむに従い、配線間の容量 Capacity による遅延 Delay がデバイスの動作速度を支配する要因となる。

配線材料としては、従来からの Al に比べ、比抵抗 Resistivity が小さいこと、相対的に配線膜厚が薄くできるために配線間の容量を小さくできることから Cu が使用される。配線の層間絶縁膜 Inter-Metal Dielectric には配線回路における遅延を最小にするために従来の SiO₂ から Dielectric Constant (k) の低い膜への変更がすすむ。

100nm では $k=1.6\sim 2.2$ 程度の材料の開発が必要であり、ポーラスなポリマー、SiOH、SiOHCH₃ (Methyl Siloxane) 等が候補材料である。Cu 配線と絶縁膜間の反応 Interaction を防止するために 10nm の厚さのバリアメタル Barrier Metal 開発が必要である。さらにコンタクトホール contact hole は微細化のために高いアスペクト比 high aspect ratio を有するものとなりこれにメタルを埋め込む filling 技術が必要であるが、メタル CVD、イオン化スパッタ Ionized sputtering、高圧埋め込み high pressure filling 等が有望である。

70nm ではバリアメタルの使用は困難であり Cu の拡散 diffusion を防止できるような $k=1.5$ の材料開発が必要である。50nm 以下では $k=1.5$ 以下が必要で、中空配線 air gap interconnect が候補である。また LSI 配線の一部は Cu 配線に代わり高周波 radio frequency または光通信技術が使われると考えられる。

日本の視点

1) ITRS'99への日本からのinputの反映状況

- ・ ITRS'99 に対する日本側の意見は比較的よく受容された：
信頼性：指標として Jmax 使用を日本から提言し採用された。
Al、W の継続した改善開発を 2007 年まで延長。
MPU/SOC/DRAM分野別に配線目標値設定。

2) ITRS'99の内容・数値の妥当性

- ・配線のディッシング、エロージョンの目標値の妥当性不明確であるため再計算を要求している
- ・Cu のバリアメタル膜厚は日本側で再計算し、数値見直しをかけた

(5) WG5 Lithography

リーゾナブルなコストを維持しつつ、上記の Technology Timing に合う微細加工を達成していくことがニーズである。これまでは露光光源の短波長化、光学系の高 NA 化、ハーフトーン型位相シフトや輪帯照明のような弱い超解像技術 (RET) の実用化、およびレジストの高性能化によって3年で約 0.7 倍の微細化を達成してきた。

今後は、露光光源にさらに波長の短い F2 レーザー (157nm) 等の真空紫外光を用いる VUV 露光技術とレベソソ型位相シフトマスク等の強い超解像技術を実用化することによりさらに光リソグラフィ技術を延長していくか、もしくは EUV (Extreme UV)、EPL (Electron Beam Projection Lithography)、PXL (Proximity X-ray Lithography) 等の新しい原理のリソグラフィ技術 (NGL) を実用化する必要がある。

VUV 光は酸素や有機材料での吸収が大きいため、酸素フリーの露光装置や新規レジスト材料／プロセスが必要となる。NGL は従来使用されてきた光リソグラフィ技術とは原理が異なり、光源・光学系・マスク・レジスト等ほぼすべてのコンポーネントに対し技術革新が必要となる。

Critical Dimension の制御、Overlay、Defect Density が各 Node 共通の Difficult Challenges である。これは単に相対的な微細化が継続されるためだけによるのではなく、100nm 以下の Node では、レジスト分子の大きさや感光や現像に必要な物理距離が加工寸法に近い、寸法・位置ならびに欠陥等の現行の計測技術は (Metrology と Defect Reduction の項で述べられるように) 困難な領域に入る、装置の構造材の熱や振動による変位が無視できなくなる、等の絶対的な制約により困難さが一層増大することに起因する。それぞれの Node での Potential Solution は下記のとおりである。

180nm: KrF
130nm: KrF+RET, ArF
100nm: ArF+RET, F2, EPL, PXL, IPL
70nm: F2+RET, EPL, EUV, IPL, EBDW
50nm: EUV, EPL, IPL, EBDW
35nm: EUV, IPL, EPL, EBDW, Innovative Technology

WG5 日本の視点

1) ITRS'99-2ndドラフトへの日本からのinputの反映状況

- ・ 基本的に3年サイクル、2002年130nmが合意され満足。
- ・ リゾリューションに関して、日本案が合意され満足。

2) ITRS'99-2ndドラフトの内容・数値の妥当性

- ・ 基本的に米国案の詳細数値に全て合意したが、日本案数値とは異なる所も多い。
但し、詳細数値は米国案に修正を求めることはしなかった(ITRS99)。
主な疑問点は、米国側に2000年版改定時に考慮するように申し入れした。
- ・ マスクサイズ、マスク倍率、SoCチップサイズ等々もっと議論は必要かもしれない。
なお、米国のリーダーとは過去より親しく連絡は密に行っている。

(6) WG6 Process Integration, Devices & Structures

DRAMのチップサイズは、過去にはビット容量が4倍増加する度に1.4倍増加する傾向があった。この傾向が今後とも継続するとチップサイズが過大となり Lithography の露光エリアや Package の大きさに支障が発生するので、今回はビット容量が4倍大きくなる度にチップサイズが1.2倍大きくなるモデルを提案した。このモデルは、メモリ容量が2年で2倍ずつ増大する傾向と一致している。このモデルによるチップサイズの従来傾向からの抑制は、デザインルールに対しセル面積の小さい Open-Bit-Line-Cell、Cross-Point-Cell などの新たなセル構造実現の必要性を高める。

MOSFETの微細化については、Front End Processes で述べられているゲート絶縁膜と浅い接合の問題を解決しながら、特性バラツキの少ない高性能 MOSFET のインテグレーションが大きな課題である。100nm node のチャネル形成技術としてハロードーピングや高易動度 SiGe エピ層の導入が Potential Solution として考えられる。50nm 以降の node では不純物の量や位置の統計的なゆらぎが顕著となる領域に入り、量子ドット、単一電子トランジスタなどの新スイッチングデバイスが可能解となり得る。メモリでは不揮発性 RAM である FeRAM や MRAM などの新しいデバイスが解として考えられる。アナログミクストシグナルに関しては、低電圧 (2.0-1.5 volt) 化に伴うアナログ回路のノイズ対策が重要で、高Q値をもつ受動素子の開発がキーとなる。また、微細化におけるキャパシタの容量の確保や寄生容量の最小化が技術課題となり、前者では高誘電体膜の導入、後者では Cu 多層配線、SOI 基板、3次元構造化などの採用が可能な解となる。

メモリ、ロジック、アナログ素子などが混載される SoC においては、デジタル・アナログ間ノイズなど異種回路ブロック間の干渉を抑制すると共に、工程数やチップサイズの増大の抑制などコストパフォーマンスに優れるプロセスインテグレーションが重要な課題である。

日本の視点

1) 日本側からの input 反映状況

- ◆ IRC: DRAM 及び MPU で日本から提案したチップサイズモデル(増加率 $\times 1.2/4$ 年)が認知。
 - ・DRAM ではセルフファクター、セル面積効率、2倍集積度など統一したコンセンサスが採られ、1999 年 400mm² でスタート(FEP、リソWGとの整合): 表1の3~9
 - ・MPU でも $\times 1.2/4$ 年の増加率が 2001 年から採用され、1999-2001 年はフラットサイズ。
先方は「High-performance」と「Cost-performance」に分けそれぞれ 450mm²、340mm² でスタート
 - ・MPU チップサイズモデルの根拠: (2001年以降) Tr の増加 = $2.8/3$ 年、設計・プロセス改善係数 = $0.84/3$ 年、チップサイズの増加 = $2.8 \times 0.7 \times 0.7 \times 0.84 = 1.15/3$ 年 = $1.2/4$ 年
- ◆ PIDS/ITWG: DRAM の Soft Error Rate の変更、2005 年以降の DRAM Retention Time の変更、Gate Delay Metric (CV/I) の挿入などを主張した日本案が採用された (4th ITRS Meeting)
- ◆ SoC デバイスはテーマとして WG 共通の部分が多く、別章立てとして記述することで本 WG の当初からの主張した SoC の重要性が認知された。
- ◆ 反映されないもの: ロジックデバイスのゲート絶縁膜の物理膜厚から電氣的膜厚表示への変更、ゲートリーク電流の追加は見送られた。

2) ITRS'99 の内容・数値の妥当性

- ・DRAM セルサイズのスケールリングは従来構造 (8F2) 方式の大きな転換を示唆
- ・ゲート絶縁膜 (物理膜厚) の電界は 8MV/cm で、信頼性は今後の課題
- ・ゲートリーク電流を Tr の off-current 以下とする暗黙の定義は今後の課題

(7) WG7 Assembly & Packaging

基本的なニーズは実装全体の小型化と放熱対策である。

800 ピンを超えるようなロジックデバイスでは、チップの外周部にだけ端子を設けた従来方式は、チップ面積が端子を設けるためだけに大型化してしまうため、チップ全面に格子配列の端子を設けた Area array 方式の採用が必須となる。パッケージの小型化ならびに低コスト・高密度実装化を実現するため、Ball Grid Array (BGA) への Flip Chip 接合が期待される。

サブストレートは従来のセラミックスから低コストの有機材料への変更が求められ、要求材料特性には、吸湿性が低い、熱膨張係数がチップのそれに近い、(環境保全のために Pb フリーのはんだを採用するのにともない) ガラス転移点(固体から液体化)温度が高い、などがある。サブストレート上の配線は、接続端子およびファンアウト配線のいっそうのファインピッチ化が必要である。

アンダーフィル材料には接合の機械的強度を確保するための濡れ性、接着性と信頼性保証のための耐湿性の改善が必要である。またチップの発熱量に応じ、放熱にすぐれたパッケージ・実装をシミュレーション・設計する技術や、高密度サブストレートおよびパッケージの品質・信頼性を、プローブを使わない等、信頼性高く試験する方法の開発が求められる。

さらなる小型化には、CSP (Chip Size Package) の Fine Pitch Ball Grid Array (FBGA) への Flip chip 接合技術の確立が求められ、ファンアウト配線のいっそうの微細化が必要となる。

日本の視点

1) ITRS'99 への日本からの input の反映状況

- ・高密度実装技術開発の手順(候補)を提案 (Figure 47)
- ・その他のORTCの数値等、「1999 年日本実装技術ロードマップ」に基づく実装関係のユーザニーズを反映

(8) WG8 Factory Integration

基本ニーズは工場生産性、すなわちコスト低減、変化への柔軟な対応、信頼性 Reliability と有用性 Availability の改善、工期の短縮等の追求である。今回は、半導体製造工程の内のウエーハ処理 Wafer Processing を対象とし、High-volume/high-mix と High-volume/low-mix のラインについて検討した。

検討の前提として、多くの新製品や新技術の導入、プロセスの多様化、大口径ウエーハの導入、自動化や工場システムへの依存性増加、など「複雑さへの対応」がある。これらの前提のうえに、コスト低減と工期短縮との「最適化」と、多世代の製品や規模の拡大に対する「汎用性 Flexibility／拡張性 Extendability」を課題として検討した。

「ファクトリーオペレーション」を全体を統括する概念と位置づけし、製品工期、ライン稼働率などの要求をまとめた。High volume/High mix ラインにおける Technology Node 毎の Mask layer 当たり工期の要求を以下のように設定した。

Technology Node (nm)	180	130	100	70	50	35
Non Hot Lot 工期 (日)	1.8	1.6	1.4	1.3	1.2	1.1
Hot Lot 工期 (日)	0.9	0.85	0.8	0.75	0.7	0.65

次に「工場システム」、「製造装置」、「搬送」、「ファシリティ」を個々の技術分野とした。「搬送」へはダイレクト搬送／枚葉搬送とリアルタイムディスパッチへ要求と検討を行い、100nm Node におけるダイレクト搬送の実現を、「製造装置」には非生産(ダミー、コンディショニング、テスト)ウエーハの削減を求めた。

日本の視点

1) ITRS'99 への日本からの input の反映状況

99年度版については、全体構成から ITRS/STRJ 共同で見直していた。特に、自動化関連については日本側からの提案を基に作成されており、装置／システムに関しても互いに提案し、整合協議によりまとめた。

協議されていない項目として、ファシリティに関しては地域差、日本側の対応メンバ不足もあり、今回の整合協議からは外し、ITRS'99 では注記としてその旨を明記することとした。また、ファクトリーオペレーションの中での解決策としての各評価ツールについては、検討不十分であるが、必要な項目との認識で ITRS'99 の中に取り入れた。

2) ITRS'99 の内容・数値の妥当性

図表を主体として整合しており、記載されている数値については、ITRS 参加メンバー間の協議で各メンバーの平均的な要求値を取っており決めたが、裏付けが十分とは言えず、今後も引き続き定期的な見直しが必要と考えている。日本版 RM のまとめに関して、図表内容は ITRS'99 のものを使用し、本文並びに補足説明に日本独自の内容を盛り込んだ。

(9) WG9 ES&H

Chemicals Materials and Equipment Management は、技術者に新化学物質や新材料の使用以前にそれらの ESH に関する情報を提供し、新技術や新製品の完成後に ESH 問題が発生することを防ぐ。

Climate Change Mitigation は、半導体工場や設備等での使用エネルギーを削減し、更に地球温暖化効果の大きい物質の排出を削減する。

Worker Protection は、工場、設備、保護具、教育・訓練等を発展させて安全と健康を確保する。

Resource Conservation は水・エネルギー・化学物質・材料等の使用料を削減し、有害物質の代替物質を開発し、産業廃棄物の再資源化を促進する。

ESH Design and Management Method は、ESH に関し最も負荷の少ない材料とプロセスを決める方法論を確立する。

特に 70nm 以降においては、プロセスに新化学物質を使用する可能性が高まるので、これらを総合的に評価し、環境負荷情報を迅速に提供する方法論の確立が必要である。また、気候変動や資源保護に対する社会的な要請がより強化されるため、環境負荷の少ない代替物質やリサイクル技術の確立が必要である。

WG9 日本の視点

1) ITRS'99 への日本からの input の反映状況

ESH は横断技術であり、他の要素技術(FEP,配線その他)において関連する内容が多くある。日本からは、ロードマップの構成上、読者に対しその関係が明確に理解されるよう、ESH の章の後半に各要素技術に関連する内容を記載するよう提案し、採用された。

また、Scope, Difficult Challenges, ESH Technology Requirement and Potential Solutions 部分のテキストは、ほぼ日本側が記述した内容である。

2) ITRS'99 の内容・数値の妥当性

記載内容、数値については ITWG において協議の結果決まったもので、見解の相違もかなりあったが、最終的には合意に到ったものである。但し目標数値の裏付けについては、今後引き続き検討する必要がある。

(10) WG10 Modeling & Simulation

Modeling & Simulation のニーズは開発効率の向上、生産効率の向上である。プロセス、デバイスの電氣的動作、熱的ダメージ、信頼性等を理論モデルに基づき計算し、プロセス／デバイス／回路を効率よく最適化する。それによって、130nm Node において 25%、100nm Node において 35%のコスト削減を可能とする。

微細化に伴い、100nm までに、従来モデルの高性能化に加えてリソグラフィ、エッチング、CVD 等のプロセスに対する新たなモデル開発が必要となる。プラズマ、ウェーハ表面での反応、レジストの露光・現像反応等の複雑な反応の解明が必要である。計算精度や時間を向上するために、グリッド(メッシュ)発生や数値計算アルゴリズムの開発も必要である。

100nm 未満では新しく導入されるゲート材料モデルや絶縁物の誘電率、極めて薄いゲート絶縁膜のトンネル現象や信頼性等の予測技術が要求される。ナノメータデバイスでは量子効果や不純物原子の分布が離散的になる効果が顕著になるため、原子レベルでの正確なモデル化が必要となる。

解決策としては、100nm 以上では物質を連続体と仮定したモデルが主であったのに対し、原子レベルでの正確な物質の振る舞いや材料特性の予測のために、原子や電子を粒子として扱うモンテカルロ法等の離散モデルや、量子力学を土台として原子の振る舞いを直接計算する第一原理計算により経験的なパラメータを極力排した計算を行うことが挙げられる。

日本の視点

- 1) ITRS'99-2ndドラフトへの日本からの input の反映状況
- 2) ITRS'99-2ndドラフトの内容・数値の妥当性

米側が項目をリストアップし、日本側はその項目を加減修正(例:「TCAD」によるコスト削減)した上で各項目の数値を供給した。

従って出来あがった ITRS'99 には当方の意図を全て反映した。

(11) WG11 Metrology

180 nm node においても、デバイス製造工程で要求される検査スピードと精度を考えた時、メトロロジは多くの検査対象について、現存する検査手段の能力限界に達している。

130 nm node ではデバイス構造の微細化や微細化に伴って発生する高アスペクト比化に対応することが主なニーズであり、180nm node に引き続いての課題である微細構造や高アスペクト比構造での高解像度観察、ドーパントプロファイルの高空間分解能計測に加え、極薄ゲート酸化膜・極薄容量絶縁膜の高精度膜厚測定が Difficult Challenges である。

100nm node ではパターン微細化の推進を図ることが主なニーズとなり、ウエーハパターン、マスクパターンの寸法およびパターン位置を高精度に測定することが課題となる。

一方全 node を通して、プロセス材料およびコンタミネーションをさらに精密に制御することが必要となり、微粒子や微量不純物の高感度検出が課題である。また、精密にプロセスを制御するために、高性能なプロセス監視センサーやモニターの開発が求められる。

日本の視点

1) ITRS'99-2ndドラフトへの日本からの input の反映状況

- ・微粒子検出感度:Dense Line を基準とする提案が了解され修正された。そして、Minimum Particle Size for Compositional Analysis には on dense line の注記が加えられた。
- ・微量金属検出感度:プロセス許容値は総量であるが、検出に関しては各々の元素に対する数値を記載する。そのことが明確になるような記載方法に変更された。
- ・寸法測定:Measurement Bias の意味を欧米がパターン形成工程依存性との理解をしているのに対し、日本では装置間差に関連と理解されることが多い。脚注を付記するように求めたが、反映されなかった。
- ・on-line という表現に対して、データの自動処理と混同され易いため、on-machine を提案したが、結論は出なかった。

2) ITRS'99-2ndドラフトの内容・数値の妥当性

特に、妥当性を欠く箇所はない。

(12) WG11 Defect Reduction

半導体技術の基本指標である歩留まりを高く確保するために、欠陥低減はどの Node においても共通の永遠の課題である。

Node が進むにつれてデバイスの複雑さが増し、欠陥源を突き止めるために解決しなければならないデータ量は 180 nm Node に対して 50 nm Node では 80 倍にもなる。このため欠陥検査装置に対する要求を始め、欠陥を解析するシステムに対する要求は厳しさを増し、欠陥低減は更に困難な課題となっている。

従来方式の UV 光を用いたパターン付きウエーハの欠陥検査装置の検査速度は 130 nm node から既に量産時の要求に達しなくなる。高アスペクト比パターンの欠陥検査を行える検査装置もなく、欠陥の分類速度や扱える欠陥数、元素分析の速さも不十分であり、欠陥源の同定が極めて困難な状態になる。欠陥低減要求に合致するような新たな欠陥検査装置の開発が急務である。

日本の視点

1) ITRS'99-2ndドラフトへの日本からの input の反映状況

- DRAM の Defect Budget は、セル部のリダンダンシーを考慮し、周辺(チップの 35~40%)部分だけを計算の対象とすることになった。

2) ITRS'99-2ndドラフトの内容・数値の妥当性

特に、妥当性を欠く箇所はない。

以上