

第 1 章 IRC (国際ロードマップ委員会)国際活動と STRJ 国内活動

1-1 IRC (国際ロードマップ委員会) 国際活動

1-1-1 はじめに

ITRS (International Technology Roadmap for Semiconductors, 国際半導体技術ロードマップ)は、欧州、日本、韓国、台湾、米国の世界5極の専門家によって作成されている。日本では、社団法人 電子情報技術産業協会(JEITA)に半導体技術ロードマップ専門委員会(STRJ)が設置されており、この委員会で議論された結果は ITRS の編集に反映されている。半導体技術の急速の進歩に対応するため、ITRS は 2 年に 1 回のペースで新版を公表し、その間の年に改訂版(改訂部分のみをまとめた資料、Update)を公表するのを恒例としている。2004 年 11 月 30 日と 12 月 1 日の ITRS 東京大会で改訂内容を確定するとともに、改訂の概要を記者会見で発表した。2003 年版、2004 年改訂版とも、ITRS のウェブサイトからその全文にアクセスできる。また、STRJ のウェブサイトには改訂の特徴についての概要説明が掲載されている。これらウェブサイトの URL は下記の通りでありご利用いただきたい。

ITRS ウェブサイト: <http://public.itrs.net/> , STRJ ウェブサイト: <http://strj-jeita.elisasp.net/strj/>

1-1-2 今回の改訂の特徴

今回の改訂版(Update 2004)は、ITRS の各ワーキンググループでの議論を反映させる形でデータの修正、誤りの訂正、新規の追加などを行い、変更箇所ごとに変更前後の内容を対比する形で編集された。2003 年版に含まれる 219 の表のうち 128 を改訂し、新たに4つの表を追加した。さらに、12 の図が改訂された。また、2003 年版の表では、2011 年、2014 年、2017 年に対応する欄が欠けていたが、今回の改訂では、これらの年に対応する欄を追加し、2003 年から 2018 年までの各年のデータが記載されている(図表 1-1)。

生産開始年	2003	2004	2005	2006	2007	2008	2009
技術ノード		hp90			hp65		
DRAM ハーフピッチ (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ハーフピッチ (nm)	120	107	95	85	76	67	60
MPU/ASIC Poly Si ハーフピッチ (nm)	107	90	80	70	65	57	50
MPU リソグラフィ後のゲート長 (nm)	65	53	45	40	35	32	28
MPU 物理的ゲート長 (nm)	45	37	32	28	25	22	20

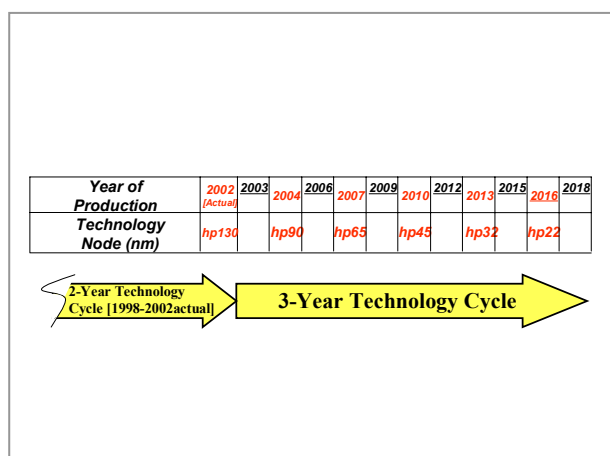
生産開始年	2010	2011	2012	2013	2014	2015	2016	2017	2018
技術ノード	hp45			hp32			hp22		
DRAM ハーフピッチ (nm)	45	<u>40</u>	35	32	<u>28</u>	25	22	<u>20</u>	18
MPU/ASIC Metal 1 (M1) ハーフピッチ (nm)	54	<u>48</u>	42	38	<u>34</u>	30	27	<u>24</u>	21
MPU/ASIC Poly Si ハーフピッチ (nm)	45	<u>40</u>	35	32	<u>28</u>	25	22	<u>20</u>	18
MPU リソグラフィ後のゲート長 (nm)	25	<u>22</u>	20	18	<u>16</u>	14	13	<u>11</u>	10
MPU 物理的ゲート長 (nm)	18	<u>16</u>	14	13	<u>11</u>	10	9	<u>8</u>	7

図表 1-1 ITRS の技術ノード一覧(下線部は今回の改訂で追加された部分を示す)

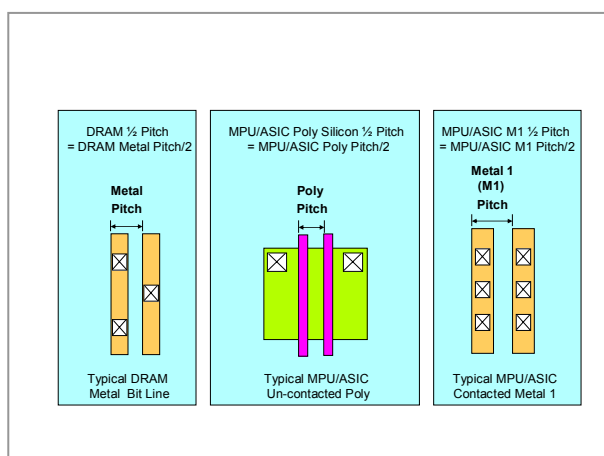
改訂箇所は多数にのぼるが、各技術ノード(Technology node)の生産開始年のトレンドは 2003 年版と同じである。図表 1-2 に示すように、2004 年には DRAM のハーフピッチ(配線のピッチの半分)が 90nm の製品が量産開始となり、以後、ハーフピッチは 3 年ごとに 0.7 倍というペースで縮小していく。

ロジック集積回路の技術ノード呼称については、ITRS の定義と、各社のプレスリリースや学会発表で使われているもの(本稿では、仮に、「商用ロジックノード」と呼ぶことにする)とが異なり、混乱を与えている。ITRS では「商用ロジックノード」については規定していないが、「商用ロジックノード」の 90nm、65nm、45nm は、ITRS の表では、おおむね、2003 年、2005 年、2007 年に相当する。

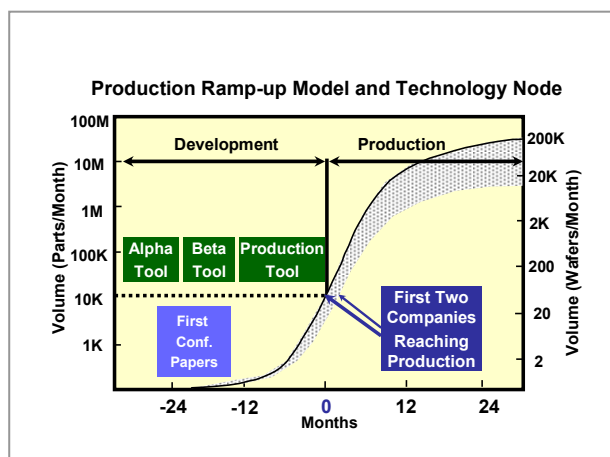
ITRS では技術を代表する典型的製品として DRAM をとりあげ、DRAM のハーフピッチで技術ノードを定義している。DRAM および MPU/ASIC のハーフピッチは図表 1-3 のように定義されている。生産開始年の定義は、図表 1-4 に示すように、先行 2 社の生産数量が月産 1 万個を超えた年である。



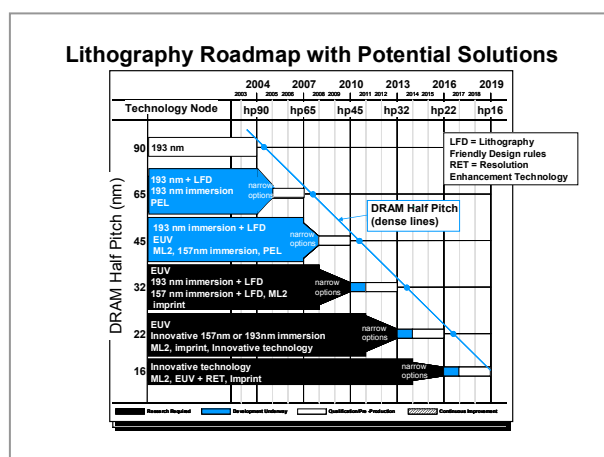
図表 1-2 技術ノードのトレンド



図表 1-3 ハーフピッチの定義



図表 1-4 ITRS における生産開始年の定義



図表 1-5 リソグラフィ技術の候補

1-1-3 リソグラフィ

193nm 波長 (ArF エキシマレーザーの波長) のドライまたは液浸リソグラフィ技術が 65nm、45nm の技術ノードで使われ、32nm、22nm でも使用される可能性がある。2003 年版の ITRS では、157nm 波長 (F2 エキシマレーザーの波長) のドライのリソグラフィ技術が 65nm ノードの候補技術となっていたが、2004 年版では、65nm ノードの候補からははずれ、使われるとしても 45nm ノード以降に液浸技術との組み合わせとして技術候補にあがっている。ITRS では、193nm 波長のリソグラフィ技術が使われる可能性が高く、157nm 波長のリソグラフィ技術が使われる可能性は低くなった。EUV リソグラフィは 45nm、32nm、22nm で 193nm リソグラフィの対抗技術とな

る。図 1-5 に各ノードでのリソグラフィ技術候補の一覧を示す。

また、CD(重要寸法:Critical Dimension)制御と LER(Line Edge Roughness)の問題がクローズ・アップされた。寸法ばらつき(3σで定義)を 4nm 以下に制御することは、現在の技術水準では困難で、90nm ノードおよび将来のノードの表では、欄が赤く塗られている。これは、「製造可能な解が見つかっていない」ことを示している。この現実に対処するかについては ITRS の委員の間で議論されており、その結果は 2005 年版以降に反映される予定である。

1-1-4 フロントエンドプロセス

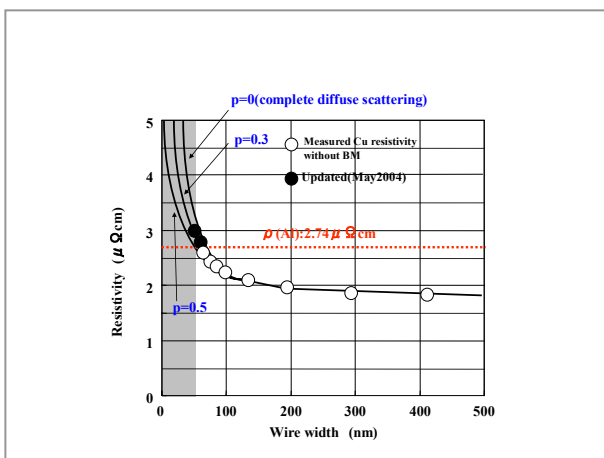
2004 年 Update(改訂版)では 450mm ウェーハの導入は 2011-2015 年となっているが、まだコンセンサスは得られていない。2012 年前後に 300mm から 450mm への移行が始まると予想されている。先端製品には Si に歪を加える技術も利用されはじめている。High k ゲート絶縁膜は予定に近い開発状況である。2003 年版では FeRAM(強誘電体メモリ)の表の一部に誤りがあり、これを訂正しました。2004 年の FeRAM の集積度は 64Mビットになっておりますが、これは大量生産されたものではなく、技術的には試作のトレンドを示しています。注を追加してこの旨を明記しました。

1-1-5 配線技術

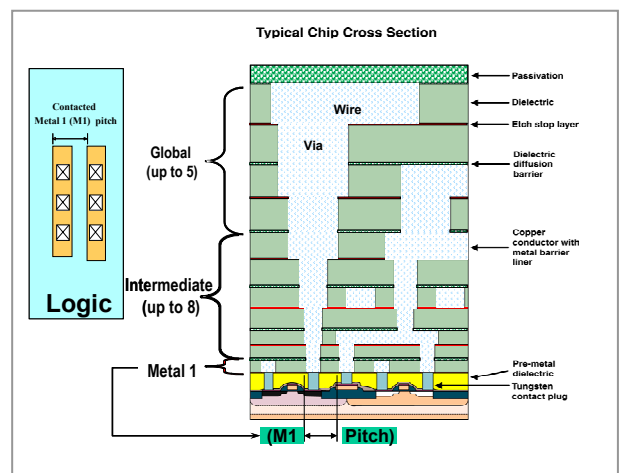
ロジック集積回路において、銅(Cu)配線の層間絶縁膜の実効比誘電率 k_{eff} として 3-3.5 の材料が実用化されている。実効比誘電率 k_{eff} が 3.0 以下の材料は Low-k 膜と呼ばれている。現在、 $k_{eff} \sim 2.7$ が実現可能な領域に入った。実効比誘電率 k_{eff} の小さい材料は機械的な強度が弱く、これが課題となっている。2004 年改訂版では Low-k 技術への要求と比誘電率の値(材料自体の比誘電率 k 、実効値 k_{eff} と)は 2003 年版と同じである。従来、ITRS により小さな誘電率 k の値を記述し、実現不可能となって、改訂ごとに k の値をより大きな値に修正するというを繰り返してきたが、 k の値を変更しなかったのは、過去 10 年来初めてである。これは、2003 年版の数字が妥当であったこと示している。

今回の改訂では、Cu 配線の幅の微細化とともに、配線の抵抗がどのように変化するかを、モデル化した(図表 1-6)。モデルは実測をよく再現している。配線幅の現象とともに、電子が配線の界面で散乱する効果も顕著になり、配線抵抗が増大する。

また、ロジック集積回路における第一層配線(M1)の定義を図表 1-7 に示すように定義することにより、明確化した。



図表 1-6 銅(Cu)配線の幅と抵抗率の関係

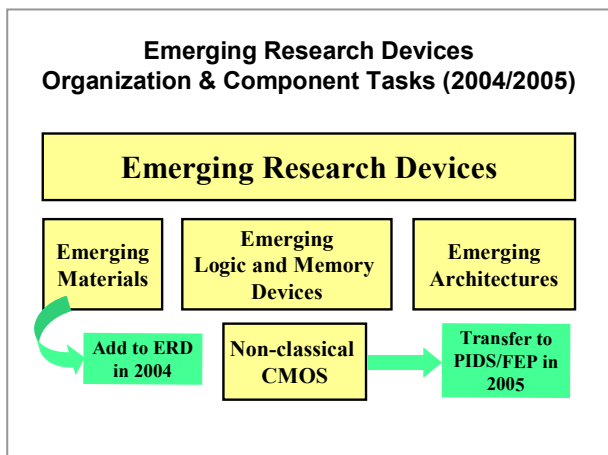


図表 1-7 多層配線の断面構造とM1配線層の定義

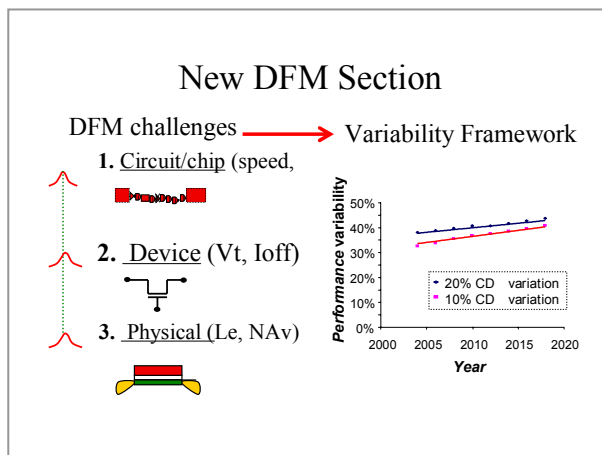
1-1-6 PIDS と ERD

PIDS (Process Integration, Devices, and Structures、プロセスインテグレーション、デバイス、構造)の章の改訂は小規模なものにとどまっている。ERD (Emerging Research Devices、新探究素子)の章に ERM (Emerging Research Material、新探究材料)の節を追加し、記述を一新した。

来年に向けて、PIDS と ERD の分担を変える方向で検討が進んでいる。2005 年版では図7のように、Non-Classical CMOS (CMOS のトランジスタではあるが、従来とは異なる構造をもつもの、Fin-FET など)は、実用化時期が近いことを考慮して、PIDS にまとめる予定である。



図表 1-8 ERD と PIDS の内容の変更。
2004 年の改訂と 2005 年の予定



図表 1-9 DFM(製造のための設計)における
ばらつきのモデル

1-1-7 設計技術

設計 (Design) の章では、製造のための設計 (DFM, Design for Manufacturability) を新規に書き下ろした。集積化回路を (1) 回路・チップ、(2) デバイス (MOS トランジスタ)、(3) 物理的構造 (ゲート長や不純物濃度) の 3 階層に分け、下位階層のパラメータのばらつきが上位階層のパラメータばらつきにどう反映されるかをモデル化し、製造ばらつきに強い回路・チップを設計しようという試みである。図 1-9 に、その概念を示す。

1-1-8 まとめと今後の課題

以上概観したように、今回の改訂により、ITRS の内容が最新のものとなり、現実の技術トレンドをより正確に反映したものになっている。本稿では、紙数の関係もあり、一部の章の概要紹介をすることとどめているが、各 WG (ワーキンググループ) の活動の詳細については次章以降を参照されたい。

2005 年版の作成に向けた議論がすでに始まっており、2005 年 12 月には公表の予定である。JEITA の半導体技術ロードマップ委員会でも、次回の ITRS がより正しく技術ロードマップをとらえたものになるよう議論を重ねている。

1-2 STRJ 国内活動 (STRJ ワークショップ報告)

1-2-1 概要

2004 年度の国内ロードマップ活動の期末報告として、STRJ 会員企業 11 社、コンソーシアム、大学関係者他を対象に、2005 年 3 月 3 - 4 日の 2 日間にわたり、フロラシオン青山にて STRJ ワークショップを開催した。第 1 日の全日と第 2 日の 3 時までは、「半導体技術ロードマップ専門委員会の部」として ITRS 2004 年版(今回は部分改訂)の紹介と STRJ 国内活動の成果を報告した。第 2 日の 3 時からは「半導体・技術開発の経済性検討委員会の部」として活動の成果を報告した。なお「経済性検討委員会の部」は、日頃御議論いただいている半導体産業研究所(SIRIJ)および一橋大学イノベーション研究センターとの共同開催とさせていただいた。図表 1-10, 1-11 にプログラムを示す。当日の参加者数は、3/3 が 251 名、3/4 が 180 名で、延べ人数 432 名 (昨年は 414 名)と盛況であった。

2005. 3/3(木), 9:00 - 17:00	
STRJ WS 「半導体技術ロードマップ専門委員会」第一部	
『ITRS 2004 Update に見る今後の LSI 技術の方向性』	
9:00 - 9:05 開会の辞	増原 利明 (STRJ 委員長: ASET)
9:05 - 9:10 来賓ご挨拶	藤原 達也 氏 (経済産業省 商務情報政策局 情報通信機器課)
9:10 - 9:30 International Roadmap Committee (IRC) 「ITRS 2004 Update の概要」	石内 秀美 (STRJ 副委員長: 東芝)
9:30 - 10:00 設計タスクフォース 「低電力 SoC のロードマップ - Design for Manufacturing 検討の第 1 歩 -」	浅田 善己 (設計 TF サブリーダー: STARC)
10:00 - 10:40 特別講演: 「ユビキタス・エレクトロニクスに向けた低消費電力設計技術と有機トランジスタ回路」	桜井 貴康 氏 (東京大学教授)
<休憩> (10:40-11:00)	
11:00 - 11:30 設計 WG 「モバイル・プラットフォーム SoC モデルと設計生産性向上のためのポテンシャル解決策」	山本 一郎 (WG1 リーダ: 沖電気)
11:30 - 12:00 テスト WG 「DFT と ATE との更なる融合 - テストコスト削減のためのチップ設計からテストングまで -」	西村 安正 (WG2 リーダ: ルネサステクノロジ)
<昼食> (12:00-13:00)	
13:00 - 13:30 Process-Integration and Device Structures (PIDS) WG 「2005 年版 ITRS 作成に向けて (2003 年版の再考) - 現実路線への回帰 -」	杉井 寿博 (WG6 リーダ: 富士通)
13:30 - 14:10 特別講演: 「Emerging Research Devices - シリコンベースのナノデバイス技術 -」	平本 俊郎 氏 (WG6 特別委員: 東京大学教授)
14:10 - 15:00 Front-End Processes (FEP) WG 「ウェーハ大口径化 - 300mm 化の経緯と 450mm 化に向けての課題 -」	窪田 通孝 (WG3 リーダ: ソニー) 渡辺 正晴 (WG3 特別委員: ニューフレアテクノロジー) 北島 洋 (WG3 NEC: エレクトロニクス)
<休憩> (15:00-15:20)	

図表 1-10a 3/3 の STRJ ワークショッププログラム(1/2)

<休憩> (15:00-15:20)

15:20 - 16:00 特別講演: 「Technical Issues for the Future Silicon Wafers」

高田 清司 氏 (信越半導体顧問)

16:00 - 16:30 モデリング/シミュレーション WG 「M&S 技術でバラツキ問題にどう応えるかーモデルへの要求精度から見た MOSFET 特性へのバラツキの影響ー」

和田 哲典 (WG10 リーダ: Selete)

16:30 - 17:00 実装 WG 「半導体パッケージの高密度実装化」

春田 亮 (WG7 リーダ: ルネサステクノロジ)

図表 1-10b 3/3 の STRJ ワークショッププログラム(2/2)

2005.3/4(金), 9:00 - 14:50

STRJ WS 「半導体技術ロードマップ専門委員会」 第二部

『ITRS 2004 Update に見る今後の LSI 技術の方向性』

9:00 - 9:30 リソグラフィ WG 「45nm 以降に向けたリソグラフィ技術ーArF 液浸への期待とその後の展開ー」

羽入 勇 (STRJ 委員: 富士通)

9:30 - 10:10 特別講演: 「EUV 露光技術の現状と課題」 寺澤 恒男 氏 (STRJ 委員: ASET)

<休憩> (10:10-10:30)

10:30 - 11:00 配線 WG 「微細 Cu/Low-k 配線の課題」

上野 和良 (STRJ 委員: NEC エレクトロニクス)

11:00 - 11:30 メトロロジ/歩留向上 WG 「ウェーハ環境汚染制御ー信頼性と歩留まりを制するもの、それは「汚染制御」ー」

津金 賢 (STRJ 委員: 日立)

11:30 - 11:50 リソグラフィ/メトロロジ クロスカット活動報告 「LER/LWR 計測の標準化ー65 nm 以降のデバイスパフォーマンスの決め手ー」

藤井 眞治 (WG11 委員: 松下)

<昼食> (11:50-13:00)

13:00 - 13:40 故障解析技術タスクフォース 「故障解析 TF 活動報告 2004 年度」

二川 清 (故障解析 TF リーダ: NEC エレクトロニクス)

益子 洋治 (STRJ 委員: ルネサステクノロジ)

13:40 - 14:00 ファクトリインテグレーション WG 「能動的な工場の可視化」

本間 三智夫 (WG8 リーダ: NEC エレクトロニクス)

14:00 - 14:40 ファクトリインテグレーション/ES&H クロスカット活動報告 「見える管理の出来る工場の ES&Hー省エネルギーの検討ー」

矢島 比呂海 (WG8 委員: 東芝)

14:40 - 14:50 ES&H WG 「半導体製造プロセスに沿った環境負荷の定量評価例ーJEITA 標準 180nm ロジックプロセスの LCA 評価結果ー」

青山 純一 (WG9 リーダ: ソニー)

<休憩> (14:50-15:10)

図表 1-11a 3/4 の STRJ ワークショッププログラム(1/2)

<休憩> (14:50-15:10)	
3/4(金), 15:10 - 17:40	
STRJ WS 「半導体産業・技術開発の経済性検討小委員会」の部 (協賛) 一橋大イノベーション研究センター、半導体産業研究所(SIRIJ)	
15:10 - 16:00 「元気になる原価管理 –ソフトのニーズ・会計原理の拡張–」	尾畑 裕 氏 (一橋大学教授)
16:00 - 17:00 「元気になる原価管理システム紹介」	尾畑 裕 氏 (一橋大学教授)
17:00 - 17:30 「元気になる原価管理システムのデモンストレーション」	加藤 隆之 氏 (一橋大学 尾畑ゼミ学生)
17:30 - 17:40 総括	開 俊一 氏 (STRJ 諮問委員会 委員長)

図表 1-11b 3/4 の STRJ ワークショッププログラム(2/2)

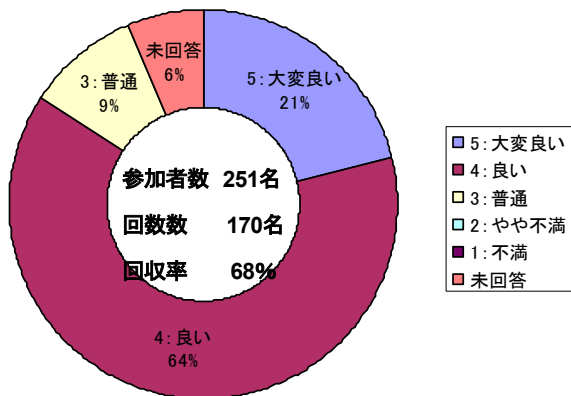
1-2-2 アンケート集計結果

ワークショップでは、日頃の STRJ 活動に対する参加者の皆様のご意見を収集すべくアンケート調査を行った。回収率は初日が 68%、2 日目が 73%であった。以下に集計結果を述べる。

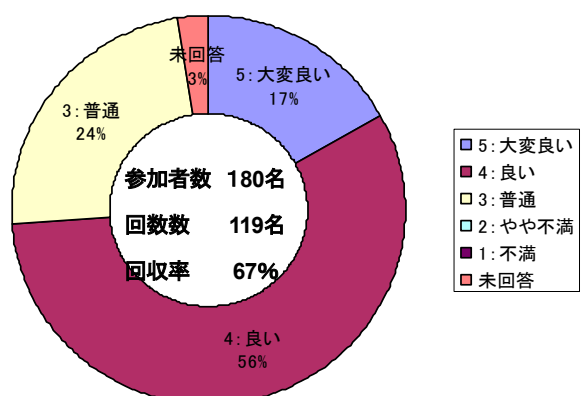
(1) ワークショップの全体的評価

「半導体技術ロードマップ専門委員会の部」については、図表 1-12、1-13 に示すように、全体的評価として「大変良い」と「良い」の合計は初日が 85%、2 日目が 73%であり、おおむね好評という結果であった。ちなみに昨年の評価結果では、初日が 84%、2 日目が 78%であり、例年と同等のご評価をいただいたと言える。

0303「半導体技術ロードマップ専門委員会」
第1部についての評価

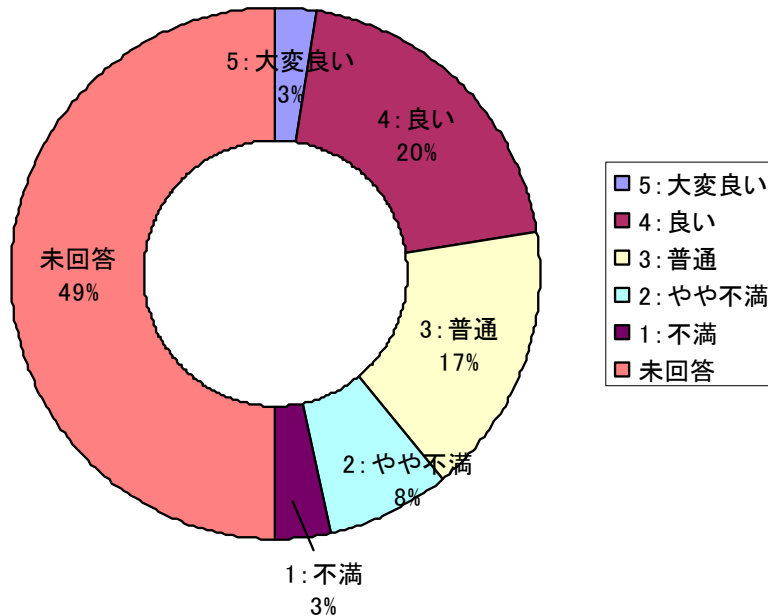


0304「半導体技術ロードマップ専門委員会」
第2部についての評価



図表 1-12 「半導体技術ロードマップ専門委員会の部」の全体的評価

一方、「半導体産業・技術開発の経済性検討委員会の部」については、「大変良い」と「良い」の合計は 23% であり、これに「普通」を含めても 40% という結果となった。しかし未回答が 49% と多いこと、発表内容が原価管理であり半導体技術とは分野が異なっていることから、聴講された方々にとってはどのように評価したら良いかの戸惑いがあったように見受けられた。ご意見の中には、「基本システムとして、雛形として期待できそう」と評価される方もおられ、会員企業の計画部門の方による評価を期待したい。なお、この基本ソフトは 7 月頃に会員企業 11 社に配布する予定であり、在庫低減や TAT 改善などの活動とコストとの関係が見える管理システム構築に役立てていただければ幸いである。



図表 1-13 「半導体産業・技術開発の経済性検討委員会の部」の全体的評価

(2) 評価の高かった講演

今回のワークショップでは、昨年と同様に各ワーキンググループの報告に加えて技術分野ごとに特別講演を入れたことが好評であった。好評だった講演のトップ 5 は以下の通りであった(3 と 4 は同数)。

- 1) 特別講演：「ユビキタス・エレクトロニクスに向けた低消費電力設計技術と有機トランジスタ技術」
桜井 貴康 氏 (東京大学教授)
- 2) 特別講演：「Emerging Research Devices –シリコンベースのナノデバイス技術–」
平本 俊郎 氏 (WG6 特別委員：東京大学教授)
- 3) 設計タスクフォース：「低電力 SoC のロードマップ –Design for Manufacturing 検討の第1歩–」
浅田 善己 氏 (設計 TF サブリーダー：STARC)
- 4) 特別講演：「Technical Issues for the Future Silicon Wafers」
高田 清司 氏 (信越半導体顧問)
- 5) リソグラフィ WG：「45nm 以降に向けたリソグラフィ技術 –ArF 液浸への期待とその後の展開–」
羽生 勇 氏 (STRJ 委員：富士通)

(3) アンケートで寄せられた意見

3/4, 3/5 のワークショップでは、以下に記すようにたくさんのご意見が寄せられた。今後の活動を進める上で貴重なご意見であり参考とさせていただきます。アンケートに回答していただいた方々に感謝を申し上げます。

<p>設問 3(3/3):半導体技術ロードマップ活動についてのご意見をお聴かせ下さい。</p> <p>[肯定的]</p> <ul style="list-style-type: none"> ・テクノロジー開発のドライバとして重要度・影響は大きいと思う。成果に大いに期待している。 ・オープン性、専門性ともに非常に良いと思います。今後も積極的に参加させて頂きたいと思います。 ・微細化に伴うバラツキの増大へ課題提起とDFMの取組みについて、RMへの反映は今後さらに必要になると思います。 ・特別講演は印象が強かった。テーマ設定が良かった。 ・技術課題とターゲットについて明確になり大変有意である。日本の産学官連携でのベクトル合わせの機会にもなると考える。 ・全般にわたり、背景・動向がまとまって得られる機会であり、非常に役立っている。 ・役に立つ。 ・ES&H WGに参加させてもらっていますが、WGの多い事又内容の深い事におどろきました。 ・日本発のメッセージを出す機関として重要な役割を果たしている。 ・半導体を作るには装置技術等がそろっていないと出来ないの目標の明確化は極めて重要です。これからもよろしくお願いします。 ・業界全体の問題点、課題を共有化できるよい機会である。 ・種々の分野の動向が良くわかり、良いと思います。 ・設計 WG の設計生産性向上などについて新たなクロスカット活動の可能性を見い出すことができた。 ・これからも日本の半導体戦略にマッチした提言をしていって頂きたいと思います。 ・有意義である。 ・必要。是非盛り上げるべきと思います。 ・技術の流れが見える試みなので継続して頂きたい。 ・各分野での成果が確認でき、有意義であった。 ・有意義な活動であると認識している。 ・日本の技術動向を把握することができる点で非常に有益です。今後の活躍を期待します。 ・技術動向がよく見えます。 ・今の様な活動で充分有益だと思います。 ・今後も継続して日本の半導体の活性化に寄与して下さい。 ・重要な活動と思われる。 ・今回は前回指摘されたばらつきモデルを加えることでより現実的なロードマップに近づいてきたと感じた。 ・今後も継続的に活動し、若い技術者が参加できる場として行く必要があると考える。 ・最先端技術の動向を知る良い機会である。継続して欲しい。 ・企画準備ありがとうございました。コーヒーも準備していただいて非常によかったです。発表者の方がもう少し発表時間を守っていただければさらに良かったと思います。 ・初めての参加ですが、スクリーンも大きく、わかりやすかった。 ・全体的な将来の方向性がわかり、大変良かった。 ・回を重ねる毎に充実した内容となってきたと感じる。特別講演は今後も続けていってほしい。 ・特別講演はどれも素晴らしいものだった。今後も続けてほしい。 ・3テーマの特別講演は非常に興味ある内容で良かった。 ・WGと特別講演の内容がリンクしていてわかりやすい。 ・内容の濃いワークショップでたいへん勉強になりました。準備・運営にあられた皆様に感謝申し上げます。 ・本ワークショップが定着してきていると思う。質疑応答が少ないということが言われているが、部分的技術領域で開くのではなく、半導体技術全般を通して聞けることそのものに意義があると考えます。 ・高頻度、継続的なアップデートであり有意義。 ・今後も推進していただきたい。 ・良いので、今後も継続してほしい。 ・特に問題はなかったと思われず。 ・良い。 ・良好。質問が例年より少ない気がする。 <p>[否定的]</p> <ul style="list-style-type: none"> ・設計 WG とテスト WG は不要ではないか？ 今の内容ではロードマップを描く意味がない。 ・技術動向の共有化という意味で有用であると思う。但し、単なる外挿や未検討の予測は意味がないと思う。 ・ITRSにどう働きかけるかが必ずしも明確でない気がする。WGによっても違う感じがしていて、ITRSを変えようという意志のなさそうなWGも有りそう。変えようとしていないのであれば人と時間をさきすぎるのでは？
--

- 90nm以降は現実と離れた感があり、何のためのロードマップか？ 日本としてロードマップのあり方の議論が必要ではないか。
- もう少し突っ込んだ議論が必要。各WGでの問題点を広く発表するのではなくpriorityの高い内容に対して十分な議論が必要。

[意見・要望]

- ロードマップ自体は有効でよいと思うのですが、それぞれのWGで出した結論の整合性がとれているのか？(同じ方向を向いているのか?)などが分からなかった。全体総論のスライドがあってもよいと思う。
- 技術分野毎のWG以外に横断的な技術/製品を検討する組織も必要だと思う。
- 年度課題(サブテーマ)を設定して、ソリューションを検討するというアプローチが全WGで行われるようになれば、さらに活発になると思います。
- ITRSの活動はIBM, Intel主導の感は否めない。日本の半導体産業界としては、台湾・韓国・中国の動向にもっと注目し、対アジア戦略として官も含めた実行が必要ではないか。官は経済省はビジョンに欠け、頼りにならない。産業界としては、将来を見て大学の力を活用することに更に力を入れるべきではないか。
- 初めて参加しての印象なので的はずしているかもしれないが、STARCなど専任の方の発表は得るところが多々あるが、一部の設計関連WGの発表は地に足がついていない。発散している。日本の半導体産業の発展のために是非、具体的な成果につながるロードマップを出していただきたい。
- 課題指摘のロードマップと併せて解決への活動につなぐインターフェース機能強化を望む。
- 商業ベースの実態とロードマップとの整合性を取る活動の強化をお願いいたします。 ex.ノード定義の不一致、混乱など。
- 内容ももう少しつっこんだ議論が必要。各WGでの問題点を広く発表するだけでなく、priorityの高い内容に対して十分な議論が必要
- モデリングシミュレーションについてさらに力を入れる必要がある。実装の遅れが目立つ。
- SoCとDFTについてももっとくわしい説明が聞きたい。
- ロードマップのキーワードに関連した特別講演が充実しており、内容も興味深く印象深かった。今回はUpdateの年なのでそれぞれのWGの活動はSTRJとしての活動の話が中心であったが、どれだけITRSへの反映できるか、発信できるかを知りたいと思う。
- 設計関連の活動が不十分の印象。STRACをよりInvolveしてはいいか？
- コスト的側面からの将来動向分析が必要ではないか？(例えば、リソ、ウェーハ大口径化)。大半の国内半導体メーカーのように多品種少量生産のビジネスとDRAMのようなビジネスを分けて考える必要があると感ずることが多かった。
- 今後も発展させて、確度の高いロードマップを提示いただきたいと存じます。ウェーハプローピング技術(プローブカードを含む)やソケットなどの治具類はどのWGに含まれるのでしょうか？(組立ができてプローピングできないと困ります)
- 全般に亘って、具体的に課題が述べられていて理解し易かった。以前と比較して全般に亘って非常に良かったと思います。微細化限界に近づいていることを強く感じましたので、低消費電力化が今後の一つの方向性のように思います。
- サブから設計まで壁が厳しいことを実感。従来のロードマップ活動だけではなく、いろいろなWGを複合したトータル活動が重要か？
- 精度の高い見通しを示す活動は評価されるが、一方スケールリング則以上の性能向上を提案することはSiの寿命を自ら短命化することにならないか？ 戦略的提案(LSIの実用化時期に合わせた)が重要と考える。
- LSIとして実現する上で、バラツキの問題が大変大きくなる。寸法・膜厚・不純物分布などの要因別に技術の見直しを含めた解決策の提示が必要と考える。
- RM活動についての業界としての基本戦略はどこにあるのか。活動の意義をPR、討議することも必要ではないかと思えます。大口径化は戦略テーマとして適当と思えます。
- FEP WGにて450mmウェーハの検討を開始したとの説明がありました。450mm化でチップコスト(製造のトータルコスト)の低減がどの程度見込まれるのか？ 或いはどの程度の低減なら300mm→450mmへの移行が合理的なのか？ 今後の検討課題として頂ければ幸甚です。
- 今後の流れ全体がわかるので大変有益です。昨年のようにITRSの変更があった場合は極めて有効。今年も有益でしたが、今年のようにITRSの変化がほとんど無い時は、もし可能ならIEDMの動きから今後の予測を入れるような内容にするとさらに充実するかも知れない。
- METIの藤原様が冒頭でおっしゃっておられたように、技術的な実現性だけでなくどう使うかが問題だと思います。経済性を考えた出口議論を含めて考えていただきたい。その意味では、WG1, WG6が目標を示しておられたのは良いことだと思います。逆に、450mmに意味はあるのか疑問に感じました。
- 技術ノードの定義の混乱のまとめに強力なリーダーシップを発揮していただきたい。
- 活発な活動を伺い知ることが出来ましたが、欲を言えば日本の半導体技術開発(各社独自、共同)に対するguideline提示を通して日本の競争力強化への貢献に期待しています。
- WGによっては、この1年間に「何にfocusし、どのようなメッセージをまとめたか」が読み取りにくいものあり。より判りやすいプレゼンテーションをお願いする。Technology Nodeに対するSTRJとしてのよりClearな見解を。
- そろそろ品質の問題をクロスカットで実行すべきではないでしょうか

- ・良く活動されているのがうかがえて良かった。ロードマップで示される方向を実現するにはコンソーシアム活動が重要との発信があるのか？ その実行性についてもつつこんで議論されると良い。(大口径Wafer開発では話があったか？)
- ・重要な活動であり、我々の指針となっているので、ますます強化していただきたい。また、STARC等との活動とも多くがリンクするほうが望ましいと思います。解析TFの強化をお願いします。セットメーカーの半導体に対する要望はどうなっていますでしょうか？
- ・業界全体で取り組むべき課題は今後増々増えてくるので、本活動の重要性は今後も変わらないと思う。ただ、WGによっては、活動にばらつきがある様に感じる。焦点を絞った活動で成果を出して欲しい。
- ・設計WG、テストWGについてはもう少し、具体的な中味を紹介してほしい。
- ・デバイスと装置とが連携・協力して課題解決し、半導体産業を盛り上げたい。
- ・ロードマップ変更内容に対する説明を各WG同一Formatで行った方がよいのでは？
- ・半導体を作るには装置・技術等がそろっていないと出来ないのでは、目標の明確化は極めて重要です。これからもよろしくをお願いします。
- ・参加者の平均年齢が非常に高くおどろきました。
- ・今後の技術開発の基礎となるものですので、更に強化してもらいたいです。
- ・もう少し大きい会場だと良い。(椅子席の人を昼食時に移動させない方がよい)
- ・会場が寒かった。資料が新しくなっている部分はSTRJのHP等にUPされるのでしょうか？
- ・会場が暗くてメモがとりにくい。
- ・略語の説明が昨年より増えており評価できるが、資料集最後に一覧表を付けてはどうか。製造装置メーカーの話も適宜入れると興味がわく。(今回はSSIの話が面白かった)
- ・申し込みなしの参加者が多かったのか、席が不足気味であった。昼食不足少々まずかった。事前申し込みの徹底が必要。

設問 4(3/3) : 本日のワークショップ運営全体について、ご意見をお聴かせ下さい。

[肯定的]

- ・とてもよかったです。
- ・大変良いと思います。
- ・タイムキープも良く、好感が持てた。
- ・有効な情報が多かった。
- ・特別講演に若い元気の良い先生をお願いしたのは成功。
- ・特別講演が特に興味深かった。
- ・特別講演がおもしろかった。良い企画だと思います。
- ・特別講演の内容が非常に良かった。
- ・産業界が何を問題にしているかわかり有益であった。
- ・構成および時間配分ともに良かったと思います。
- ・問題なし。
- ・多くの聴衆に対して資料、スライド、マイク等満足できる運営であったと思う。これからはマンネリにならないように工夫が必要であろう。
- ・時間配分もちょうど良く、聴講する事が出来ました。
- ・特別講演はタイムリーなテーマで良かった。
- ・回を重ねて行われていることもあって、特に問題となることは無いと思います。
- ・昼食が足りなくなっても迅速な対応をされていて感心した。
- ・いろいろな話がまとまって聞けて有意義。
- ・大変良いと思います。
- ・中身の濃い発表ばかりで大変参考になりました。
- ・有用だった。
- ・運営、内容、プレゼンすべてよいです。
- ・特別講演は興味深い内容であった。
- ・まったく問題ありません。
- ・大変勉強になりました。ありがとうございました。
- ・特別講演がよかった。今後もタイムリーな講師をお願いすることで、各WGからの活動に終わらない、メリハリのあるワークショップに出来ると思う。
- ・良好な運営をされているように思います。

[否定的]

- ・発表者資料の当日差し替えはやめてほしい。

- ・2日連続参加は厳しい。
- ・会場が狭い。(参加者数に比べ)
- ・席がせまく聞きにくかった。
- ・会場がせまい。原稿の差し替え(最終版)がうまくいかなかった。
- ・資料にのっていないFileがあるのはかんべんして欲しい。追加されたFileが重要であるものが多い。
- ・ウェーハ大口径化を3人で報告したのは冗長であると感じた。
- ・全部聴けなかったが、凹凸がある。もっと全体のパースペクティブが見える説明にならないのか(素人だからか?)

[意見・要望]

- ・各WGの発表内容、構成をもう少し揃えるようにした方が聞きやすい。
- ・大学関係者の参加をもっと増やした方がよい。
- ・初めて参加しましたが思ったより有効な情報が得られて満足です。もう少し座れる席があり、それから電源(パソコン用)が近くにあるとうれしいかもしれません。
- ・会場が狭いので対策をお願いします。準備運営など大変ご苦労様でした。可能でしたらプレゼン資料のCD配布(後日で構いません)をして頂きたい。
- ・関西から来ると9:00スタートは困る。9:30にして欲しい。
- ・開始を9:30までおくらせてほしい。遠方からだと間に合わない。
- ・追加、変更資料の別配布をお願いします。
- ・Q&Aをより活発化する工夫が欲しい。時間を十分取る、質問者(さくら)を用意しておく。etc.
- ・部屋が少し寒い!
- ・テストと故障解析など関連あるWGは続けてやっていただけるとありがたいです。ちょっと部屋がせまかったように思います。昼食数が不足したのは意外でした(ふつうは余るのでは?)。
- ・会場の温度が個人的には寒く感じます(毎年感じます)
- ・質疑の時間がもっとあった方が良いと感じた。
- ・少し会場がせまい感じ。
- ・スライド等の略語、用語について、ハンドアウトに解説がほしい。
- ・他極(海外)と日本の活動の違いを説明していただきたい。この1年の進捗度をわかり易く説明いただきたい。

設問3(3/4 ロードマップ):半導体技術ロードマップ活動についてのご意見をお聴かせ下さい。

[肯定的]

- ・ロードマップを決めた背景や技術の現状の説明があり、参考になりました。決めた数字より、根拠等の説明の方が重要です。今後もワークショップ等で積極的に開示をお願いします。
- ・日本発のメッセージを出す機関として重要な役割を果たしている。
- ・日本の半導体業界の動向がよくわかった。大変勉強になった。
- ・装置メーカーとしての今後考慮すべき内容が提示された様に思います。
- ・バックデータがわかりやすくなった。
- ・将来への技術指針を与えるとても意義深い活動であり、今後も世界をリードするRMの作成に努力していただきたいし、私自身もWGメンバーとして努力を惜みずに進めていきたい。
- ・業界を底上げする活動の実態を少しは理解できました。
- ・技術動向と考え方が良くわかり、非常に参考になった。
- ・幅広い半導体技術の動きを知ることができ、ためになりました。
- ・業界の発展の方向性を発信する重要なものと思う。
- ・大変良い方向性を示していると思います。一部の発表で具体的話が多々盛り込まれ実に良い。
- ・今後も是非活発に活動をお願い致します。
- ・故障解析はよくまとめられている。興味深い。
- ・地道な活動ですが、頑張ってください。特にWECC。
- ・動向を知るに最適。
- ・出版物としての「ロードマップ」を理解する為、大いに役立っている。又、どの位裏打ちされたデータか良く分かる。
- ・環境への対応を本気で行わなければならないと強く意識することができました。

[意見・要望]

- ・Slideにおいて略語が多すぎる。M&S,ML2,CD,RM……
- ・産業は人が基本であるが、最近の半導体産業界の現状を見るとエンジニアの心持ちや動向が心配である。この点をアンケートベースで調査してみる必要があるのではないかと思います。
- ・全体的に英字略語が多いが簡単な説明・解説が少ない。最低でもFull Spellの表記が欲しい。各WGの活動報告は絞り込みが必要。テーマを羅列する程度は良いが内容読解について全てに触れると発散ぎみになる。

- ・信頼性、user要求のロードマップも必要と思う。
- ・JEITA他活動、STRJ、他の団体、Grとの関係を説明する図絵があればSTRJの位置付けがわかり易いのではないか。
- ・今回は比較的わかりやすい報告で大変良かった。あまり専門的で困難な報告は聞いていても理解しにくいので、今後もこのような方向をまとめてほしい。(略語が多すぎるので報告書には略語の説明を入れてほしい)
- ・微細化以外の開発の目ざす方向を真剣に議論して下さい。
- ・より実践的なロードマップ作成を考えていただきたい。
- ・テクノロジノードhp* *表示が徹底されていない。
- ・課題の明確化が図られているものの具体的解決策については明確でないものが多い。各社の考え方や競争領域にもよるか？ 多額の投資が必要になっていくなかで活動自体の方針の再考も必要。
- ・資料:略語に説明が欲しい。資料は白黒になることを想定してカラーの資料を作って欲しい。
- ・本来のロードマップ活動からはずれるファクトリインテグレーションやES&H、故障解析などの位置づけがクリアでない。狭義のロードマップ関連にしぼって開くべきだと思う。
- ・提言をどの様に実現していくかという部分への働きかけを考慮しないと折角の提言が活かさない様な気がします。(特にFI関係)
- ・質問時間がもうすこしあると良いと思う。
- ・品質に関して、3/3、3/4ともに重要性を訴えながら品質そのものをどのように考えるか、どこの会社も困っているにもかかわらず、本質的な議論がなされていない・・・品質に関してのWGを作るべきである。
- ・WG11活動中。WG11はメモリとYEを1つで扱っていますが、2つに分けることはしないのですか？
- ・日本の各自判断、各自別、各企業別の意向も分析、発表すると良い。

設問 3(3/4 経済性): 今後の、経済性を視点にしたフォーラム開催で取り上げて欲しい講演テーマをご記入ください。

[講演テーマ]

- ・サイクルタイム短縮のコスト換算評価
- ・スケールリングを想定した場合のコストアップ要因がどの程度の事業規模を必要とするのか(量産効果)
- ・技術開発費用投資と売上げ(費用回収)の管理。技術への投資は、投資時期と回収時期が異なり、時間軸の考慮も必要と思われる。
- ・原価計算に開発費も取り入れたVersionを聞きたい。
- ・コストのベンチマークなどの情報に関する情報があれば、講演していただきたいと思います。
- ・リスク管理、製品の市場投入時期と価格、利益の関係、設計コスト、TAT、性能の関係
- ・品質とコスト

[否定的]

- ・成果が乏しい。(一橋大への依頼費用に成果が見合ってる?)

[意見・要望]

- ・装置の稼働率を上げた時のCOSTへの影響を算出できるようにしてほしい。
- ・実体とのズレが今後減ることを期待。
- ・特にアイデアはないが、意欲的で興味深かった。
- ・基本システムとして、ひな型としてかなりの完成度と思われ期待できそう。
- ・説明の内容と資料の内容が全く異なります。出来るだけ一致させていただきたいと思います。
- ・元気が出る原価管理システムは細かい設定が必要であり、いろいろな品種が流れる時やLOTサイズが違う時は、対応が上手くいかない気がする。(アイドル時を考慮した事は良いと思うが)
- ・私の専門分野外のお話でしたのできちんと理解できませんでした。
- ・現実的かつ技術的な裏付けのあるロードマップ作成に注力されている姿勢が感じられた。ファクトリーインテグレーションがロードマップに含まれている理由が理解できなかった。
- ・「元気が出る～」は説明時間が1/3程度で良いのでは？ 原価計算結果を使って、意志決定するという観点から考えて欲しい。このままでは使いにくい。

設問4(3/4):本日のワークショップ運営全体について、ご意見をお聴かせ下さい。

[肯定的]

- ・事務局の方々が非常に手際良く運営をされていた。
- ・スムーズな進行でした。
- ・2日間大変満足しています。ありがとうございました！
- ・運営は全く問題ありません。今年はプログラム構成が良いと思います。
- ・リソグラフィについての概要が理解出来るように配慮されていたのは良いと思う。
- ・昨年と違い、予稿集と発表の内容がほぼ一致していたのは非常に良かった。発表者・事務局ともに大変だと思うが続けて欲しい。

[感想・意見]

- ・PPT説明中の室内がもう少し明るいといよい。
- ・スムーズな運営でよかったです。
- ・今年はPC通信を禁止したこともあり、マイクの調子がとても良かった。1日目の昼食(弁当)が不足したのが残念だった。
- ・やはり議論が少ないような気がします。発表はもう少し絞って聞いている人が議論が出来る形にしてほしい。
- ・第1日目に比べて第2日目の盛り上がりが少なかった。運営だけの問題ではないが、もう少し工夫が必要となるかもしれない。
- ・3文字英語略語には正規名と意味を記載願う(何を言われているかわからない)。
- ・会場が暗すぎてメモをとりにくい。もう少し明るくてよいのでは。
- ・運営は良かったと思います。日程はSPIEマイクロリソグラフィシンポジウム(米国開催)と重なりリソ関係者の出席が少なかったようです。
- ・プレゼンテーションの時間を厳守させて欲しい。
- ・半導体側のメンバーからの解説があった方がいいのでは？
- ・設計のロードマップは各社に持ち込む為には有効である。一方省エネの目標はどう反映されるのかが不明だった。
- ・WGの報告と特別講演とがバランスよくアレンジされて良い。
- ・発表中の場内の照明をもう少し明るくしていただきたいです。プロジェクトの能力も上がっているので、照明があってもほとんど問題ないと思われれます。