

第 2 章 設計タスクフォース

2-1 はじめに

ここ数年、設計タスクフォースでは、デジタル家電向けあるいはモバイル用途向けの低電力 SoC (System on Chip) を民生用 LSI のシステムドライバとして位置付け、定量的な検討を行っている。従来の国際半導体技術ロードマップでは、主として DRAM や MPU をテクノロジドライバとして技術ロードマップが論じられてきた。設計タスクフォースでは、国際半導体技術ロードマップのこれまでの方向性に対して、日本発の今後の新市場を開拓するデジタルテレビ、ハードディスクレコーダ、携帯電話、デジタルカメラ、PDA (Personal Digital Assistants) といった新しい分野のデジタル民生機器に搭載される組み込みプロセッサや低電力 SoC をテクノロジドライバとして考えた場合の技術ロードマップの議論を進めることを主眼とした活動を進めてきた。デジタル民生機器に搭載される組み込みプロセッサや低電力 SoC をテクノロジドライバとするロードマップの議論を進めることで、低電力 SoC における設計、プロセス、デバイスの技術上の問題点を明確にすることを目標としている。

今年度の検討では、“DFM (Design for Manufacturing) の検討の第 1 歩”として、例年行っている低電力 SoC のロードマップの検討において、DFM の諸課題がどのような影響するかについて検討した。近年 DFM や DFY (Design for Yield) などのキーワードで表わされる技術を適用して設計を進めることが重要であると言われている。DFM、DFY は、文字通り「製造を考慮した設計」あるいは「歩留りを考慮した設計」という意味であるが、最近のプロセスの急速な微細化にともない、物理的な諸問題が顕在化してきたことが背景にある。

このような状況を受けて国際半導体技術ロードマップの Design ワーキンググループにおいても、DFM や DFY に関連する記述を 2005 年のロードマップ大改訂において盛り込む方向で作業を進めている。また、DFM については、デバイスパラメータのばらつきが LSI の速度性能や消費電力にどのように影響するかを定量的に分析し、ばらつきに対応した設計フローへの投資の重要度についても、定量分析することが計画されているが、現在のところこの計画については、順調には進んでいない。その理由として、「デバイスのばらつきから設計フローの投資額に至る検討の枠組みが大規模である」こと、「LSI 製造のばらつき値をロードマップとして PIDS、リソグラフィ、配線の WG に要求しているが、この情報がなかなか集まらないこと」にあると考えられる。

DFM、DFY がカバーする技術範囲は広い分野に及ぶが、日本の設計タスクフォースのメンバーの間での関心事は、最近顕著になったデバイスばらつきが、LSI 設計に今後どのような影響を与えるかということになる。この関心の背景には、最近、デバイスばらつきが大きくなってきており、従来と同様の設計マージンの取り方を設定すると、微細なテクノロジを採用しても、ワースト条件で保証される LSI の性能が期待通りに向上しないという問題がある。

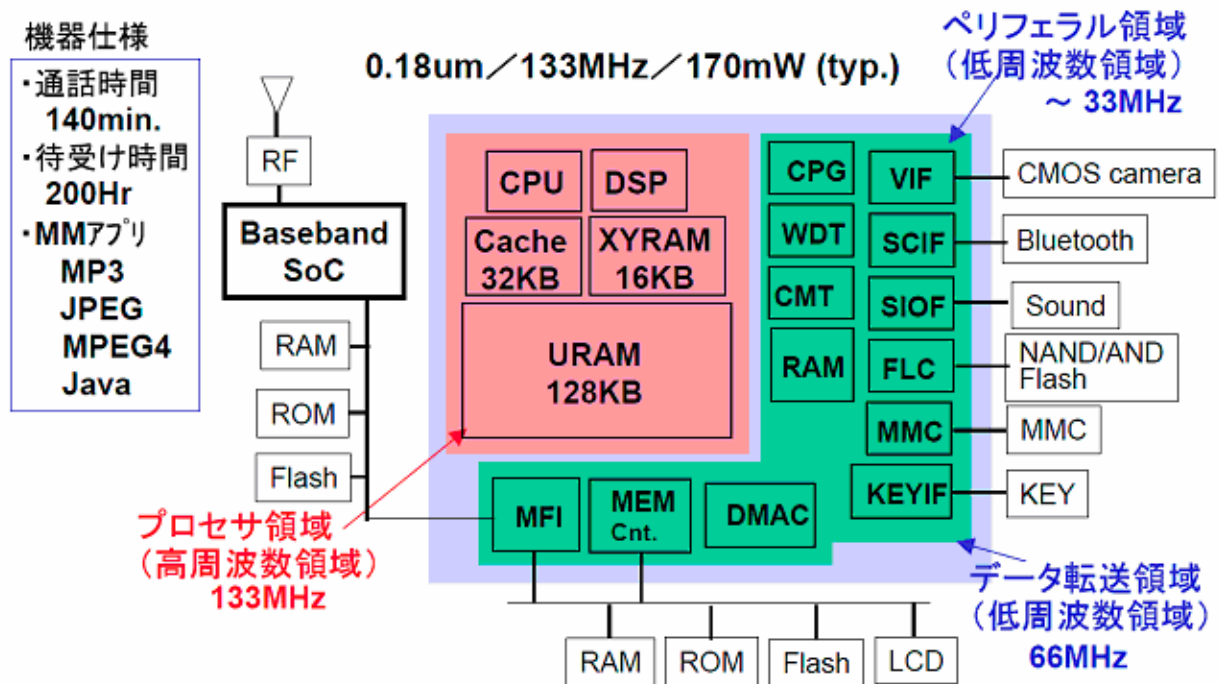
上記のような設計タスクフォースメンバーの関心や、国際半導体技術ロードマップの Design WG の状況を踏まえ、今年度は、DFM のうち、ばらつきが LSI の諸特性にどのような影響を与えるかの基礎的な検討を行うことにした。検討にあたっては、従来から設計タスクフォースにおいて使用している低電力 SoC の検討モデルを使って、このモデルに対して、ロードマップに記載されているばらつきの値や既に公開されているデータからばらつきの値を見積り、SoC の特性への影響を評価するという方法で進めることにした。

2-2 低電力 SoC ロードマップの検討モデル

ばらつきの議論の詳細に入る前に、設計タスクフォースにおいて従来から使っている低電力 SoC の検討モデルについて説明する。

図表 2-1 に低電力 SoC の検討モデルの一例を記載する。この図は携帯電話のブロック図を示す。色付けされている部分がベースバンド処理プロセッサと呼ばれる部分で、マンマシン・インタフェースやマルチメディアデータ処理を行う低電力 SoC である。この例では 0.18 μm 世代のベースバンド処理プロセッサの例を示している。

高周波領域はプロセッサやハードウェアアクセラレータと関連する回路で、動作周波数 133MHz で動作する。その他の部分は、ペリフェラル領域やデータ転送領域であり、プロセッサ領域よりもずっと低い周波数の 33MHz や 66MHz といった周波数で動作する。



図表 2-1 低電力 SoC の検討モデルの例

	論理部	メモリ部
39.7Mtrs. / 8mm²	11.5Mtrs.	28.2Mtrs.
高周波領域 F_h : 180MHz (LSTP) 330MHz (LOP)	4.7Mtrs. CPU, FPU, DSP, Media Proc. HW accelerator, Config. Arrays, ..	8.6Mtrs. Cache, XY memory, Work memory, ...
低周波領域 $F_l = F_h / 4$	6.8Mtrs. Memory cnt., DMAC, Graphic eng., Peripheral module, .. (Ser., Par., Comm.,..)	19.6Mtrs. 2nd-Cache, 2nd- work memory, Global memory, Temp. buffer,

図表 2-2 低電力 SoC 設計モデルの初期値

このような実際の SoC の仕様を元に設計タスクフォースの検討で使う SoC の検討モデルを設定している。設計タスクフォースの低電力 SoC 検討モデルの初期値を記載したものが、図表 2-2 である。

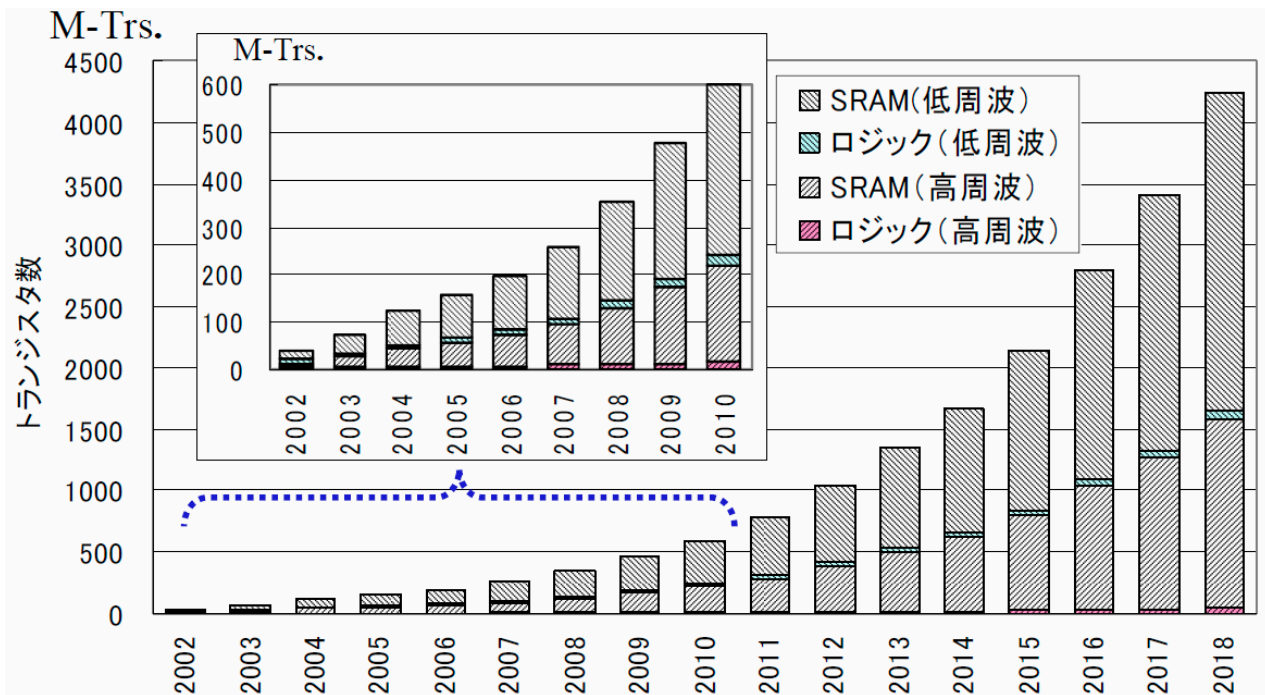
この初期値は 130nm 世代で規定している。SoC の仕様として、プロセス世代にかかわらずチップサイズは 8mm² で固定、搭載トランジスタ数は 130nm 世代で約 3970 万トランジスタを設定している。SoC のコア領域は、プロセッサやハードウェアアクセラレータなどの高周波で動作する部分と、入出力やデータ転送を制御する部分など、低周波で動作する部分からなっている。高周波で動作する部分についても低周波で動作する部分についても、論理回路部分とメモリ回路部分に分けられる。

高周波で動作する部分について、130nm 世代の LOP トランジスタを使った設計では 330MHz、LSTP トランジスタを使った設計では 180MHz で動作するとして動作周波数の初期値を設定した。また各部分の物量については、図面に記載するように、高周波領域の論理回路部分は、470 万トランジスタ、高周波領域のメモリ回路部分は 860 万トランジスタ、低周波領域の論理回路部分は、680 万トランジスタ、低周波領域のメモリ部分は、1960 万トランジスタを搭載するとして集積度の初期値を設定した。

2-3 低電力 SoC のロードマップ 昨年度の検討結果

2-3-1 低電力 SoC の集積度のロードマップ

低電力 SoC の検討モデルの初期値は 130nm 世代で規定しているが、これを元に、2018 年までの低電力 SoC の集積度を計算して表記したものが図表 2-3 である。



図表 2-3 低電力 SoC の集積度のロードマップ

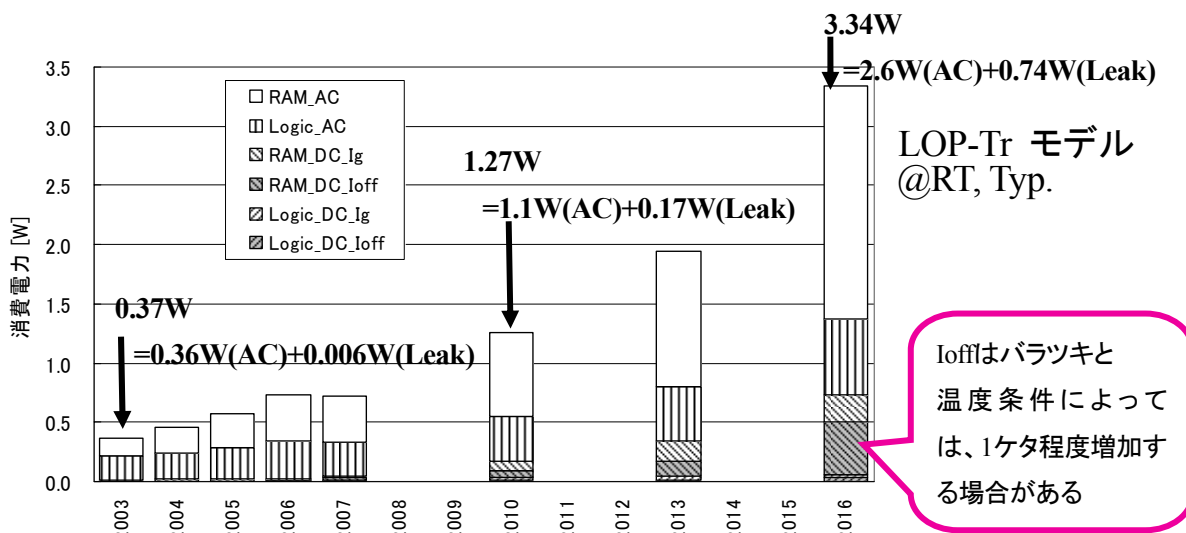
これは 130nm 世代の低電力 SoC の設計モデルの初期値に対して、チップサイズを年代によらず 8mm² 一定という制約のもとに、論理回路設計の生産性の向上率が年率 15% で増加するので、ロジック回路で使われるトランジスタ数を毎年 1.15 倍で増加させて、ロジック回路で使いきれないチップ上の場所をメモリ (SRAM) で使うという考え方で計算を行っている。集積度の向上については、ロードマップに記載されている Intermediate 配線の配線ピッチにしたがって SoC 全体で集積できるトランジスタ数が増加するとして計算している。

なお、グラフからも読み取れるが、高周波動作領域、低周波動作領域とも年々メモリ(SRAM)に使われるトランジスタの数が、LSI 全体のトランジスタの大部分を占めるようになることがわかる。

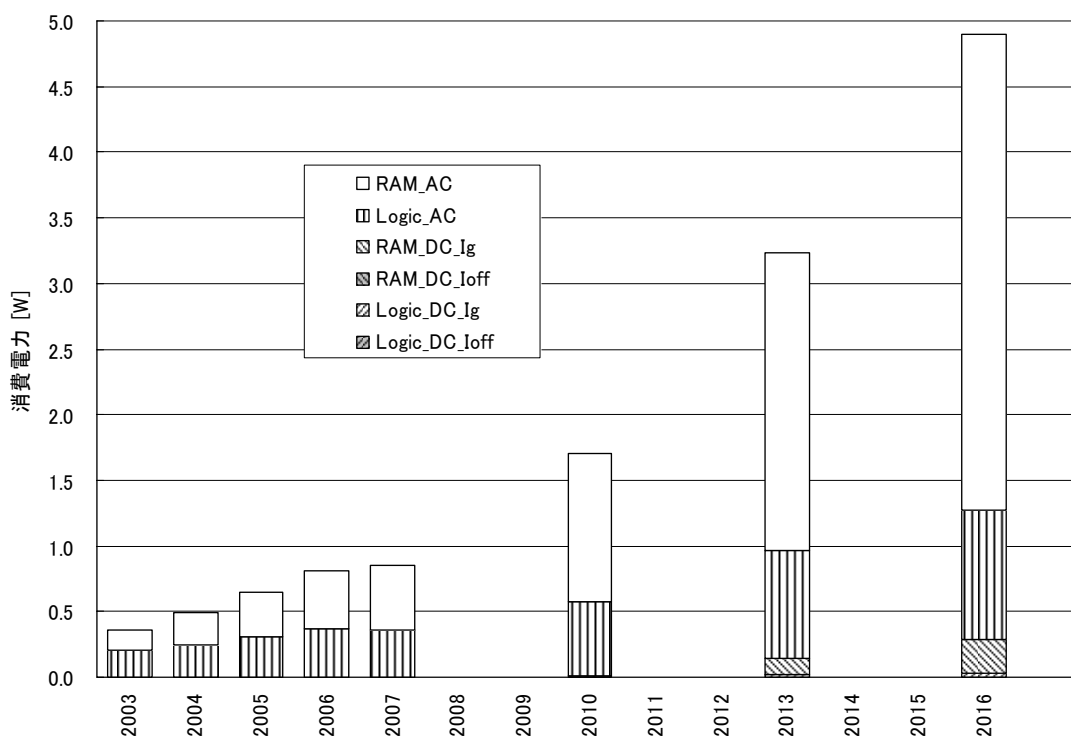
SoC に搭載されるトランジスタ数の計算方法については、昨年度に行った検討と同じ考え方を使っているが、昨年度以前からの計算に間違いがあったので、今回は修正したものを掲載している。消費電力等の計算においても、修正した値をベースに再計算を行っている。

2-3-2 低電力 SoC の消費電力のロードマップ

昨年度の検討結果として、2018 年までの低電力 SoC の消費電力について計算した結果を、図表 2-4 と図表 2-5 に記載する。



図表 2-4 低電力 SoC の消費電力の計算結果 (LOP トランジスタの場合)



図表 2-5 低電力 SoC の消費電力の計算結果 (LSTP トランジスタの場合)

図表 2-4 は、LOP トランジスタを使った場合、図表 2-5 は LSTP トランジスタを使った場合の低電力 SoC の消費電力の計算結果である。ともに室温(27°C)でチップ上のトランジスタのばらつきが Typical の場合の計算結果になる。

図表 2-4 に表すように LOP トランジスタにより構成された低電力 SoC の 2016 年における消費電力の計算結果は、RAM 部分と Logic 部分の AC 電力の合計が 2.6W で、リーク電力の合計が 0.74W となる。このうちリーク電流、特にサブスレシヨルドリーク電流の成分については、温度が上昇する効果と、デバイスばらつきの効果の両方を考慮すると、最悪時には、1 桁以上大きな値となる場合があることを、昨年度の計算結果として述べた。このようなことから、温度上昇やばらつきの影響が現実的な条件において、リーク電力がどの程度になるかを見積ることを要請されていた。

図表 2-5 の LSTP トランジスタによる SoC の消費電力の計算結果は、図表 2-4 の LOP トランジスタによる計算結果に比較して、全体の消費電力が大きく、リーク電力が小さくなっている。AC 電力が大きくなっているのは、LSTP トランジスタの標準の電源電圧が高いためである。リーク電流が少ないのは、LSTP トランジスタそのものがリーク電流の小さい設計になっているためである。LOP トランジスタの計算では、サブスレシヨルドリーク電流が、リーク電力の主な成分であるが、LSTP トランジスタの計算では、サブスレシヨルドリーク電流が抑制されており、ゲートリーク電流が主なリーク電力の成分となる。

2-4 ばらつき検討の基本的な考え方

上で述べたように、昨年度の検討において、ばらつきや温度変動の影響を考えた検討を行うことの重要性が指摘された。ところが、実際にばらつきを考慮した検討を行うにあたって、論文などで一般に公開されているばらつきの定量情報が極めて少ないという問題があり、定量的な検討を進めることが容易でないことがわかった。そこで、今年度の検討では、ばらつき検討の最初のステップとして、ごく簡単なばらつきモデルを設定し、ばらつきを計算するデータもできるだけ国際半導体技術ロードマップのテーブルから抽出するという手法を採用ことにした。

ばらつきのモデルを考えるにあたって、ばらつきの統計的な性質のうち何を想定するかについて説明する。ばらつきには、「隣接するデバイスどうしで相関のある成分(システム成分)」と「隣接するデバイスですら相関がなく独立にばらつく成分(ランダム成分)」とがある。実際に観測されるばらつきは、両者が混ざったものになる。今回の検討では、ばらつきの相関具合の情報が無いため、ばらつきのランダム成分のみを考えることにした。また、ばらつきの分布としては、ガウス分布を仮定して計算を行うことにした。

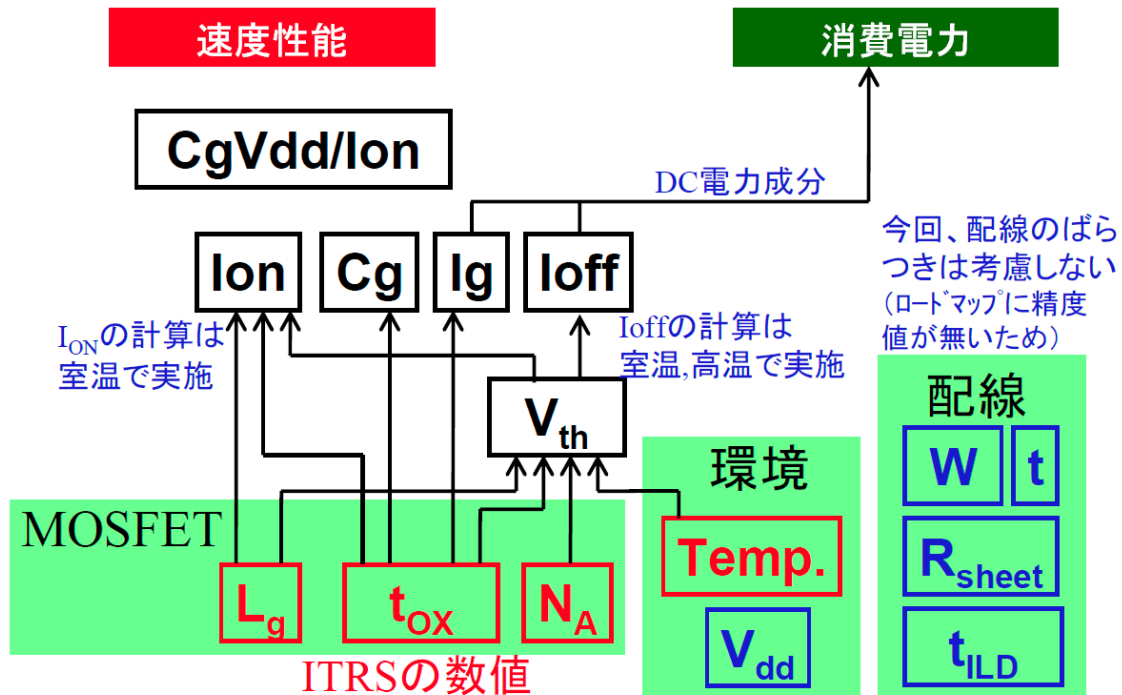
ばらつきのモデルを考えるにあたって、ばらつきを取り扱う範囲を設定しておくことも重要である。ばらつきを取り扱う範囲の例として、「隣接デバイス間」、「チップ内」、「ウェーハ内」、「ロット内」、「ロット間」など多くのばらつきの取り扱い範囲を考えることができる。「隣接デバイス」や「チップ内」など、ばらつきを考える範囲を限定することは、ばらつきの相関を考えているということであり、今回ばらつきの相関データが無いことから、ばらつきの範囲を一切設定しないことにした。すなわち、ロードマップによって規定されるその年毎のデバイスパラメータにおけるばらつき全体で考えることにする。

2-5 基本的な物理量のバラツキや変動と LSI 特性のばらつきの関係

図表 2-6 に、LSI の速度特性および消費電力特性が、どのような物理量のばらつきや変動の影響を受けるかを関係付けた図を掲げる。

LSI の特性ばらつきを検討するにあたって、MOSFET の物理パラメータや配線の物理パラメータ、それに環境条件の変動の影響を受けるとして計算モデルを構築することにした。実際に SoC の特性に影響するパラメータとしたのは、図においてゲート長(Lg)、ゲート絶縁膜の厚さ(t_{ox})、チャネル不純物濃度(N_A)、それに温度(Temp.)である。その他のパラメータ、すなわち電源電圧(Vdd)、配線幅(W)、配線の厚さ(t)、配線のシート

抵抗(R_{sheet})、層間膜の厚さ(t_{ILD})については、変動しないパラメータとして計算している。特に配線関連のパラメータについては、ロードマップに加工精度の許容値の記載が無いいため、今回はばらつきを設定せず、固定値を使って計算を行っている。



図表 2-6 基本的な物理量と LSI 特性のばらつきを関係付けるモデル

ゲート長の変動、ゲート絶縁膜の厚さの変動については、ロードマップに変動量の要求値について記載があるのでその値を使う。チャネル不純物の揺らぎについては、ロードマップにチャネル不純物濃度の記載があるので、これからチャネル不純物濃度の揺らぎの影響を計算する。

これらの 3 つのパラメータと温度は、MOSFET の閾値(V_{th})に影響を与えることが知られている。MOSFET の閾値は、MOSFET の特性に大きな影響を与えるパラメータである。MOSFET の ON 電流(I_{ON})、ゲート容量(C_g)、ゲートリーク電流(I_g)、サブスレシヨルドリーク電流(I_{off})は、ゲート長の変動、ゲート絶縁膜厚さの変動、それに MOSFET の閾値の変動の影響を受ける。またゲートリーク電流とサブスレシヨルドリーク電流の変動については、LSI の消費電力の変動の形で現れる。

2-6 ゲート長と絶縁膜の加工寸法と加工精度のロードマップ、チャネル不純物濃度のロードマップ

図表 2-6 に記載するように、ゲート長及びゲート長の加工精度、ゲート絶縁膜の厚さおよび加工精度、チャネル不純物濃度については、ロードマップにこれらの値の要求値について記載がある。実際に記載されているこれらの値について説明する。

図表 2-7 に 2003 年版のロードマップのうち PIDS (Process Integrations and Device Structures) 章と FEP (Front End Process) 章から抽出した値を 2003 年から 2009 年の範囲で記載する。

表の上の方には、LOP および LSTP トランジスタのゲート長の要求値とゲート長の加工精度の要求値を記載する。ゲート長の加工精度の要求値については、 3σ 変動で記載されているが、精度値として記載されているゲート長の変動量が MOSFET の特性の変動に寄与すると考える。

表の中間部分には、LOP および LSTP トランジスタの EOT (ゲート絶縁膜の等価酸化膜厚) について、要求値と加工精度の要求値を記載する。精度値として記載されている EOT の変動量が MOSFET の特性の変動に寄与すると考える。

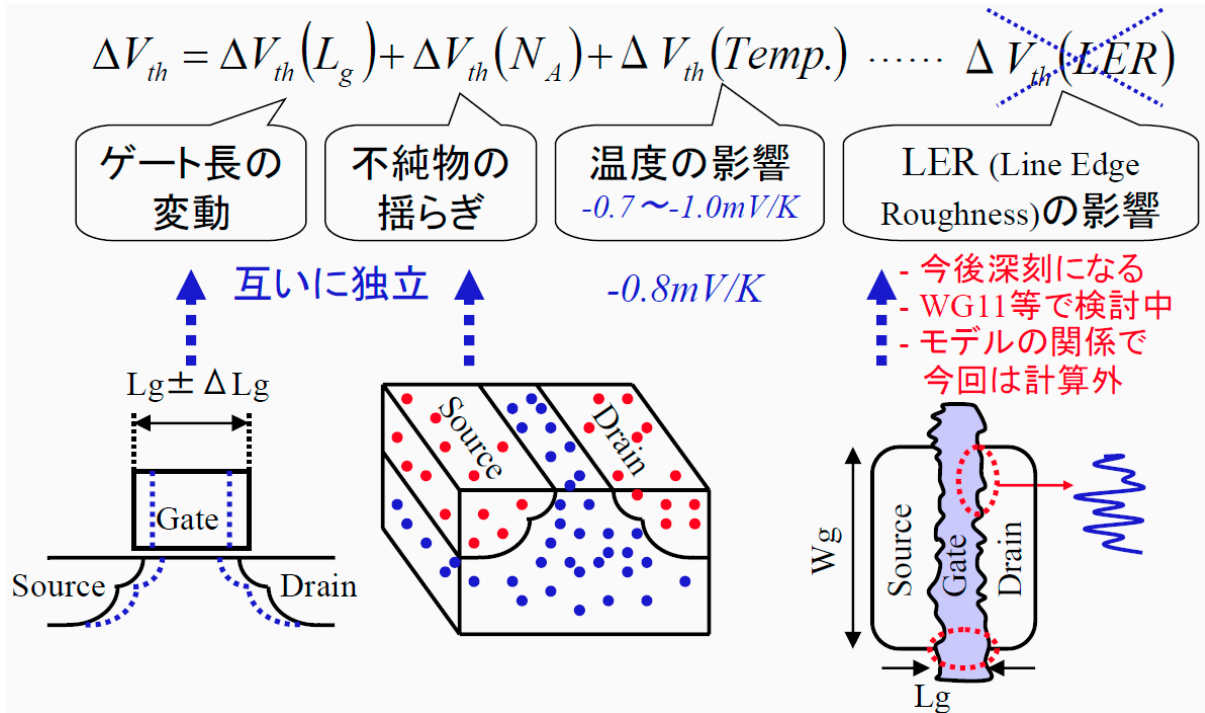
Year	2003	2004	2005	2006	2007	2008	2009
Tech. Node		hp90			hp65		
Lg	Lg (LOP) [nm]	65	53	45	37	32	25
	Lg (LSTP) [nm]	75	65	53	45	37	28
	Lg 3σ 変動 [nm]	4.46	3.75	3.15	2.81	2.5	2.0
Tox	EOT(LOP) [nm]	1.6	1.5	1.4	1.3	1.2	1.0
	EOT(LSTP) [nm]	2.2	2.1	2.1	1.9	1.6	1.4
	EOT 制御性 3σ%	<±4	<±4	<±4	<±4	<±4	<±4
N _A	チャネル不純物濃度 (LOP) [10 ¹⁸ /cm ³]	4.2	3.0	4.0	6.8	6.5	8.0
	チャネル不純物濃度 (LSTP) [10 ¹⁸ /cm ³]	3.6	4.0	6.0	8.0	9.0	12.0

図表 2-7 ロードマップから抽出したゲート長、ゲート絶縁膜の厚さ、チャネル不純物濃度の要求値

表の一番下の部分に、LOP および LSTP トランジスタのチャネル不純物濃度の要求値を記載する。MOSFET チャネル中の不純物濃度揺らぎは、チャネル不純物濃度により決まり、チャネル不純物濃度の揺らぎが MOSFET の特性の変動に寄与すると考えて計算を行う。

2-7 MOSFET の V_{th} 変動の計算モデル

図表 2-8 に、MOSFET の閾値の変動要因について記載する。MOSFET の閾値は、ゲート長の変動の影響、不純物の揺らぎの影響、温度変動の影響、LER (Line Edge Roughness) の影響などを受けることが知られている。



図表 2-8 MOSFET の閾値のばらつきと温度変化の影響を表わす式

このうち LER が MOSFET 特性へ及ぼす影響については、今後増大することが指摘されている。近年 STRJ の WG11(メロロジ/歩留向上WG)においても詳細の検討が行われ、その成果が発表されている。特に、今年度については、リソグラフィ/メロロジのクロスカット活動において、LER の測定方法の定義などで一定の前進が見られた。しかしながら、LER が MOSFET の電気的特性に及ぼす影響のモデルを構築するまでに至らなかったため、LER の影響については、計算モデルから外した。

温度変化の影響については、 -0.8mV/K で閾値に影響があるとして計算を行った。また、LSI 上で温度が均一であるとして計算している。厳密にはデバイスパラメータやプロセス世代にわたって一律の温度係数を設定することは難しいが、ここでは簡単化のために、この設定で計算を行う。

次に、ゲート長の変動と不純物揺らぎが閾値にどのような影響を与えるかの考え方について説明する。

2-8 ゲート長の変動が MOSFET の閾値に及ぼす影響のモデル

次に、ゲート長の変動が閾値にどのような影響を与えるかについて今回適用した考え方を説明する。

図表 2-9 に横軸にゲート長、縦軸に NMOSFET の閾値電圧を設定し、両者の関係を表わしたロールオフ特性のグラフを示す。

図示するようにプロセス世代ごとに規定される目標ゲート長 L_{g0} に対して、対応する閾値 V_{th0} があり、ゲート長が L_{g0} を中心に $\pm 3\sigma$ で変動することで、閾値が V_{th0} を中心に $\pm 3\sigma$ で変動することがわかる。

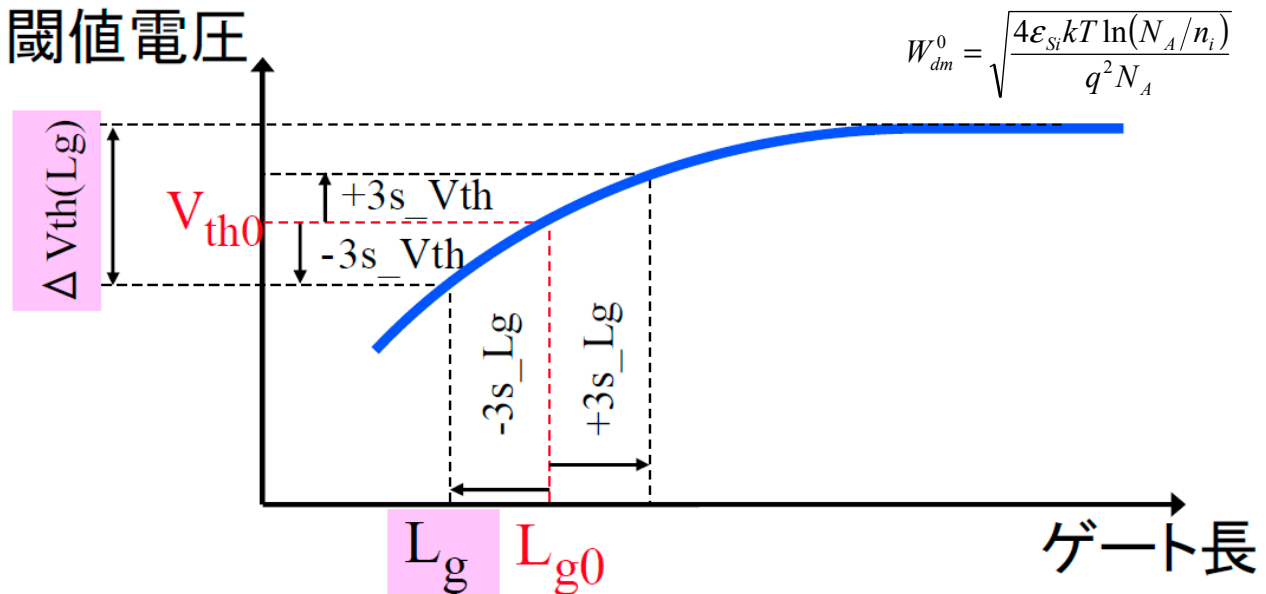
一方、短ゲートの MOSFET においては、短チャネル効果によって、長ゲートの MOSFET に対して、閾値が低下する。図表 2-9 において、ゲート長 L_g の MOSFET が短チャネル効果により閾値が減少する量を、 $\Delta V_{th}(L_g)$ として記載する。

短チャネル効果を抑制するための Halo や Retrograde Channel などの構造を持たないシンプルな均一構造の MOSFET については、 $\Delta V_{th}(L_g)$ を与える式があり、これは下に示すような形の式である。

$$\Delta V_{th}(L_g) = 8(m-1)\sqrt{\phi_{bi}(\phi_{bi} + V_{ds})}e^{-\pi L_g / 2mW_{dm}^0}$$

$$m = 1 + \frac{C_{dm}}{C_{ox}} = 1 + \frac{3T_{ox}}{W_{dm}^0}$$

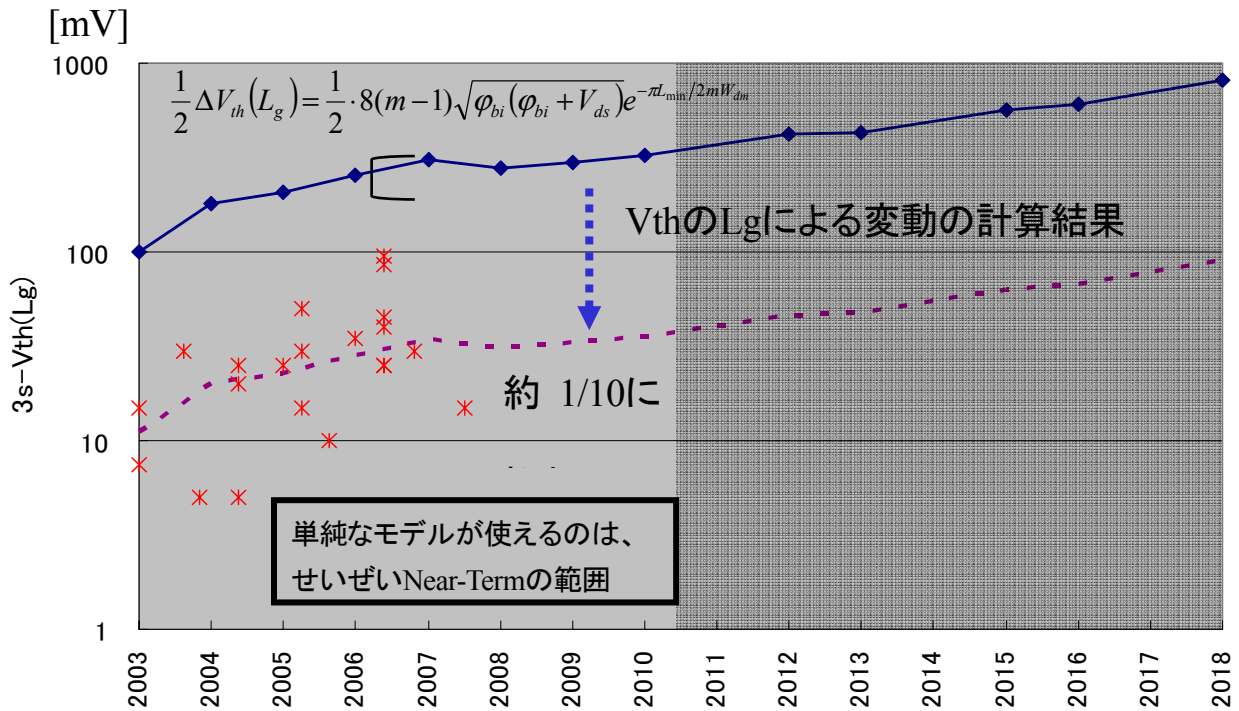
$$W_{dm}^0 = \sqrt{\frac{4\epsilon_{Si}kT \ln(N_A/n_i)}{q^2 N_A}}$$



図表 2-9 MOSFET のロールオフ特性の説明図

図表 2-10 は、横軸を年代として、縦軸に MOSFET の閾値がその年ごとのゲート長の変動により影響を受ける量の 3σ を表したグラフである。上側の線(青)で示すのは、上に紹介した理論的な式により MOSFET の閾値がゲート長の変動によりどの程度変動するかを計算したものである。点で示すものは、2002 年から 2004 年の IEDM や

VLSI-Symposium で発表された論文に記載されている NMOS のロールオフ特性のグラフから、各年代のゲート長の変動を設定して、閾値の変動量を読み取ったものをプロットしたものである。



図表 2-10 ゲート変動による MOSFET 閾値電圧変動のロードマップ

点で示される実測のデータは、上側の線で表わされる理論値に対して小さい値となっており、実際のデバイスでは種々の短チャネル効果抑制技術が効いていることが伺える。点は、ブロードに散っているが、おおざっぱに見ると、MOSFET の閾値の変動のゲート長依存性は、理論式で表わされものに対して、1/10 に抑制されていると考えることができる。グラフ上に、理論式に対して 1/10 で推移する値を表記したものが下側の破線である。以降の考察について、LOPトランジスタにおいて、ゲート長変動による閾値変動の 3σ は、下側の破線で与えられる値となると設定して計算を行う。

なお、このような簡単なモデルが適用できるのは、せいぜい Near Term の範囲内であろうと設定し、2011 年以降の Long Term の部分については、数値計算はできるものの、計算結果の信頼性が少ないとして、グラフ上にグレーの影を付けて表記している。以降の考察においても、この例と同様に、Long Term の部分について、同様に影を付けた表記を行うことがある。

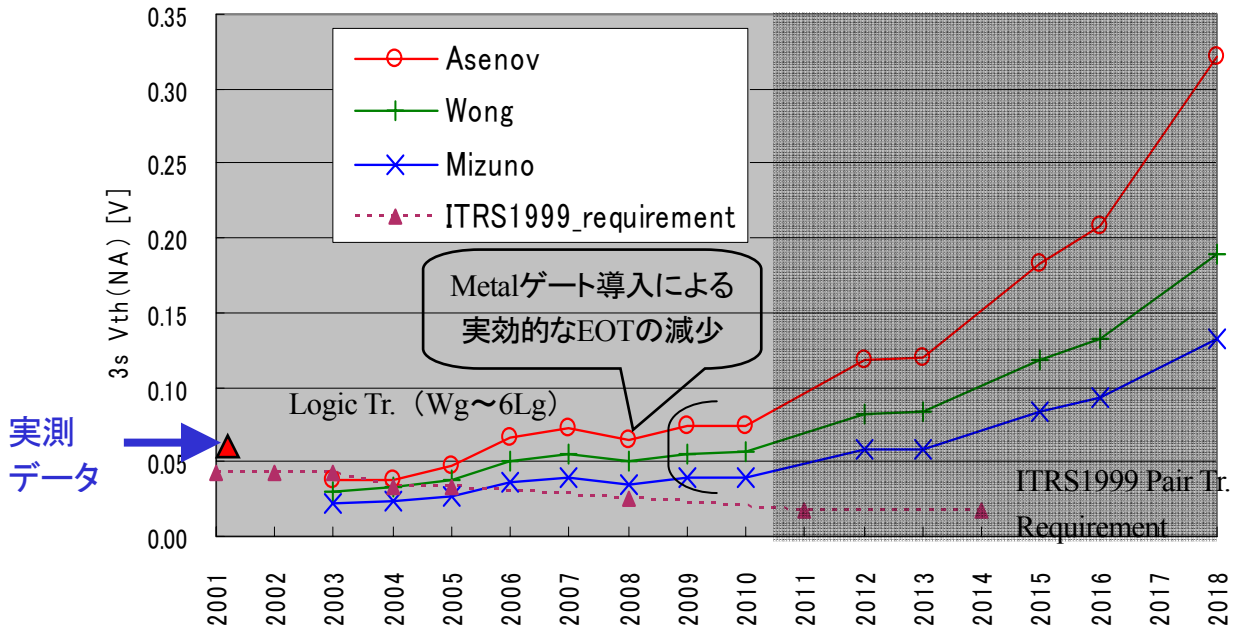
2-9 不純物の揺らぎが MOSFET の閾値に及ぼす影響

次に MOSFET のチャネル中の不純物の揺らぎが閾値に及ぼす影響について考察する。チャネル不純物揺らぎと MOSFET の閾値変動の関係を表わすモデル式については、多くの提案がある。ここでは、Asenovⁱⁱ、Wongⁱⁱⁱ、Mizuno^{iv}らによって提案されている 3 つのモデル式について、ロードマップからゲート長、ゲート酸化膜の厚さ、チャネル不純物濃度の値を抽出・代入して計算を行った。計算の結果を、図表 2-11 に示す。横軸に年代を、縦軸に不純物揺らぎによる閾値変動の 3σ を設定している。計算において、ゲート幅がゲート長の 6 倍と設定して計算を行った。

不純物揺らぎが、MOSFET の閾値変動にどのように効いているかについては、多くの実測データが発表されているが、最近の微細 CMOS に限れば実測データとして Publish されているものは少ない。STARC が評価^vしているものをグラフ中にプロットした。実測値は、1 点であるが Asenov らのモデルが、実測値に近いことがわかる。以降の考察

について、この実測データに最も近いと考えられる Asenov らのモデルを使って、検討を進める。

参考までに、図表 2- 11 には、1999 年版のロードマップに記載されたペアトランジスタの閾値の差の要求値を破線線で示す。不純物の揺らぎに起因する閾値変動がペアトランジスタの閾値電圧差の要求値も満たせなくなりつつあることがわかる。



図表 2- 11 不純物揺らぎによる MOSFET 閾値電圧変動のロードマップ

2-10 MOSFET の ON 電流の変動の見積り

ここまでで、MOSFET のゲート長、ゲート酸化膜厚、閾値のばらつきについてモデルができたので、MOSFET の ON 電流のばらつきについて検討してみる。MOSFET の単位ゲート幅あたりの ON 電流については、PIDS (Process Integrations and Device Structures) 章に、導出式が記載されており、下に示す 2 つの式となる。

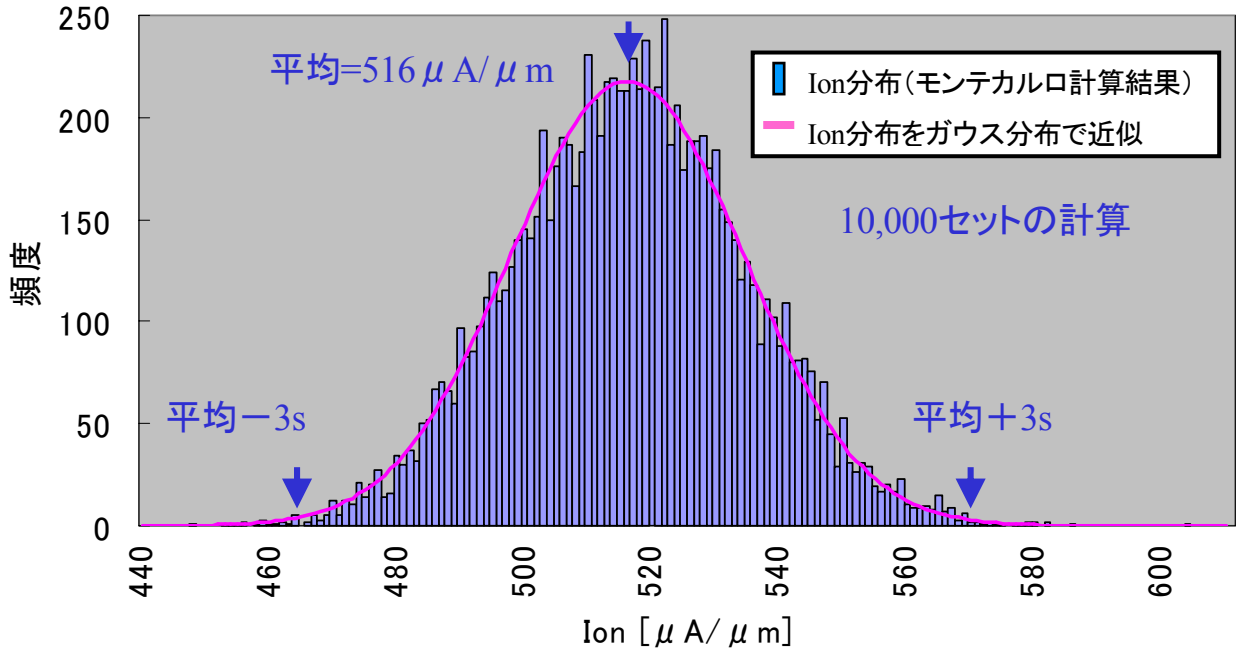
$$I_{drain_ideal} = v_{sat} \frac{\epsilon_{SiO_2}}{t_{OX_gate_inv}} (V_{dd} - V_{th}) \frac{(V_{dd} - V_{th})}{(V_{dd} - V_{th} + 2L_g v_{sat} / \mu_{eff})}$$

$$I_{ON} = \frac{I_{drain_ideal}}{1 + R_{sd} I_{drain_ideal} / (V_{dd} - V_{th})}$$

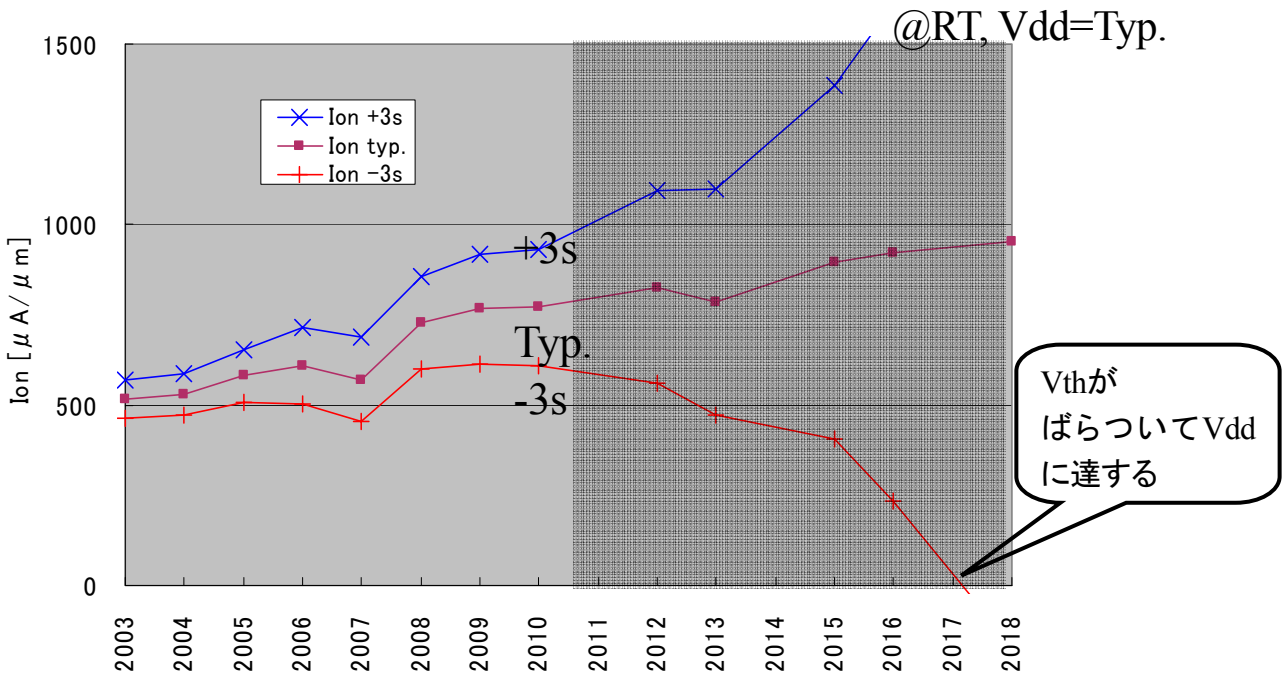
上側の式は、MOSFET の理想的な ON 電流の式を表わしており、チャンネル中の飽和キャリア速度、ゲート容量、ゲート電圧が電源電圧である場合のオーバードライブ量(ゲートソース間に印加される電圧が閾値をいくら越えているか)、それに短チャンネル効果による速度飽和の項の積からなっている。下の式は、ソース電極に存在する抵抗により理想的な ON 電流が減少する効果を表わしている。

これらの式においてゲート長、ゲート酸化膜厚、それに閾値に対して、ガウス分布のばらつきを設定してモンテカルロ計算を行って、MOSFET の ON 電流がどのように、ばらつくかの検討を行う。

図表 2- 12 に、2003 年の LOP トランジスタのパラメータを使ってモンテカルロ計算により ON 電流のばらつきを計算した結果を示す。横軸に MOSFET の単位ゲート幅あたりの ON 電流、縦軸にその ON 電流の計算結果が得られる頻度を示している。ヒストグラムとして表記するものが 10000 組の乱数を使った 10000 個の ON 電流の計算結果の分布である。ヒストグラムをガウス分布で近似したものを併記している。ON 電流もほぼガウス分布でばらつくことがわかる。



図表 2-12 MOSFET の ON 電流ばらつきの計算結果



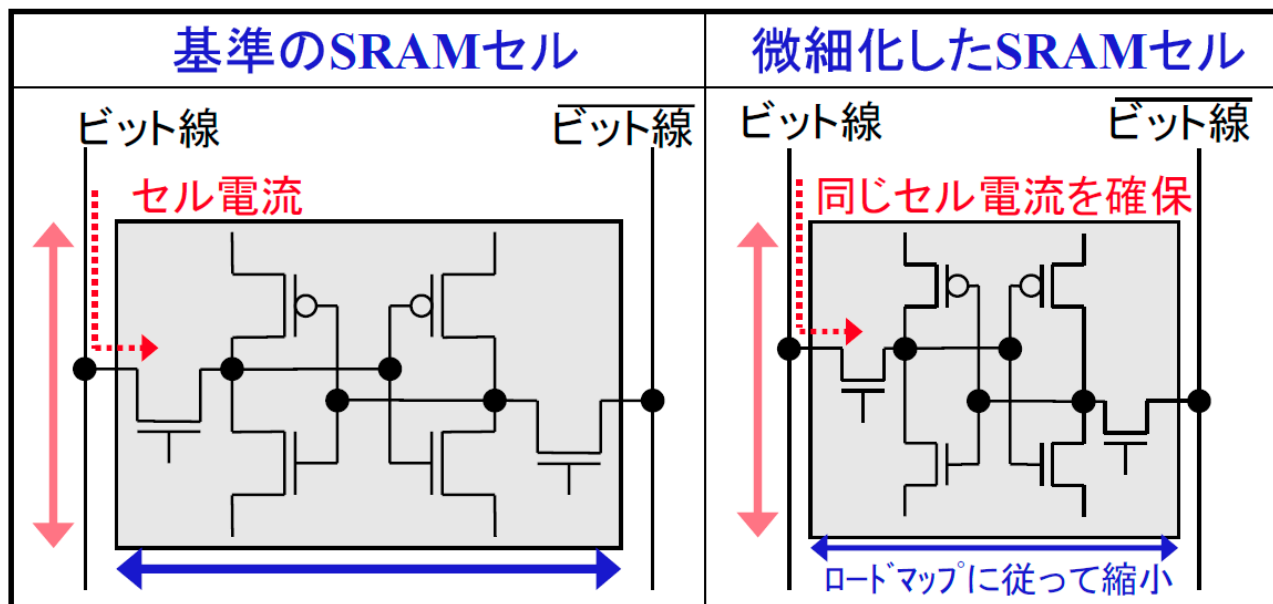
図表 2-13 LOPトランジスタ ON 電流のばらつきのロードマップ

図表 2-13 には、図表 2-12 のようなモンテカルロ計算を各年代について実施した結果をまとめて表記したものである。横軸に年代、縦軸に単位ゲート幅あたりの ON 電流を設定し、LOP トランジスタについて、ON 電流が $\pm 3\sigma$ にばらついた場合と、ばらつきを考えない Typical の条件を表記している。電源電圧は Typical で、温度は室温の条件である。

世代が進むとともに、ON 電流のばらつきが増加すること、ON 電流が -3σ でばらついた場合には、ON 電流の増加量が小さいことがわかる。

2-11 SRAM メモリセルサイズの将来予測

ここまでの検討結果である MOSFET の ON 電流のばらつきの計算結果を使って、ばらつきが SRAM の特性にどのように影響を与えるかについて考察する。SRAM の特性として、具体的には SRAM メモリセルサイズに注目する。検討のモデルについて図表 2-14 を使って説明する。

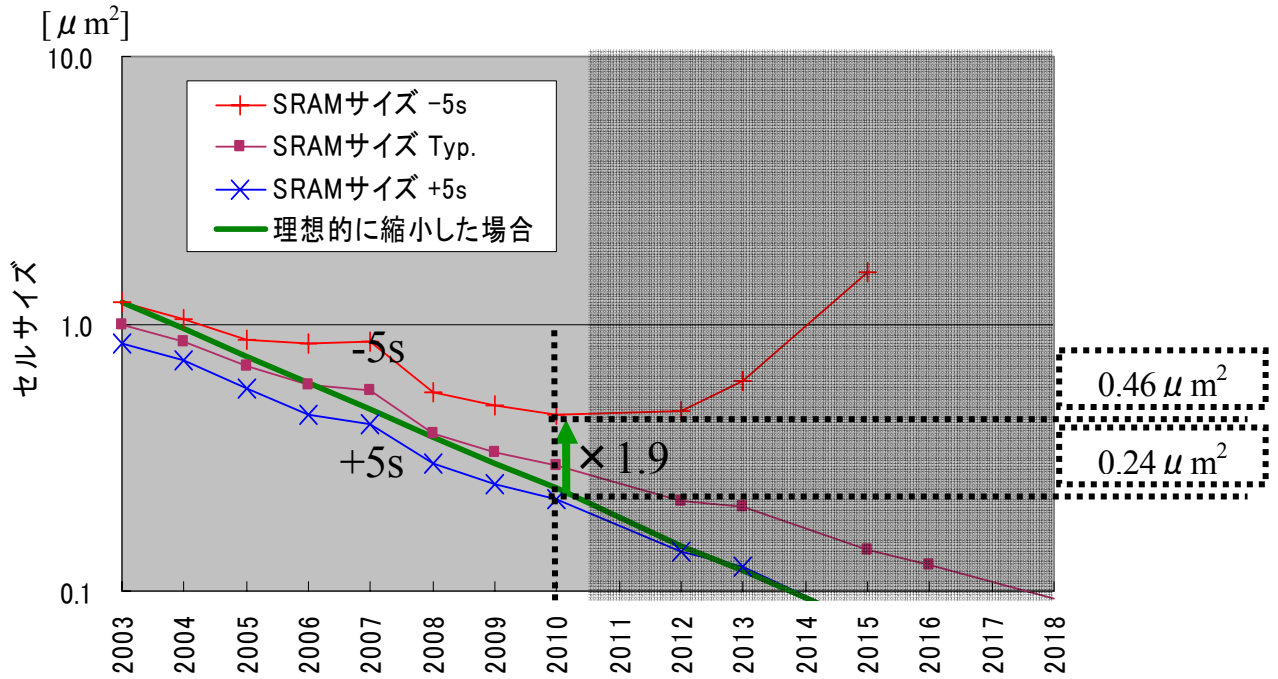


図表 2-14 ON 電流のばらつきが SRAM のセルサイズに及ぼす影響の評価モデル

基準となる SRAM のメモリセルを想定し、微細化した SRAM のセルサイズを考えるときに、セルの縦と横の寸法の縮小に対して次の考え方をします。メモリセルの一方の辺(図表 2-14 ではメモリセルの縦の辺)については、MOSFET の ON 電流のばらつきがあっても基準の SRAM セルと同じだけのセル電流をビット線から引き出すことのできるだけのゲート幅を確保して、ゲート幅の縮小を行うとして、このゲート幅の縮小分だけ、セルの縦方向の寸法の縮小を行う。またもう一方の辺(図表 2-14 では横の辺)については、ロードマップに記載されているメタル 1 の配線ピッチに合わせて縮小を行う。

図表 2-15 には、横軸に年代、縦軸にメモリセルサイズを取り、LOP トランジスタで構成されるメモリセルのサイズについて上記モデルにより計算した結果を表示します。計算条件は、室温で電源電圧は Typical の条件である。MOSFET の ON 電流のばらつきについては、大規模な SRAM においても十分な歩留りが確保できるレベルとして 5σ のばらつきを設定した。図表 2-15 には理想的に縮小が行われた場合も記載するが、これは、メモリセルの縦も横もメタル 1 の配線ピッチで縮小が行われたとして計算を行った結果である。

2010 年においてグラフ上の数値の読み取りを行うと、理想的にメモリセルサイズの縮小が行われるとした計算として、 $0.24 \mu\text{m}^2$ のセルサイズとなり、ON 電流が -5σ で小さくなる方向にばらついた場合には、 $0.46 \mu\text{m}^2$ のセルサイズとなることがわかる。両者の面積比としては、約 1.9 になることがわかる。今後、ON 電流のばらつきによりメモリセルサイズを大きくすることが必要となり、回路やデバイスによる対策を取らない場合には、メモリセルサイズを 1.9 倍程度に設定する必要があることがわかる。



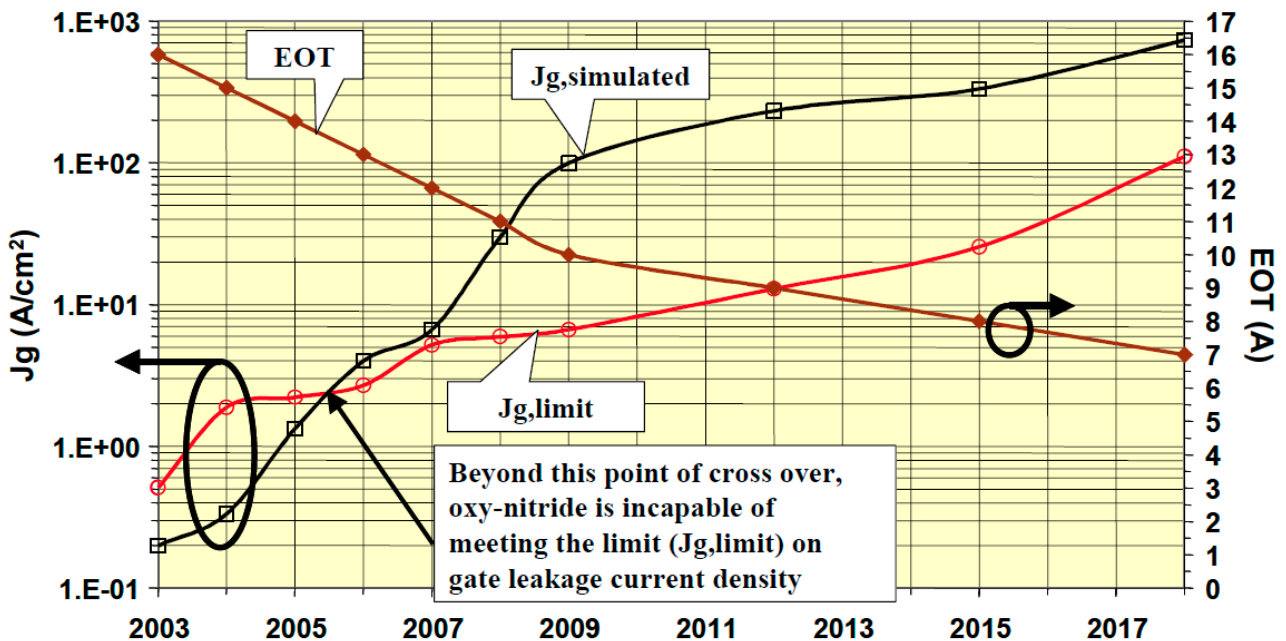
図表 2-15 LOPトランジスタによるメモリセルサイズのロードマップ

2-12 単位デバイスのリーク電流の計算方法

ばらつきを考慮したリーク電流の計算方法として以下の考え方を適用した。

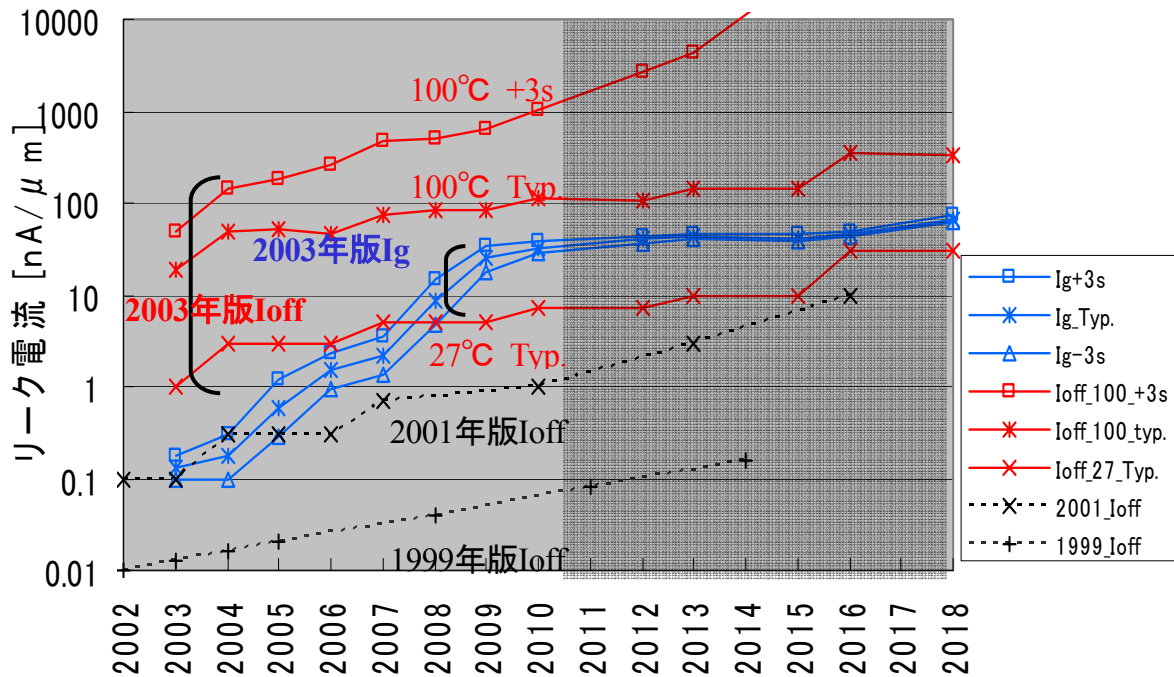
サブスレシヨルドリーク電流については、Typical条件の閾値(V_{th_TYP})とTypical条件のサブスレシヨルドリーク電流(I_{off_TYP})に対して、ばらつきや温度変化の影響を受けた閾値(V_{th})を使って、下の式により計算を行う。

$$I_{off} = I_{off_TYP} \cdot 10^{(V_{th_TYP} - V_{th}) / \text{Subthreshold_Slope}}$$

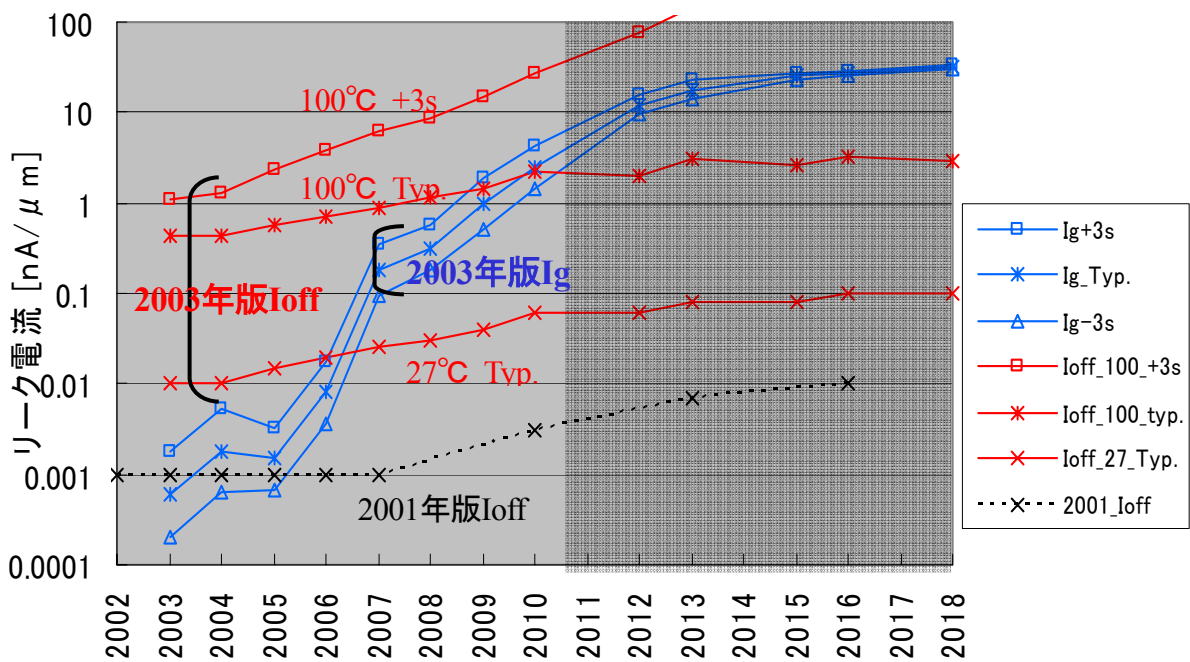


図表 2-16 ゲート絶縁膜の厚さとトンネルリーク電流密度の関係(LOPトランジスタの場合)

ゲートリーク電流については、ゲート絶縁膜の厚さとトンネルリーク電流密度の関係を示す図表 2-16 のようなグラフがロードマップの PIDS 章にある。このグラフの $J_{g,simulated}$ で表わされるカーブに注目して、ばらつきを含んだゲート酸化膜の厚さからゲートリーク電流密度を求める。求まったゲートリーク電流密度に対して MOSFET のゲート面積を乗算することによって、ON 状態の MOSFET のゲートリーク電流を計算する。なお、ゲートリーク電流については、温度依存性が無いとして計算を行う。ちなみに、図表 2-16 のグラフは、LOP トランジスタのものであり、 $J_{g,simulated}$ は high-k 膜を使わない構造のデバイスシミュレーション結果を示している。



図表 2-17 MOSFET の単位ゲート幅あたりのリーク電流 (LOP トランジスタ)



図表 2-18 MOSFET の単位ゲート幅あたりのリーク電流 (LSTP トランジスタ)

図表 2-17に、LOPトランジスタについて、横軸年代で、縦軸に単位ゲート幅あたりのリーク電流を設定して、ロードマップに記載されているリーク電流および今回のリーク電流の計算結果を示す。27°C Typical 条件のサブスレシヨルドリーク電流(ロードマップ記載値)に対して、100°C Typical のサブスレシヨルドリーク電流(今回の計算値)は1桁以上増加しており、温度上昇によるサブスレシヨルドリーク電流の増加が大きいことがわかる。また Typical と+3σ のばらつきを設定して計算したサブスレシヨルドリーク電流を比較すると、おおむね 0.5 桁以上の差があり、ばらつきによってもサブスレシヨルドリーク電流が大きく変動することがわかる。

また図表 2-18 には、LSTPトランジスタについて、単位ゲート幅あたりのリーク電流を示す。

ここまでで、MOSFET 単体のリーク電流およびばらつきが求めたので、単体回路のリーク電流の計算を行う。単体回路としては、2 入力 NAND ゲートおよび SRAM メモリセルのみを考える。これらの回路のリーク電流の計算方法については、昨年度に既に検討しており、この方法と同じ方法を使う。

$0.5 \cdot W_n \cdot I_{sd,off-n}$ と設定	$W_n \cdot I_{sd,off-n}$	$W_n \cdot I_{sd,off-n}$	$2 \cdot W_p \cdot I_{sd,off-p}$ $= 2 \cdot 1.5 \cdot W_n \cdot I_{sd,off-n}$

図表 2-19 2 入力 NAND ゲートのサブスレシヨルドリーク電流の考え方

2 入力 NAND ゲートについて、サブスレシヨルドリーク電流の検討を行う。図表 2-19 に記載するように、2 入力 NAND ゲートの静止状態として4状態に分けて考える。4つの状態が同じ確率で存在するとして、また、NMOS のゲート幅がゲート長の6倍、PMOS のゲート幅がNMOS の1.5倍、PMOS とNMOS の単位ゲート幅あたりのサブスレシヨルドリーク電流が同じであるとして計算すると、2NAND ゲートのリーク電流は平均的には、

$$1.375 \cdot 6 \cdot L_g \cdot I_{sd,off-n}$$

で表わされる。

~ 0	$W_n \cdot I_{g-n}$	~ 0	$2 \cdot W_n \cdot I_{g-n}$

図表 2-20 2 入力 NAND ゲートのゲートトンネルリーク電流の考え方

2 入力 NAND ゲートについて、ゲートトンネルリーク電流の検討を行う。図表 2-20 に記載するように、4つの静止状態に分けて、各々の状態が同じ確率で存在すると考える。ここで、NMOS のゲート幅がゲート長の 6 倍、PMOS のゲート幅が NMOS の 1.5 倍、NMOS に対して PMOS のゲートトンネルリーク電流が少なく無視できるとし、MOSFET が OFF している状態のゲートトンネルリーク電流は、MOSFET が ON している状態のものに対して小さくて無視できる^{vi}という仮定を設定して計算すると、2NAND のゲートトンネルリーク電流は平均的には、

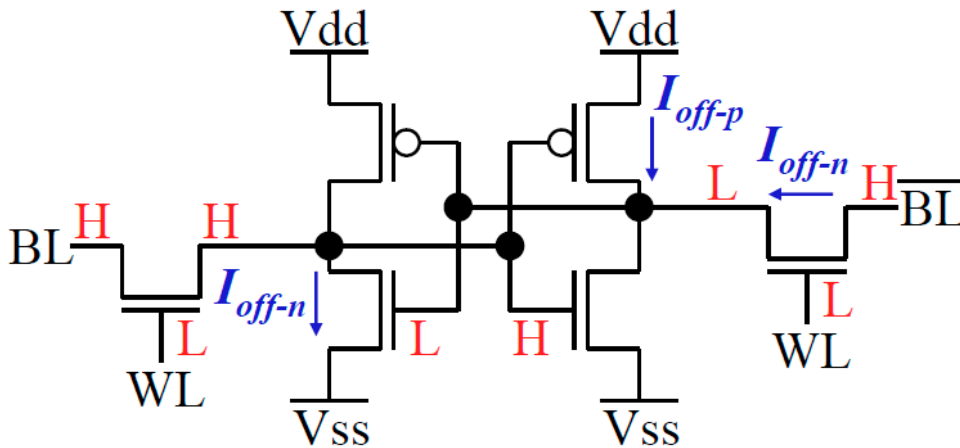
$$0.75 \cdot 6 \cdot L_g \cdot I_{g-n}$$

で表わされる。

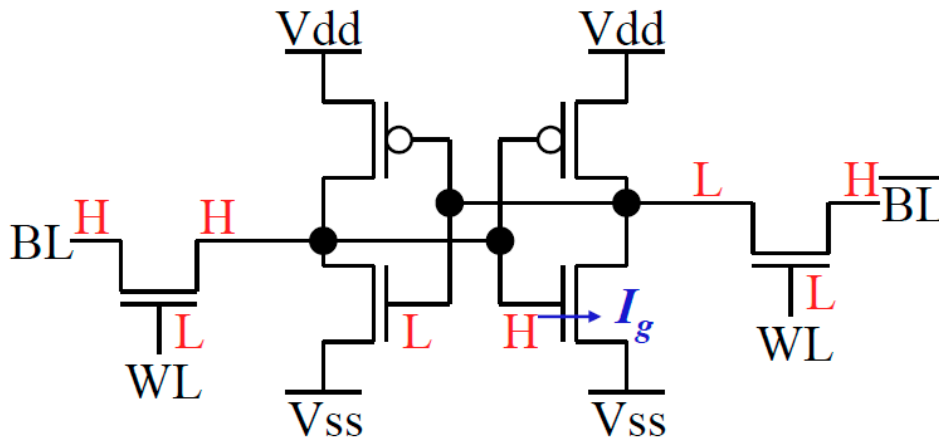
次に SRAM セルのサブスレシヨルドリーク電流の検討を行う。SRAM セルについても図表 2-21 に記載するようなサブスレシヨルドリーク電流のパスがあると考える。NMOS のゲート幅も PMOS のゲート幅もゲート長の 2 倍で同じであると設定し、PMOS と NMOS の単位ゲート幅あたりのサブスレシヨルドリーク電流が同じであるとして計算すると、RAM セル 1bit 分のリーク電流は、

$$3 \cdot 2 \cdot L_g \cdot I_{sd,off-n}$$

で表わされる。



図表 2-21 SRAM セルのサブスレシヨルドリーク電流の考え方



図表 2-22 SRAM のゲートリーク電流の考え方

最後に、SRAM セルのゲートトンネルリーク電流の検討を行う。SRAM セルについては図表 2-22 に記載するようなゲートリーク電流のパスがあると考え。サブスレシヨルドリーク電流の考え方と同様に PMOS と NMOS のゲート幅がともにゲート長の 2 倍、NMOS に対して PMOS のゲートトンネルリーク電流が少なく MOSFET が OFF している状態のゲートトンネルリーク電流は、MOSFET が ON している状態のものに対して無視できるという仮定を設定して計算すると、RAM セル 1bit 分のゲートトンネルリーク電流は、

$$2 \cdot L_g \cdot I_{g-n}$$

で表わされる

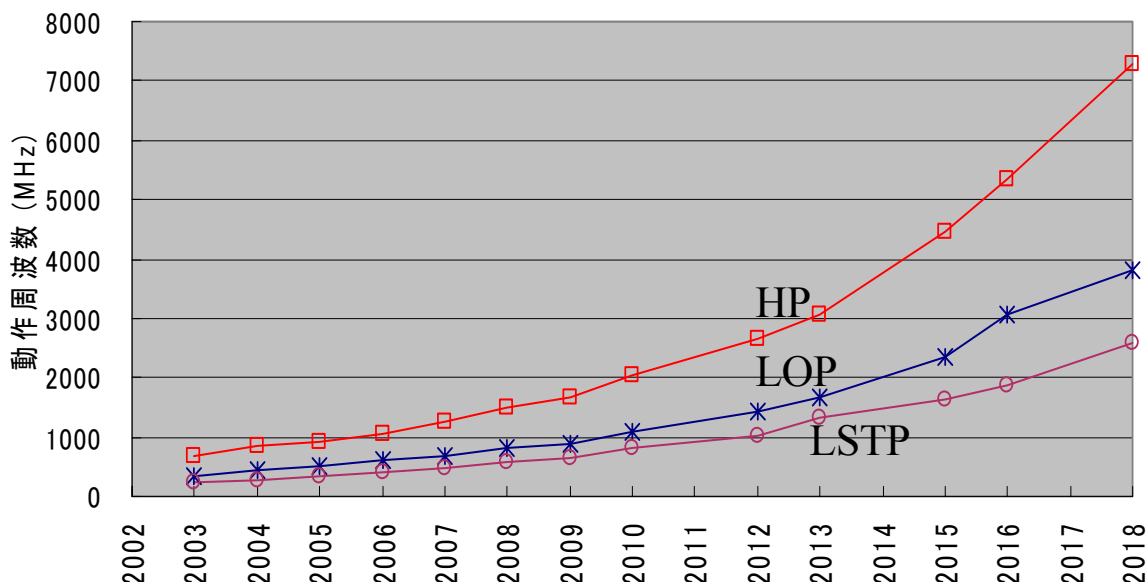
単体の MOSFET のリーク電流の計算結果に対して、上記の回路ごとのリーク電流の計算方法を適用し、その後、SoC に搭載されている論理ゲート数あるいは、メモリビット数を掛けることで、SoC 全体のリーク電流を計算することができる。

2-13 低電力 SoC の消費電力と動作周波数の計算モデル

低電力 SoC の消費電力の計算のうち、リーク電力の計算については、昨年度の計算方法と同様に、2-12 にて述べた 2NAND 回路と SRAM セル回路のリーク電流の計算結果に、SoC に搭載されている論理ゲート数あるいは、メモリビット数を掛け、さらに電源電圧を乗じることにより求める。

AC 電力の計算方法についても、やはり昨年度と同じ計算モデルを使う。AC 電力は 2002 年における SoC モデルの初期値を元に、 $pfCV_{dd}^2$ の関係式を使って 2003 年以降の電力値の計算を行う。ここで p は回路の動作率であり世代によらず固定値を設定する。 f は回路の動作周波数、 C は回路の静電容量、 V_{dd} はロードマップから抽出した電源電圧値である。

上の関係式のうち論理回路の C については、世代毎に微細化が進み回路あたりの容量は減少するが、SoC の搭載回路数が増大する効果と相殺して、世代によらずほぼ一定であると仮定して計算する。またメモリ回路の C については、SoC に搭載されるメモリビット数の平方根に比例して増大すると仮定して計算する。



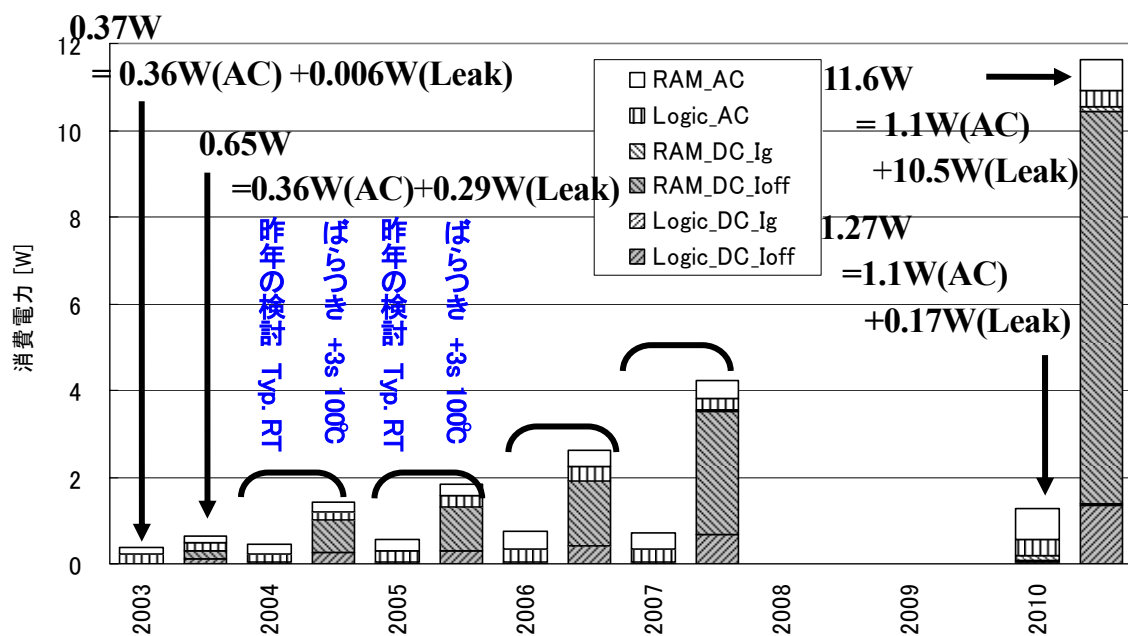
図表 2-23 低電力 SoC の動作周波数の推移

SoC の動作周波数については、昨年度の検討と同様に、室温 Typical 条件における CV_{dd}/I_{ON} の逆数を元に計算する。本来なら I_{ON} についても高温条件 (100°C) のものを使い、デバイスのばらつきを考慮に入れて動作周波数を計算すべきであるが、高温における I_{ON} を求めるモデルパラメータがロードマップに無いことと、回路のパス遅延の計

算には、回路間のばらつきの相関値を含むモデルが無いと現実的な計算ができないことから、昨年度の同じ方法を使うことにした。昨年度の検討結果としての低電力 SoC の今後の動作周波数の推移の計算結果を図表 2- 23 に示す。

2-14 低電力 SoC の消費電力の将来予測

ここまでの検討結果を元に、2003 年から 2010 年までの低電力 SoC の消費電力の推移について計算した結果を図表 2- 24 にまとめる。LOPトランジスタの場合の計算で、電源電圧条件は Typical である。左側の棒は昨年度の検討結果であり、接合温度が 27°C で全てのトランジスタのばらつきが Typical である場合の消費電力の計算結果である。右側の棒は、接合温度が 100°C で全てのトランジスタが+3σ にばらつくと考えた極端な設定での消費電力の計算結果である。2010 年における消費電力の計算結果として、SoC 全体の消費電力が、昨年度の計算結果の 1.27W から、11.6W と 9.1 倍に増加している。リーク電力については、昨年度の計算結果の 0.17W から 10.5W と 61 倍に増加している。その結果、SoC 全体の消費電力 11.6W のうちの 90% をリーク電力で占めるようになる。

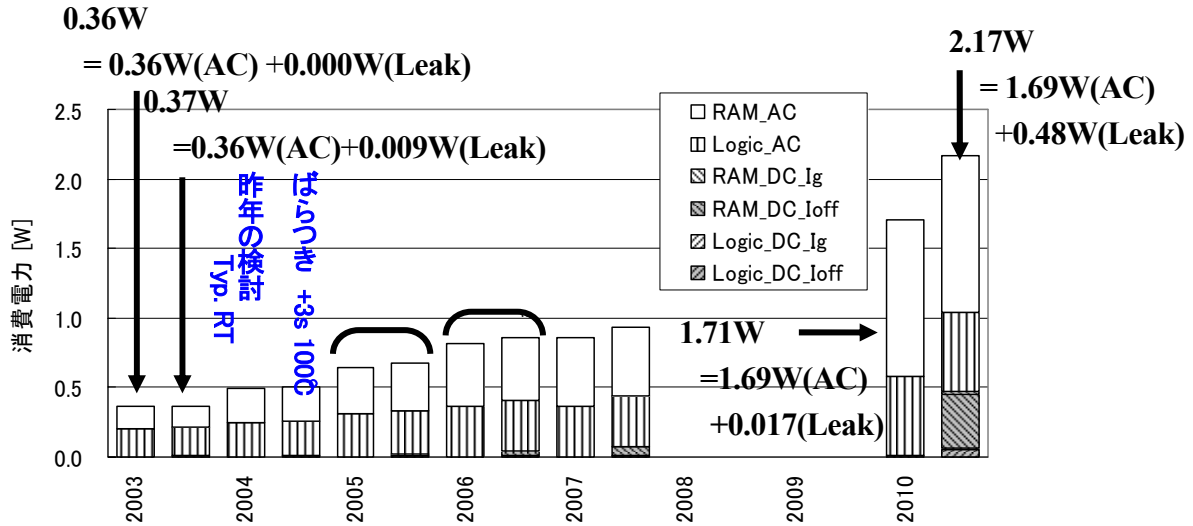


図表 2- 24 低電力 SoC の消費電力の推移 (LOP トランジスタ)

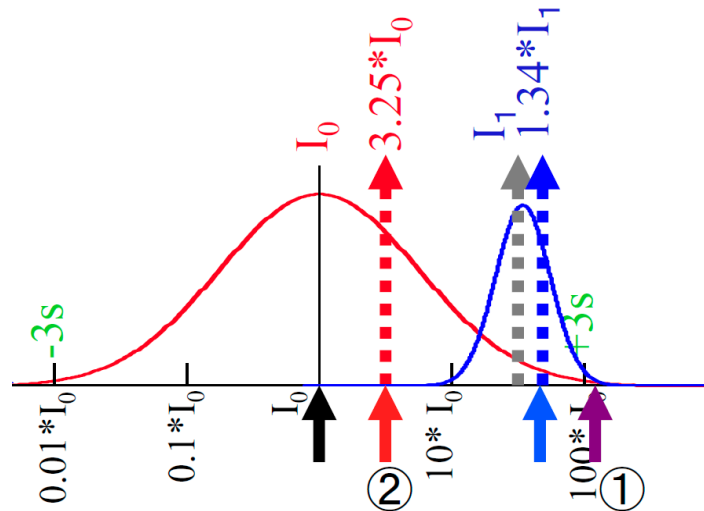
LSTPトランジスタを使う SoC について同様の計算をした結果を、図表 2- 25 に記載する。LSTPトランジスタでは、リーク電流の抑制がされており、100°C ですべてのトランジスタが+3σ でばらつくという条件で、2010 年で比較すると、LOPトランジスタに対して 1/10 以下のリークとなっていることがわかる。

今年度のリーク電力の計算においては、全てのトランジスタが+3σ にばらつくという極端な設定をしている。実際には全てのトランジスタが+3σ にばらつくということは無く、今回の計算結果よりもリーク電流値が小さくなるはずであるが、これについて解説を加える。図表 2-26 に、横軸にサブスレシヨルドリーク電流を取り、縦軸にそのサブスレシヨルドリークが出現する頻度を取ったグラフを示す。サブスレシヨルドリーク電流のばらつきがガウス分布に従うと仮定して図面を作成している。記載しているばらつきの幅は説明の都合で設定したもので、特定のばらつきを示すものではない。全てのトランジスタが+3σ にばらつくということは、図表 2-26 において、全てのトランジスタのリーク電流が①の値を持っているということに対応する。①は、中心値 I0 で 3σ が 2 桁のばらつき分布において+3σ に対応している。また中心値 I1 で 3σ が 1 桁のばらつき分布において+3σ にも対応している。ここで前者のばらつき分布をあるプロセス世代全体を反映するものとし、後者のばらつき分布をあるプロセス世代の中でリーク大にばらついた特

定の LSI チップ内のものである。プロセス世代全体のばらつきの中央値は、 I_0 であり、実効的な平均値は、この分布の場合は、②に示す $3.25 * I_0$ となる。リーク大にばらついたチップにおいて、ばらつきの中央値は、 I_1 であり、実効的な平均値は、この分布の場合には、 $1.34 * I_1$ となる。最もリーク大にばらつくチップのリーク電流のばらつき具合の情報がわかれば、そのチップのリーク電流を計算することができる。(計算方法については、参考文献^{vii}を参照いただきたい。)



図表 2-25 低電力 SoC の消費電力の推移 (LSTP トランジスタ)



図表 2-26 サブスレシヨルドリーク電流のばらつきと実効的な平均値の考え方

今回の検討に関しては、あるプロセス世代全体がどのようなばらつき分布になるかについて、モデル化できたが、特定の LSI チップがどのようなばらつきになるかに踏込むことができなかった。これは、既に述べたように、デバイス間の相関データが無いことに起因している。最もリークが大となる方向にばらついた LSI において実効リーク電流がどのようになるかは、最もリークが大となる LSI のリーク電流がどの程度ばらついているかに依存する。

2-15 まとめと今後の課題

今年度は、昨年度までの低電力 SoC のロードマップにおいて、考慮できていなかったばらつきや温度変化といった要因の影響を追加して検討を行った。

その結果、メモリセルサイズについて、メモリセルサイズを 1.9 倍としないと一定のビット線電流を確保できないことがわかった。また SoC の消費電力については、全てのトランジスタが $+3\sigma$ にばらつくという過大な見積りをしているものの昨年度の検討に対して 9.1 倍の消費電力となることがわかった。どちらも LOP トランジスタを使う SoC での 2010 年における計算の結果である。

メモリセルサイズの検討結果と消費電力の検討結果でわかるように、温度変化やばらつきが SoC の諸特性に与える影響は大きいことがわかった。昨年度は、リーク電流を抑制するような設計が重要であることを述べたが、今年度の結論として、温度変動やばらつきに対応した設計技術が重要になってくるので、これらに対応することが今後必須になってくるということを指摘する。

今後の課題として、今回の検討に使った「ばらつきのモデル」や「SoC の性能、消費電力などの見積りモデル」が簡単なものであったので、今後これを改善することが必要であると考えられる。また国際的な半導体ロードマップ委員会の活動の中でも、ばらつきが LSI の諸特性に与える影響を定量的に評価する計画があり、この計画と今回の我々の検討について、整合性を図ってゆく必要があると考えられる。

2-16 参考文献

-
- ⁱ Y. Taur et al., “Fundamentals of Modern VLSI Devices”, Cambridge University Press
- ⁱⁱ A. Asenov et al., “Simulation of Intrinsic Parameter Fluctuations in Decananometer and Nanometer-Scale MOSFETs”, IEEE Trans. ED, pp.1837-1852, Vol.50, No.9, Sep. 2003
- ⁱⁱⁱ H. Wong et al., “Nanoscale CMOS”, Proceedings of the IEEE, pp537-570, Vol.,87, No. 4, Apr. 1999
- ^{iv} T. Mizuno et al., “Experimental Study of Threshold Voltage Fluctuation Due to Statistical Variation Channel Dopant Number in MOSFET’s”, IEEE Trans. ED, pp.2216-2221, Vol. 41, No. 11, Nov. 1994
- ^v M. Aoki et al., “Design Guide and Process Quality Improvement For Treatment of Device Variations in an LSI Chip”, Proc. 2004 ICMTS, Vol. 17, Mar. 2004
- ^{vi} D. Lee, et al., “Analysis and Minimization Techniques for Total Leakage Considering Gate Oxide Leakage”, Proc. DAC, 2003
- ^{vii} S. Narendra et al., “Full-chip Sub-threshold Leakage Power Prediction Model for sub-0.18 μ m CMOS”, Proc. ISLPED, 2002