

第4章 WG2 テスト

4-1 はじめに

2004年度は、ITRS2004への貢献とともに、STRJ独自の活動として、DFT(Design for Test)とATE(Automatic Test Equipment)の更なる融合によるトータルテストソリューション(一テストコスト削減のためのチップ設計からテストニングまで)を目指した検討を行なった。テストWGは従来どおりDFT-SWGとATE-SWGの2つのサブワーキンググループで構成されており、ITRS2004見直しに関しては、ITRS2003版で日本から貢献したSoC(System-on-a-Chip)テスト技術課題見直し(DFT-SWG担当)とテスト周辺装置のハンドラ/プローバ及びプローブカードのロードマップ見直し(ATE-SWG担当)に貢献した。また、トータルテストソリューションに関しては、DFT-SWGとATE-SWGとの合同の討議時間を設定し、テストコストを削減するための具体的な技術課題(SoCの同測テスト、WLBI(Wafer Level Burn-In)テスト)とその対策について検討した。

以下、これらの内容について報告する。

4-2 ITRS2004 について

本節では、ITRS2004におけるテスト章の概要と日本からの貢献について示す。

4-2-1 ITRS2004 のテスト概要

ITRS全体会議ではKey Challengeにフォーカスした議論を進め、高速インタフェースのテスト、高集積デバイス(SoC、SiPなど)のテスト、信頼性スクリーニング、テストコスト削減、モデル化とシミュレーション、故障診断を含めたテストと歩留りの関係、及び、自動テストプログラム生成について討議が行われた。ITRS2004のテスト章のロードマップ見直しは、ITRS2003の小改訂であった。

4-2-2 ITRS2004 への貢献—DFT

2004年度更新では、System-on-Chip 章の 24a および 24b の SoC テスト要求テーブルに関し、各技術の要求時期の見直しを行い、以下の項目の必要時期を一年あるいは二年後ろ倒しとした。

- ・RTL 設計段階でのテスト容易性解析とテスト回路規模見積もり
- ・IP ベース設計での、テスト戦略支援環境
- ・IP コアに対するテスト容易化設計の選択支援環境

4-2-3 ITRS2004 への貢献—ATE

2004年度は、欧州、米国、東京で開催された ITRS 会議に参加し STRJ の活動紹介を通じて、各 Difficult Challenge のマイナー変更に寄与した。特に、東京会議では DFT テスタに関する STRJ 活動結果から ITRS2003 DFT-BIST Device Test Requirements (Table 30) の見直し、新しいテーマとしてWLBIのロードマップへの追加を提案した。また、既にロードマップ化されているハンドラでは、今後の重要テーマであるテストコスト削減策の 1 つとしてマルチサイトテストについて、設備価格とスループットの面からシミュレーションした最適サイト数結果も報告した。

4-3 国内活動の成果について

4-3-1 DFTとATEの合同活動

SoCのテストコスト低減策をATE-SWGと合同で検討した。SoCの製造コストは、ウェーハの大口径化によるバッチ処理で低減可能なのに対し、テストは単品処理が基本のため画期的コスト低減が難しい。その中で、

テストコスト削減の手法として、同測テスト(ウェーハソート、パッケージソートテスト時に複数のデバイスを同時に測定する手法)や、WLBIテスト(ウェーハ上の多数のデバイスを同時に加速度試験する手法)が知られている。同測テストは、同時測定の実行数の増加で大幅なコスト低減の可能性を秘めている。しかし、SoCではATEの制約とDFTの制約が必ずしも噛み合わないために、特定の製品にしか使えてないのが現状である。

同測テストやWLBIテストでは、対象とするデバイスの数に比例して扱う信号ピン数が増加するため、従来DFT手法を使用した同測数の増加によるテストコスト削減には限界がある。そこで、ATEの制約事項を考慮し同測数向上が可能となる最適なDFT手法の検討を行った。本年度は、ATE-SWGとDFT-SWGの合同テーマとして同測テストに取り組み、ATE-SWGでは、ATEの信号ピン数、電源、パターンメモリ等の制約値を具体的に提示し、DFT-SWGでは、既存のDFT手法を比較検討し、ATE制約値との関係を明確にした。

その結果、ファンクションテストやスキャンテストは、信号ピン数やパターンメモリの点から、広く適用するのは困難であることがわかった。また、ランダムパターンBIST(Built-In Self-Test)は、ATE制約値の面からは同測テストに適したDFTであるが、BIST適用のための設計制約が厳しいために適用製品は必ずしも多くない。近年登場してきた、圧縮パターンテスト(圧縮ディタミニスティックパターンテスト)は、スキャンテスト並みの設計制約でBISTに近い信号ピン数やパターンメモリ数を実現可能なことから、今後の同測テスト向けDFTの有力な候補となる。しかしどちらの手法を採用するにしても、電源に関しては、電源種類や容量面で現実の多様なSoCのニーズへの対応は難しいと思われ、ATE側の検討を要することが分かった。WLBIテストについても同様の位置付けで検討し、同測テストとほぼ同様の結論を得た。

1) 同測テスト向けDFTの検討

同測テストとWLBIのテストの同測デバイス数を増加させるに当たり、同測デバイス数の増加を阻害する要因として、一つのデバイス当たりのテストに必要な、信号ピン数、電源本数、電源容量、パターンメモリ容量、最大テスト周波数が考えられる。これらの課題に対して、ファンクションテスト、スキャンテスト、ランダムパターンBIST、圧縮パターンテストによるテスト測定について検討を行なった。

(1) テストに必要な信号ピン数

・ファンクションテストの場合

デバイスが有するすべての信号ピン数が必要となる。

・スキャンテストの場合

テストに使用する信号ピン数の削減は可能、削減数はテスト時間との兼ね合いによって決まる。すなわち、信号ピン数を減らせばテスト時間が増大し、逆に信号ピン数を増やせばテスト時間は減少する関係にある。テスト時に非接触のIOピンの扱いについては、IOラップテスト(バウンダリスキャンセルをIO回路のテストに用いる)などの対応が必要となる。

・ランダムパターンBISTの場合

信号ピン32ピン以下でテスト可能。テスト時に非接触のIOピンの扱いはスキャンテストと同様。

・圧縮パターンテストの場合

テスト時に使用する信号ピン数の削減は可能だが64ピン程度が理想的と思われる。テスト時に非接触のIOピンの扱いはスキャンテストと同様。

(2) 電源本数

ファンクションテスト、スキャンテスト、ランダムパターン、およびBIST圧縮パターンテスト全てで、デバイスの実使用時と同数の電源本数を必要とする。

(3) 電源容量

・ファンクションテストの場合

デバイスの実使用時と同数の電源本数を必要とする。

- ・スキャンテスト、ランダムパターンBIST、および圧縮パターンテストの場合
キャプチャ動作時は、瞬間的に実使用時より大きい電流を必要とする。

(4) パターンメモリ容量

- ・ファンクションテストの場合

デバイスの実使用時と同様のメモリ容量を必要とする。

- ・スキャンテストの場合

32ピン使用の場合、5Kテストベクタ×17K F/F=85M程度必要となる。

通常のスキャンメモリで対応可能な範囲。

- ・ランダムパターンBISTの場合

クロック信号のみをATEから入力するので、ループパターンが使用できる。メモリ容量的には十分対応可能な範囲。

- ・圧縮パターンテストの場合

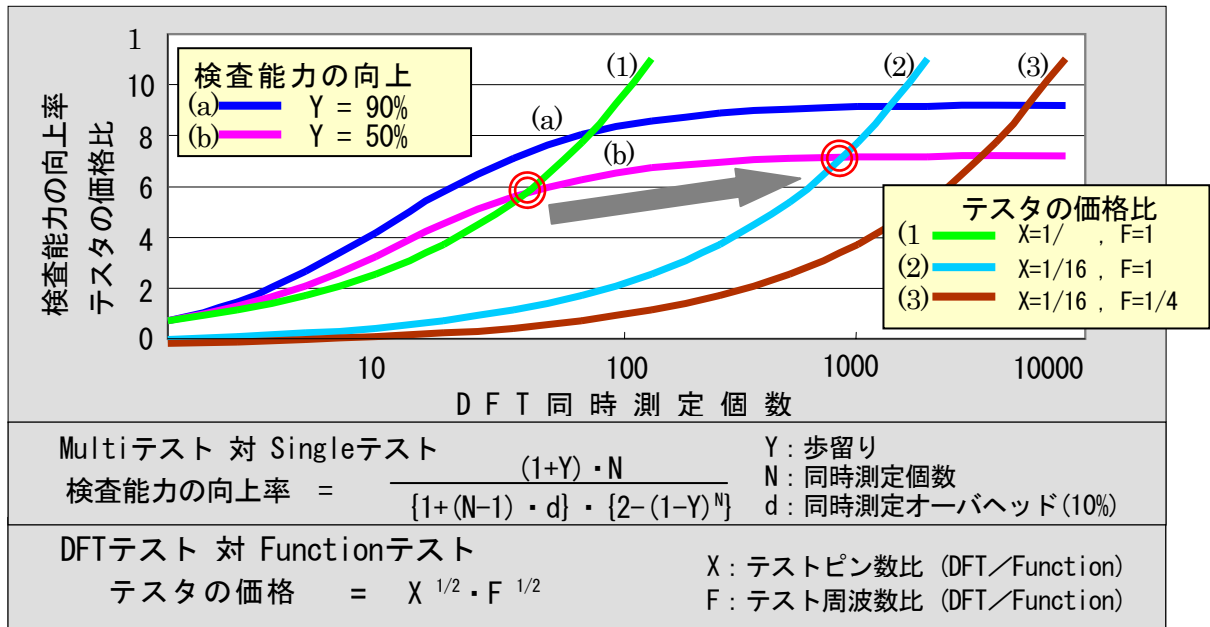
テストパターンのデータ圧縮率20倍と仮定すると、必要なパターンメモリ容量はスキャンテストの1/20で約4Mとなる。これは、スキャンメモリで対応可能な範囲。

図表4-1は、以上の検討項目をまとめた結果である。図に示すように、SoC向け同測・WLBIテストに対応したDFTは、ランダムパターンBISTまたは圧縮パターンテストであり、特にランダムパターンBISTを採用することにより、同測・WLBIテストの同測デバイス数の拡大が可能である。

項目		制約値	ファンクション テスト	スキャンテスト	ランダムBIST	圧縮パターン テスト
信号ピン数		1024 ÷ 同測数	× ~ △ 制約値以上 のチップは 適用不可	△ ピン数とテスト時間 のトレードオフ (1)非接触IOピン対策要 例：電位固定 / IOラップ (2)DCパラメトリックテスト不可	◎	○
電源	電源 種類	1-4 / DUT	△ 通常テストと同数の電源必須			
	電流 容量	2A / 電源	—	△ 実使用状態以上の電流が流れる		
No/Goテスト		要	—	△ アナログブロックは別テスト必要		
パターン メモリ容量		64M アドレス	—	× 大容量	◎ 小容量	○ 中容量
総合評価			X	X	◎	○

図表 4-1 同測向き DFT の検討

ITRS2003においてDFTベースの超多数個同時測定ロードマップ (ITRS2003 Table-30) が示され、我々は昨年度の活動の1つとしてDFT化推進による同時測定個数とコスト削減効果の関係について論理的検証を行った。図表4-2は2003年度活動報告書からの抜粋であり、同時測定個数とコスト削減効果の関係を「テスト価格」、「同時測定個数」、「歩留り」をパラメータにして表したものである[1]。「検査能力の向上率」と「テストの価格比」の交わった点が同時測定による削減効果の限界であり、従来テストの場合 (X=1, F=1) では歩留り50%で32個同時測定以下の場合に効果があることを示している。また必要テストピン数の削減や必要周波数の低減を図るDFT化の推進で同時測定によるコスト削減の限界が拡張できると考察した。



図表 4-2 同時測定個数とコスト削減効果の検証(STRJ2003 報告より)

このような 2003 年度の活動を踏まえ、2004 年度は上記考察の基礎になる DFT 化について DFT と ATE の両面から見直した。その結果として洗い出された課題は図表 4-3 の通りであり、DFT 手法と ATE 制約の整合を取ることが重要になっている。

テストの目的は？

潜在する不良モードの可視化
課題) LSI の動向(微細化/高集積化/高速化)への対応

不良モード検出のテスト手法を開発し、良品/不良品の選別
課題) テストコストを限りなく低減させる

将来の革新的テスト手法とは？

潜在する不良モードに対応する DFT/ATE 技術とは・・・？
現状) Stuck-at: スキャン, @Speed: 内蔵 PLL 利用・・・

テストコストを限りなく低減する ATE/DFT 技術とは・・・？
現状) Ch 数削減による装置価格の低減

図表 4-3 DFT 手法と ATE 制約の擦り合せ課題

4-3-2 DFT-SWGの活動

4-3-2-1 DFTとATEの合同活動 (同測テスト向けDFTの検討)

2004年度はSoCのテストコスト低減策をATE-SWGと合同で検討した。SoCの製造コストはウェーハの大口径化によるバッチ処理で低減可能なのに対し、テストは単品処理が基本のため画期的コスト低減が難しい。その中で、同測テストは、同測デバイス数の増加で大幅なコスト低減の可能性を秘めている。しかし、SoCでは、ATEの制約とDFTの制約が必ずしも噛み合わないために、特定の製品にしか使えてないのが現状である。そこで、同測テストに適したDFT手法の検討と課題の洗い出しをATE-SWGと合同で行った。ATE-SWGでは、ATEの信号ピン数、電源、パターンメモリ等の制約値を具体的に提示し、DFT-SWGでは、既存のDFT手法を比較検討し、ATE制約値との関係を明確にした。詳細は4-3-1項に記した。

4-3-2-2 90nm、65nm世代のテスト指標の策定

DFT-SWGでは、SoCテストのロードマップをコア、コアアクセス、SoCレベルのテスト、マニファクチャリングの4分類に取りまとめ、ITRS2003に掲載した。図表4-4はITRS2003に掲載されたSoCテストの短期課題を示す。しかし、このロードマップではDFT技術の方向性は指し示したものの、残念ながら、その定量的レベルまでは言及できなかった。そこで、2003年度のDFT-SWGの活動で、90nm、65nm世代のSoCの、DFTに関わる面積・TATなどの指標をできるだけ定量化することを目標に、ロードマップの策定に取り組んだ。図表4-5に、2003年度に策定したSoCモデルに基づく、SoCのDFTに関わる指標を示す。本指標は、設計TF/PIDS/FEPクロスカット活動報告(2002)に基づいたSoCモデルに基づいて、DFTに関する各項目について、各社アンケートを行い、その定量化を行ったものである。図表中の、65nmの「技術革新なし」と「要求レベル」は、それぞれ、現状技術の延長線上にある状態と、品質・コスト等の面から検討した要求レベルを示している。また、要求レベルのセルで緑色は「技術革新なし」と「要求レベル」の一致を、赤は「要求レベル」達成のために、何らかの技術革新が必要であることを示している。

2004年度は、図表4-5の中から重要課題を抽出し、ITRS2005へ反映し、“より実践的なSoCロードマップを目指して”の詳細検討をおこなった。また見積もりのために必要な数値のうち、ITRSロードマップで見積もっていないものは、各社からのアンケートで補った。抽出した課題は、以下の3テーマである。

(1) メモリBISTの回路規模に関する検討

SoCでのメモリの使用比率が年々増加してくるのに伴い、メモリBIST回路も増大する。また、歩留り確保のため、大規模メモリでは、リダンダンシ(冗長機能)を持つものが増えており、BIRA (Built-In Redundancy Allocation) や、BISR (Built-In Self Repair) の機能を持つようになってきている。そこで、メモリBISTの回路規模予測をおこなった。

(2) ロジックテストの回路規模に関する検討

ロジック部の回路規模の増大に伴い、階層化テストの必要性が増大する。また、テスト時の消費電力を低減するためにも階層化テストが有効な手段となってくる。そこで、階層化も含めて、ロジックテストの回路規模予測をおこなった。

(3) テスト品質に関する検討

半導体プロセス微細化に伴うディレイ系不良が増加すると考えられる。テスト品質確保のためには、多数のディレイテストパターンが必要になると見られ、テストパターン数及びテスト時間の増加が予想される。そこで、テストパターン数及びテスト時間の予測をおこない、それらの低減に必要な技術課題を検討した。

その他、以下に示すDFT手法に関する用語の見直しと統一をおこなった。括弧内は2003年度報告での使われ方を示す。

- ・ ランダムパターンBIST(ランダムBIST、ロジックBISTなど)
- ・ 圧縮ディタミニスティックパターンテスト、略して圧縮パターンテスト(圧縮回路付きデターミニスティックテスト、パターン圧縮ロジックBISTなど)

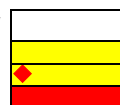
Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100nm	90nm	80nm	70nm	65nm	57nm	50nm
Embedded Cores							
Standardization of core test data [1]	Standard format on EDA/ATE	Standard format on EDA/ATE	Standard format on EDA/ATE	Extension to analog cores	Extension to analog cores	Extension to analog cores	Extension to analog cores
Embedded Cores: Logic							
Test logic insertion at RTL design	Partially	Partially	Fully	Fully	Fully	Fully	Fully
Testability analysis and overhead estimation at RTL design	Ad hoc	Fully	Fully	Fully	Fully	Fully	Fully
BIST for logic cores	Yes [2]	Yes [2]	Yes [2]	Yes [2]	Yes [2]	Yes [2]	Yes [2]
BISR for logic cores	Minimal	Minimal	Minimal	Some	Some	Some	Some
Embedded Cores: Memory							
Embedded non-volatile memory BIST	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Embedded memory BIST (redundant configuration, self hard repair) [3]	Partially BISR	Partially BISR	Partially BISR	Partially BISR	BISR	BISR	BISR
Embedded memory BIST (redundant configuration, self soft repair) [4]	Partially BISR	Partially BISR	BISR	BISR	BISR	BISR	BISR
Embedded Cores: Analog							
BIST for analog cores	Restricted use (PLL, ADC, etc.)	Limited use (PLL, ADC, etc.)	Limited use (PLL, ADC, etc.)	Full use	Full use	Full use	Full use
Failure analysis for analog cores	No	No	No	Yes	Yes	Yes	Yes
Core Access							
Standardization of test interface [5]	Standard interface on IP core	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]
Analog-mixed signal core access	Direct access	Analog wrapper [7]	Analog wrapper [7]	Standard analog wrapper [7]	Standard analog wrapper [7]	Standard analog wrapper [7]	Standard analog wrapper [7]
SOC Level Testing							
Test strategy for IP core-based design (test control integration, test scheduling for low power consumption, test time reduction and test pin reduction)	Partially automated	Partially automated	Fully automated	Fully automated	Fully automated	Fully automated	Fully automated
DFT selection for cores	DFT selection for cores	DFT selection for cores	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool
DFT at higher level design (behavior level, HW/SW co-design, high level synthesis with testability analysis)	No	No	Yes	Yes	Yes	Yes	Yes
Fault model for SOC level fault coverage [8]	Single stuck-at fault model/transition	Standard fault models	Standard fault models	New standard fault model, its coverage	New standard fault model, its coverage	New standard fault model, its coverage	New standard fault model, its coverage
Manufacturing							
Diagnosis interface/data [9]	Standard format and methods on IP core	Standard format and methods on IP core	Standard format and methods on IP core	Standard format and methods on IP core	Automated SOC diagnosis	Automated SOC diagnosis	Automated SOC diagnosis

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



- [1] テストプログラム開発のTAT削減に必要な、テストデータフォーマットの標準化
 [2] 高い故障検出率、システム動作周波数での実スピードテスト、テスト時間増加の抑制、低消費電力、低エリアオーバーヘッド
 [3] ある種の不揮発性メモリを用いた電気ヒューズが、BISR時のリペアコード保存に用いられる
 [4] パワーオン時のBIST及び BISA実行後、リペアコードがレジスタに保存される
 [5] コアラッパ、テストアクセス機構やインタフェース言語の標準化 (IEEE P1500や1450.6 CTLなど)
 [6] EDAツールが標準テストインタフェースを用いて、コアテストパターンの変換や、チップレベルのテスト回路の実装を行なう
 [7] 搭載アナログMSコアへアクセスするための拡張されたラッパー構造であり、いわゆるアナログバウンダリスキャンとは異なる
 [8] IPコア流通を促進するための、故障モデル及び故障検出率の標準化
 [9] 故障解析のTAT短縮に必要な、診断におけるデータフォーマット及びインタフェースの標準化

図表 4-4 ITRS 2003 掲載の SoC テストの短期課題

		90nm	65nm (技術革新なし)	65nm (要求レベル)
SRAM BIST	挿入形式	RTL/Gate	RTL/Gate	RTL/Gate
	面積オーバーヘッド	200~600kゲート	330~1000kゲート	330~1000kゲート
	並列検査分割数	8~36回	13~60回	13~60回
	検査アルゴリズム	March, checker程度	March(複数), Checker程度	March(複数), Checker程度
	冗長救済方法	Column and/or ROW	Column and/or ROW	Column and/or ROW
		レーザ/ソフト併用	レーザ/E-fuse/ソフト	レーザ/E-fuse/ソフト
	テスト時間(リテンションを除く)	0.01~0.1秒	0.01~0.1秒	0.01~0.1秒
ランダムパターンBIST	対象回路の設計レベル	Gate	RTL/Gate	RTL/Gate
	面積オーバーヘッド	3~5%	3~5%	3~5%
	テストパターン長(キャプチャ数)	64k~100k	64k~100k	64k~100k
	スキャン動作速度	30~40MHz	50~65MHz	50~65MHz
	故障診断精度	セルレベル	セルレベル	セルレベル
	診断対象故障モデル	縮退・ショート・オープン	縮退・ショート・オープン	ディレイ・クロストーク
	テスト時間 [※1]	WT:1秒、FT:1秒	WT:1秒、FT:1秒	WT:1秒、FT:1秒
	テストポイント/kGate	1個	1個	1個
	設計TAT	1~2Week	1.5~3Week	1~2Week
	実速度試験での機能的フォールスパス対策	設計保障 or BIST対策	設計保証	設計保証+BIST対応
	ゲート活性化率	20%	20%	20%
	デターミニスティックパターン追加	要	要	要
圧縮パターンテスト	対象回路の設計レベル	RTL/Gate	RTL/Gate	RTL/Gate
	面積オーバーヘッド	0.5~3%	0.3~2.5%	0.3~2.5%
	テストパターン長(キャプチャ数)	5k~25k	10k~50k	10k~50k
	スキャン動作速度	30~40MHz	50~65MHz	50~65MHz
	故障診断精度	セルレベル	セルレベル	セルレベル
	診断対象故障モデル	縮退・ショート・オープン	縮退・ショート・オープン	ディレイ・クロストーク
	テスト時間 [※1]	WT:0.2~0.5秒 FT:0.2~0.5秒	WT:0.3~0.7秒 FT:0.3~0.7秒	WT:0.3~0.7秒 FT:0.3~0.7秒
	テストポイント/kGate	なし	なし→わずか	なし→わずか
	設計TAT	0~1Week	0~1Week	0~1Week
	実速度試験での機能的フォールスパス対策	設計保障 ツール対応	設計保障 ツール対応	設計保障 ツール対応
ゲート活性化率	20%	20%	20%	
アナログテスト	BIST	一部PLL BIST	一部PLL BIST	AD/DAもBIST
故障モデル	クロストーク	なし	なし	必要
	遅延故障モデル	トランジション・パス遅延	トランジション・パス遅延	高精度遅延
	遅延故障検出率	80~90% (トランジションベース)	80~90% (トランジションベース)	80~90% (トランジションベース)

※ 1:WT・・・ウェーハテスト, FT・・・ファイナルテスト

図表 4-5 SoC DFT ロードマップ

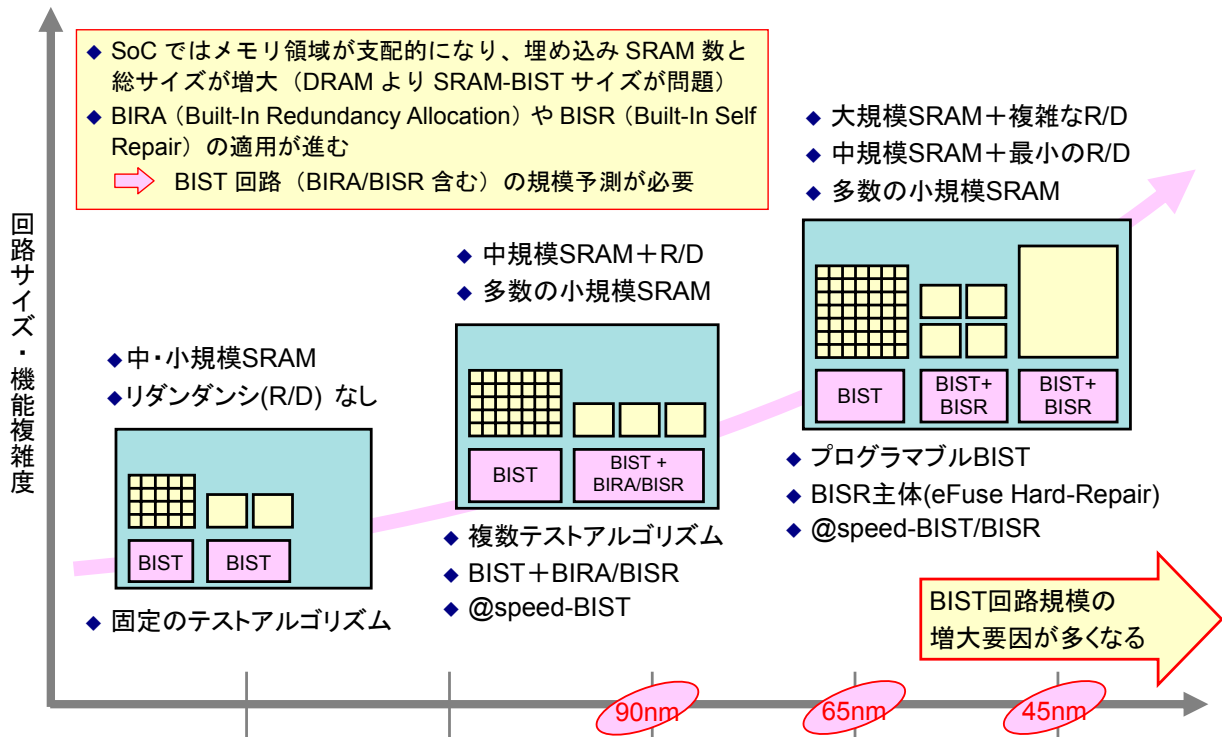
1) メモリBISTの回路規模に関する検討

半導体のテクノロジー世代が進み、SoCが大規模・複雑化していくに従い、チップ面積内に占めるメモリデバイス領域の比率は急激に増大していくと予想されている。これは搭載されるメモリデバイス数の増加や、各メモリ容量の増加という形で現れ、結果としてこれらのテストを行うメモリ BIST 回路の規模を図表 4-6 に示す様に増大させる。

一方 SoC の微細化や高速化に伴い、メモリ BIST 技術にも以下のような機能および性能上の革新が必要となる。

- (1) プロセス微細化により現れる新たなメモリデバイス欠陥に対応するための、固定のテストアルゴリズムから、複数テストアルゴリズムとテスト条件の組み合わせを選択できる機能への拡張、さらにはテストをより高い自由度で構成できる、プログラマブル BIST への移行
- (2) 歩留り向上のための冗長構成付きメモリに対し、BIST 実行時に救済解を求める BIRA 技術や、さらには救済処理までをオンチップで行う BISR 技術の開発と実用化
- (3) SoC の高速動作部で使用されているメモリの実速度テスト、また実速度テストの結果からの、BIRA や BISR 技術を用いた冗長救済

上記いずれの要因も、BIST/BIRA/BISR 回路の複雑化・高速化と、それに伴う回路規模の増加をもたらす。本来 BIST 回路の規模はメモリ規模に対するオーバヘッドとみなすべきものであるが、BIST/BIRA/BISR 回路がメモリデバイス内に埋め込まれず、論理の一部として実現されると、現象としては論理領域の増大として現れることになる。



図表 4-6 メモリサイズ増大とそれに伴うメモリ BIST 回路規模の増大

DFT-SWG では 2004 年度の活動の一環として、このメモリ BIST 回路規模増加の short/long term を通じての見積もりを行っており、まず SoC に搭載されるメモリデバイスの総ビット数の増加を定量的に見積もる作業を行った。作業に際しては、まず 2002 年度の設計 TF/PIDS/FEP クロスカット活動報告で採用しているモバイル・マルチメディア SoC を想定した。そしてここから、ITRS よりの埋め込みメモリのセルサイズや、チップにおける面積比などの予測値と併せ考慮し、以下の図表 4-7 に示すようにメモリデバイスの総ビット数の予測を行った (2010 年まで表示)。

Year of Production	2003	2004	2005	2006	2007	2008	2009	2010
Technology Node		hp90			hp65			hp45
SRAM Technology Node - Feature Size (F) [1]	130	90	90	90	65	65	65	45
6T bitセルサイズ(F2)[1]	140F2	140F2	140F2	140F2	140F2	140F2	140F2	140F2
SoC内のメモリ面積割合(%) [2]	65.5	66.8	68.2	69.5	73.7	77.8	82.0	84.3
メモリ総ビット数 (Kbit)	4,293 [3]	9,135	9,326	9,504	19,322	20,397	21,498	46,111
リダンダンシ対応技術	一部BISR	一部BISR	BISR	BISR	BISR	BISR	BISR	BISR
テストアルゴリズム	固定	複数から 選択可	複数から 選択可	複数から 選択可	プログラ マブル	プログラ マブル	プログラ マブル	プログラ マブル
BIST/BIRA/BISR回路規模	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD

[1] ITRS 2003 “System Drivers” Table 11a/b, “Embedded Memory Requirements” より

[2] 同Figure 11, “Power Gap Effect on Chip Composition” より

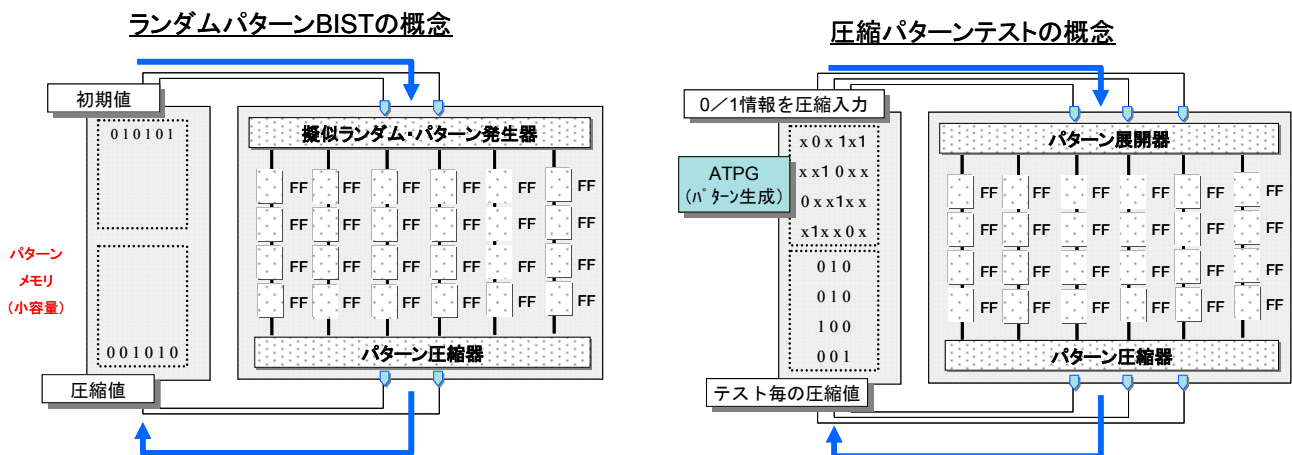
[3] ”設計TF/PIDS/FEPクロススカット活動報告(2002)” より抽出

図表 4-7 メモリサイズとメモリ BIST 回路規模の予測

今後はメモリ総ビット数や動作周波数の予測をもとに、メモリBIST回路規模増加の定量的予測を行う。その際同表にあるように、BIRA/BISRの採用やプログラマブル化など、BIST技術の機能・性能上の向上の必要性なども考慮に入れる必要がある。

2) ロジックテストの回路規模に関する検討

現在、回路規模増大に伴って従来のスキャン方式テストではテストパターン量がATEのメモリに格納できない多量なレベルに達しつつある。今後65nm、45nm世代になると、回路規模増大に加えて実速度テストへの対応が重要課題となる。実速度テストに必要なテストパターン数は現在実施されている縮退故障用テストパターンの数十倍になることが予想されており、その解決策として提案されている技術が、図表4-8に示したランダムパターンBISTと圧縮パターンテストである。



図表 4-8 ランダムパターン BIST と圧縮パターンテストの概念

ランダムパターンBISTは、図表4-8に示すように、SoC内部にテスト対象回路に印加するテストパターンを生成するための疑似ランダムパターン発生器と、テスト対象回路のテスト結果を少量ビット列に圧縮するためのパターン圧縮器が組み込まれている。このように、ATEの機能をSoC内部に組み込むことによりSoCとATE間での信号のやり取りを減らすことが出来るので、スキャンテストと比較してテストデータ量を大幅に低減でき、また非常に少数のピンでテスト可能となる。また少数ピンでテスト可能であることから、多数個の同測テストにも適すという特徴がある。その他、ATEのスピードに制限されずにSoC内部を実動作速度でテストできることから高速のテストを実現しやすく、さらにはボード上でのSoCの自己テストや、SoC内のコアの自己テストにも用いることができる。

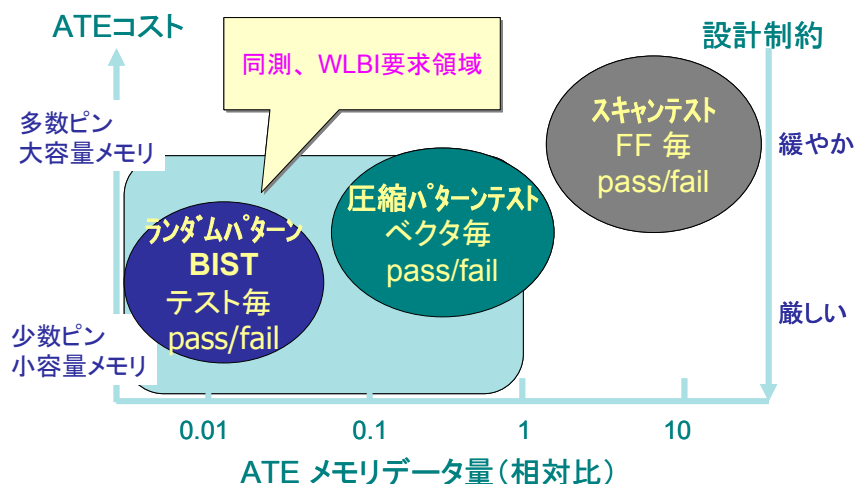
その一方で、ランダムパターンBISTでは、設計制約や設計フローへのインパクトが大きいという問題点もある。設計制約に関しては、パターン圧縮器にX(不定値)が入るとパターン圧縮器中のデータが破壊されるため、Xを発生しない回路であることが求められる。また設計フローに関しては、疑似乱数パターンのみで故障検出率を向上させるためには、組み合わせ回路内にテストポイントと呼ばれるスキャンFF相当の回路を挿入し、回路の制御性や観測性を高める必要があるが、このテストポイントの挿入は、通常、論理設計完了後に実施することになる。また、論理変更などがあった場合に故障検出率が下がると、追加のテストポイントの挿入が必要になる場合がある。最近の微細化されたテクノロジーでは、タイミング収束、レイアウトに大きな工数がかかっており、テストのためにこの作業を繰り返すことは、非常に大きな負担となる。

圧縮パターンテスト技術は、図表4-8に示すように、ランダムパターンBISTとATPG(Automatic Test Pattern Generator)の良い点を組み合わせて、テストデータ量の圧縮とテストポイント不要な高検出率のテストパターンの両方を得ようとする技術であり、従来のスキャン設計とランダムパターンBISTとの中間に位置づけられる。

圧縮パターンテスト技術の長所として、ATPGを利用するため非常に高い故障検出率を得ることが可能、テストポイントが不要であるためにランダムパターンBISTと比較して面積オーバーヘッドが小さい、設計制約が従来のスキャン設計とほぼ同レベル、などが挙げられる。一方短所としては、従来のスキャン設計と同様にパターン生成をすべてATPGに頼るため大規模回路ではテストパターン生成のTATが長い、ランダムパターンBISTよりはテスト用ピン数が多少多く必要になる、などが挙げられる。

図表4-9に、従来のスキャン設計、ランダムパターンBIST、および圧縮パターンテストの特徴を示す。スキャン設計は、設計制約が最も緩い一方でATEメモリ量を非常に多く必要とし、ランダムパターンBISTは逆に、ATEメモリ量を最も小さくできる一方で設計制約が最も厳しくなる。圧縮パターンテストは両者の中間に位置づけられる。したがって、これらの特徴を考慮して適切なテスト容易化設計手法を選択することが重要となる。

DFT手法とその特徴



図表 4-9 DFT 手法とその特徴

実速度テストの普及に伴うもう一つの課題として、テスト時の消費電力の増大が挙げられる。スキヤン設計、ランダムパターンBIST、および圧縮パターンテストでは、いずれにおいても実使用時よりゲート活性化率(論理レベルが変化するゲートの割合)が実使用時よりも高くなるため、テスト時の消費電力が懸念される点で共通の問題を抱える。特に、今後ロジック部の回路規模の増大に伴いテスト時の消費電力増大が予想され、その解決策として、テストの分割(階層化テスト)数を増すことにより、一度にテストする単位を小さくすることでテスト時の消費電力を抑える、という対策案が考えられる。

2-1) ランダムパターンBIST

ランダムパターン BIST では、上述の通りテスト時の消費電力増大が懸念されるが、特に疑似ランダムパターン発生器を使用していることにより、ゲート活性化率をコントロールするのが困難であることから、上述した 3 つの DFT 手法の中では最もテスト時の消費電力が問題視される。また、疑似ランダムパターン発生器が生成した疑似乱数パターンのみで故障検出率を向上させるためには、テストポイントを挿入する必要があり、回路規模増大に伴いテストポイント数の増加が懸念される。

DFT-SWG では 2004 年度の活動の一環として、2002 年度の設計 TF/PIDS/FEP クロスカット活動報告で採用しているモバイル・マルチメディア SoC を想定し、図表 4-5 に、ランダムパターン BIST の指標を示したが、この中で、回路規模増大に伴うテスト回路による面積オーバーヘッドの定量化を行った。その際、テスト時の消費電力の対策として行うテストの分割を考慮し、テスト回路規模の予測を行った。なお、ランダムパターン BIST のテスト回路は、疑似ランダムパターン発生器、パターン圧縮器、テストポイントからなり、スキヤン設計に対する回路増加分をテスト回路の増加分として定義して予測した。

具体的な数値を算出するにあたっては、各社の現状アンケートを実施し、これを元にテスト分割数、テスト回路規模の将来推移を予測した。以下が、各社アンケート結果から決定し、定量化したテスト回路のスペックである。

- ・1 テスト分割あたりのテスト対象回路規模： 3.8 百万トランジスタ
- ・1 テスト分割あたりの疑似ランダムパターン発生器および圧縮器のゲート規模： 20Kゲート
- ・挿入するテストポイント数： テスト対象回路1Kゲート当たり1個

図表 4-10 は、テスト分割数の将来推移を示している。テスト時の消費電力は、現状でも既に限界に近くなりつつあることから、一つのテスト単位あたりの回路規模は今後もほぼ同レベルを維持し、回路の大規模化に比例してテストの分割数が増加することを予想している。したがって、テスト回路規模比率も回路規模に関係なくほぼ一定であると予想される。また、図表 4-11 は、各社へのアンケート結果を元にランダムパターン BIST と圧縮パターンテストのテスト回路面積オーバーヘッドの推移を予測したものであり、この図から、ランダムパターン BIST のテスト回路面積オーバーヘッドは回路規模に依存せず、約 3%と一定であると予測した。

なお、ランダムパターンBISTの課題として、上述の設計TATがある。また、微細化やSoCの高速化に対応した故障モデルとして、ディレイ故障、クロストークによる故障を扱う必要性がある。今後、これらへの対策の検討が必要である。

2-2) 圧縮パターンテスト

上述の通り、圧縮パターンテストにおいても、実速度テストを行う際の消費電力は大きな課題の一つになることが予想されており、その対策として、ランダムパターンBISTと同様に、テストの分割を行う手法が考えられる。

圧縮パターンテストにおいても、各社の現状アンケートを実施し、これを元にテスト分割数、テスト回路規模の将来推移を予測した。以下が、各社アンケート結果から決定し、定量化したテスト回路のスペックである。

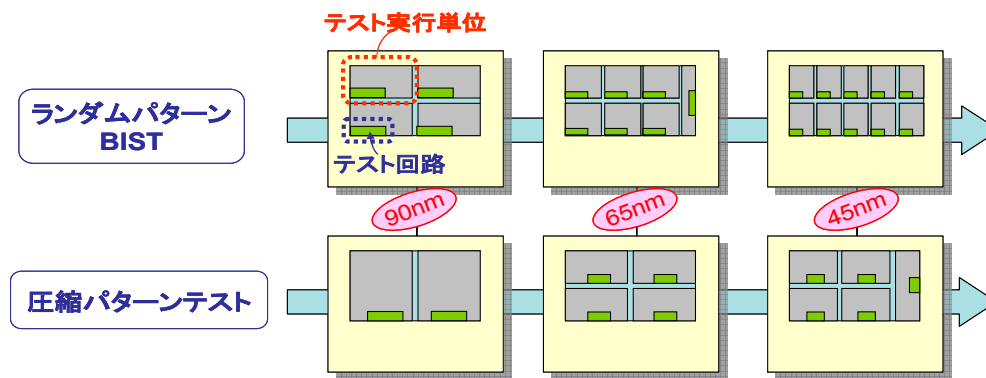
- ・1テスト分割あたりのテスト対象回路規模：7.6百万トランジスタ
- ・1テスト分割あたりのテスト回路(テストポイント除く)のゲート規模：20Kゲート
- ・挿入するテストポイント数：2004年時点では0個

→今後リニアに増加し、2010年時点でテスト対象回路2Kゲート当たり1個

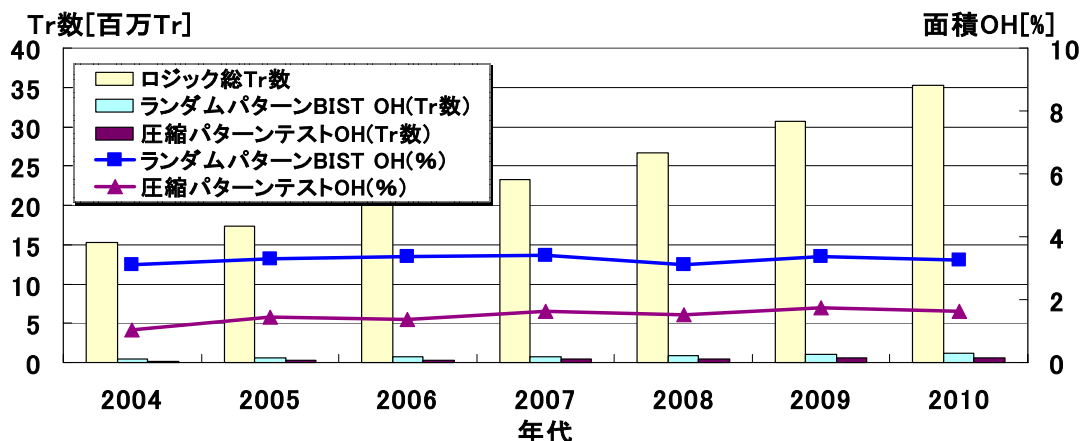
圧縮パターンテストでは、パターン生成にATPGを使用するため、疑似ランダムパターン発生器を使用するランダムパターンBISTとは異なり、ゲート活性化率をある程度コントロールすることができる。したがって、ランダムパターンBISTと比べて、一度にテストできる回路規模を比較的大きくすることができると考えられる。一方、1テスト分割あたりのテスト回路規模は、ランダムパターンBISTとほぼ同等と考えられる。これは圧縮パターンテスト、ランダムパターンBISTのテスト回路の構成が比較的近いためである。

図表4-11から、ロジック回路規模、圧縮パターンテスト回路規模のトランジスタ数は共に増加していくが、ロジック回路に占めるテスト回路の割合はランダムパターンBISTと同様に圧縮パターンテスト技術も将来的に大きくは変化しないことがわかる。ただし、圧縮パターンテスト技術では、微細化に伴うテストパターン数増大を抑えるために、さらなるテストパターン圧縮の対策が必要になることから、特に65nm以降はATPGをアシストするために何らかの補助DFTが必要になると考えられる。今回、その補助DFTをテストポイントと仮定して(テストポイント挿入でテストパターン数が低減出来る事は知られている)、テスト回路規模予測に加えた。なお、テストポイントは補助DFTの候補の一つであるが、テストポイントは前述の通り設計TATへ与える影響が大きいことから、他の新しい機構へ置き換わる可能性も大きい。仮にテストポイントに換わる新しい補助DFTが提案・導入された場合でも、今回見積もったテストポイント相当の回路面積を占めるものと予想される。したがってテストポイントに代表される補助DFTにより、テスト回路面積オーバーヘッドは漸増傾向になると考えられる。

圧縮パターンテストの将来課題として、微細化に伴ってデレイ故障、クロストークによる故障を扱う必要性がより高くなるが、この対応能力がATPG技術に大きく依存しており、扱う故障モデルや故障数の増大によってATPGの処理時間が増大することへの検討が必要である。



図表 4-10 テスト分割推移の予測



図表 4-11 テスト回路面積オーバーヘッド推移の予測

3) テスト品質に関する検討

プロセスの微細化に伴い、従来型の欠陥(ショート、完全断線等)に加えて微細化欠陥(高抵抗断線、酸化膜欠陥、遅延欠陥等)の影響が重大化してきた。また、微細なランダム欠陥(ボイド等)やプロセスばらつきに起因するシステムティック欠陥も増加しつつある(図表4-12参照)。これらの多くはタイミングに関する不良、すなわちディレイ系不良として捕らえられる。このため、今後、十分な品質のロジックテストにより出荷されるデバイスの品質を確保するためには、ディレイ系不良のテストの強化が重要課題となる。しかし、ディレイ系のテストパターンへの追加はテストパターン数、ひいてはテスト時間の増加につながるため、テストコスト増大の重大な要因となる。

図表4-13は、テストパターン数に関する各社の調査結果をもとに現状のテストパターン数と5年後のテストパターン必要数を比較したグラフである。ただし、現在の縮退故障に要するテストパターンに相当するテスト時間を1としている。調査結果に基づくテストパターン数の増加傾向は以下のとおりである(論理規模増大による影響分を含む)。

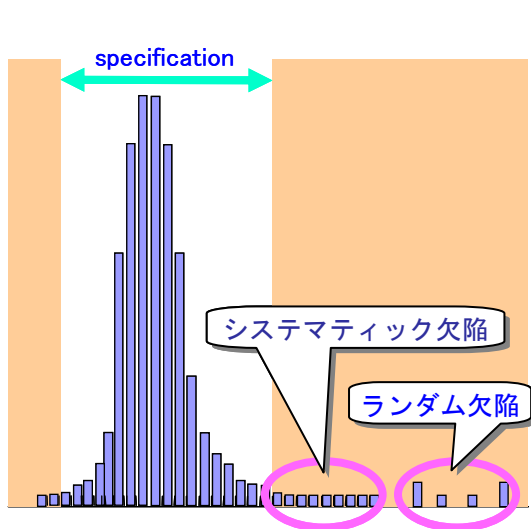
- ・縮退故障用テストパターン :1('04) → 3('09)
- ・遷移故障用テストパターン :3('04) → 60('09)
- ・パスディレイ用テストパターン:0.2('04) → 60('09)

したがって、5年後にはテストパターン数が現在の30倍に拡大し、その結果テスト時間も30倍に増大することが予想される。このような非現実的な事態を避けるためには、大幅なテスト時間短縮技術が必要となる。テスト時間維持を目標とするための対応策の一例としては、

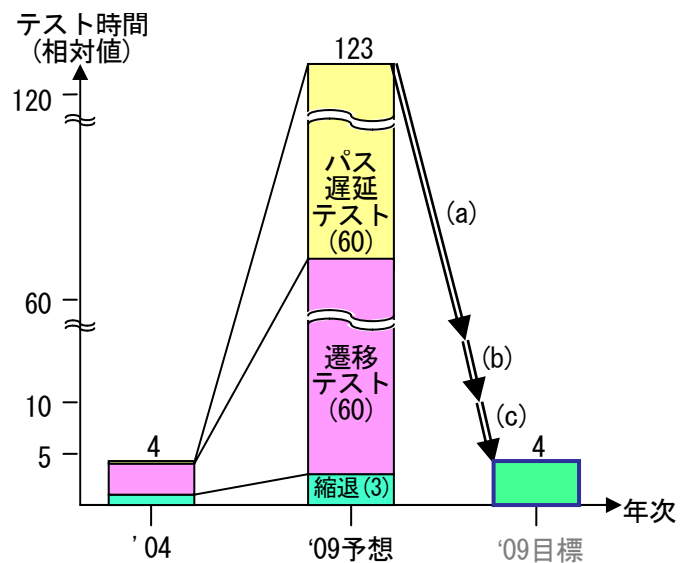
- ・テストパターン数圧縮技術の適用:×1/5 (図の(a)に相当する効果)
- ・スキャンチェーン最大長の低減 :×1/3 (図の(b)に相当する効果)
- ・スキャンシフト動作の高速化 :×1/2 (図の(c)に相当する効果)

が考えられる。

ただし、実際にはそれぞれに解決すべき技術課題があり、どのような技術でどのような効果を得るかという点も含めて詳細な検討が必要である。



図表 4-12 ディレイ系不良の増大



図表 4-13 テスト時間の増加予想とその対応策

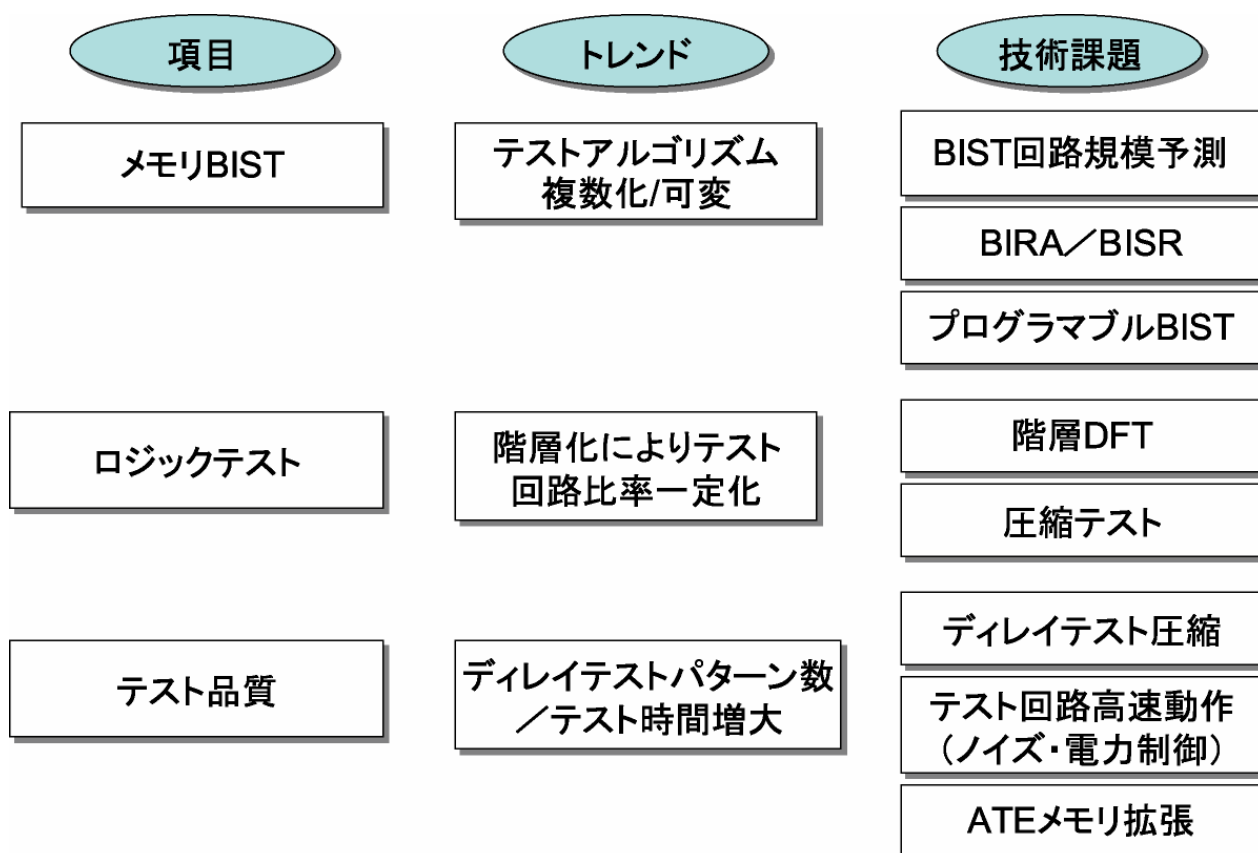
4-3-2-3 まとめと今後の課題

以上のように2004年度のDFT-SWGでは、SoCロードマップの詳細検討を中心に活動してきた。各課題ごとのSoCテーブルの定量化によって明らかになった現在のトレンドと、今後の技術課題をまとめて図表4-14に示す。

メモリBISTの回路規模に関する検討では、チップ内に占めるメモリ領域の増大に伴うBIST回路規模の増大だけではなく、BIST回路そのものの機能拡張に伴う規模の増大にも注目した。とりわけ、プロセスの微細化とともに新たなメモリデバイス欠陥の増加が予測されるため、テストアルゴリズムの多様化・複数化によってこれに対応する必要がある。今後のメモリBISTの回路規模予測ではBIRA/BISRやプログラマブルBISTなどの手法を考慮する必要がある。

ロジックテストの回路規模に関する検討では、テスト対象範囲の分割による階層化テストを考慮して、ロジックテスト回路規模予測をおこなった。ロジック部の回路規模増大やテスト時の消費電力の増大に対応するため、現在、階層化テストは不可欠なテスト手法となっている。検討の結果、テストの分割数はロジック部回路規模に比例し、テスト回路の面積オーバーヘッド比率は全体の回路規模に依存せずほぼ一定であると予測した。将来の技術課題として、階層DFTのための設計TATの増加や、圧縮パターンテストにおけるテストパターン開発TATの増加への対策等がある。

テスト品質に関する検討では、おもに、ディレイ系不良に対応して増加するテストパターン数またはテスト時間を予測した。その結果、2009年にはテストパターン数が現在の30倍に増大するとの予測を得た。テスト品質を確保しながら、このような著しいテストコストの増大を回避するためには、ディレイテストのテストパターン圧縮やテストの高速化、ATEのメモリ容量の拡大などが重要な技術課題となる。



図表 4-14 SoC テーブル定量化と技術課題

4-3-3 ATE-SWGの活動

1) 活動の概要

WG2の活動基本方針である「DFTとATEの更なる融合 — テストコスト削減のためのチップ設計からテストイングまで —」のもと、ATE-SWGでは「真の課題を探求し、ITRS2005に繋げる」を2004年度のテーマにして活動した。期初には下記5項目の課題を洗い出し、DFT-SWGとの合同活動も踏まえて広範な視点から議論を進めた。

1. SoC 向け DFT テスタ
2. WLBI 技術の現状と課題
3. SiP テスタのロードマップ検討
4. プローブカードとテストハンドラのロードマップ・アップデート検討
5. ウェーハ検査装置における NRE(Non Recurring Expenses)削減の検討

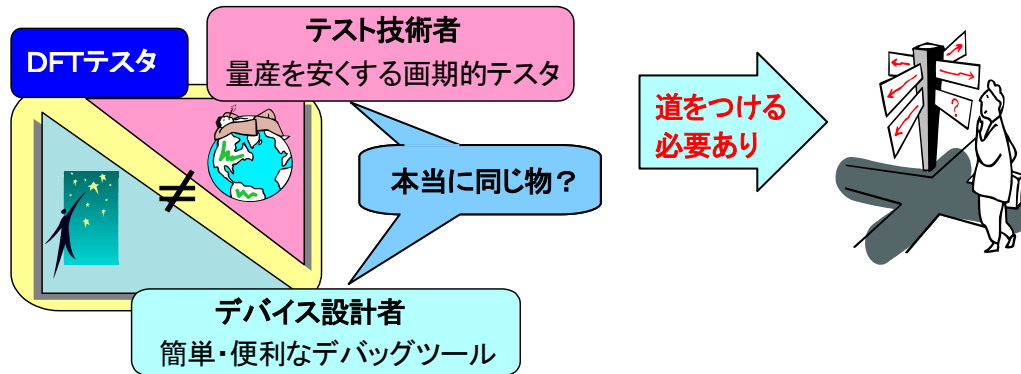
1項については2004年11月末に開催されたITRS Tokyo Meetingにてロードマップ化を提案し、検討を継続することになった。また2項についてもSTRJでの活動状況をITRS Tokyo Meetingで報告し、ITRS2005へのロードマップ掲載を目指して検討を進めている。3項は十分な議論を行うことができなかったが、トレードオフの測定技術要求などが分かってきた。4項は元々がSTRJから発信されたロードマップであり、ITRS2005に向けたアップデートのポイントを整理した。5項は非競争領域のテストコストを削減しようとの提言であり、今後の重要な課題として認識を共有した。

2004年度のATE-SWG活動はテーマが多く議論が発散気味になってしまった。しかしテストに関する様々な意見や考えを交換することができ、今後に繋がる成果を得ることができた。2005年度は、課題の共有と言葉／レベル合わせを進めて、コストと品質を踏まえたロードマップ化でITRS2005に貢献する計画である。

なおATE-SWGでの議論はテスト装置に関わる事項が多いため、2004年度もSEAJ(日本半導体製造装置協会)の検査WGから多大なご協力を頂いた。また徳島文理大学の多田教授にも2004年度から特別委員として参加して頂き、大所高所から貴重なご意見を頂いた。両者には2005年度もATE-SWG活動に継続してご協力頂けることになっており、ここに感謝の意を表したい。

2) SoC向けDFTテスト

LSI の微細化、高集積化、高速化に伴って潜在する不良モードの可視化が難しくなっている。また、このようなLSIをテストするために必要なテストコストも増加の一途をたどっている。これらの問題を解決する1つのソリューションとしてDFTの利用(開発)が進められている。DFT設計されたLSI用のテスト装置(以下DFTテスト)については技術的要求や方向性が明確になっていない。その理由のひとつとして、使用者であるデバイス設計者とテスト技術者との認識の差(デバイス設計者はDFTテストを簡単・簡便なデバッグツールと捉え、テスト技術者は量産を安くする画期的なテストと捉えている)がある。このようなデバイス設計者とテスト技術者で「DFTテスト」に対する期待が異なる状況は、DFT利用のテストを今後も推進して行く上での障害になる。そのため、図表4-15に示す様にDFTテストの技術的要求や方向性について早急に道筋を示す必要がある。

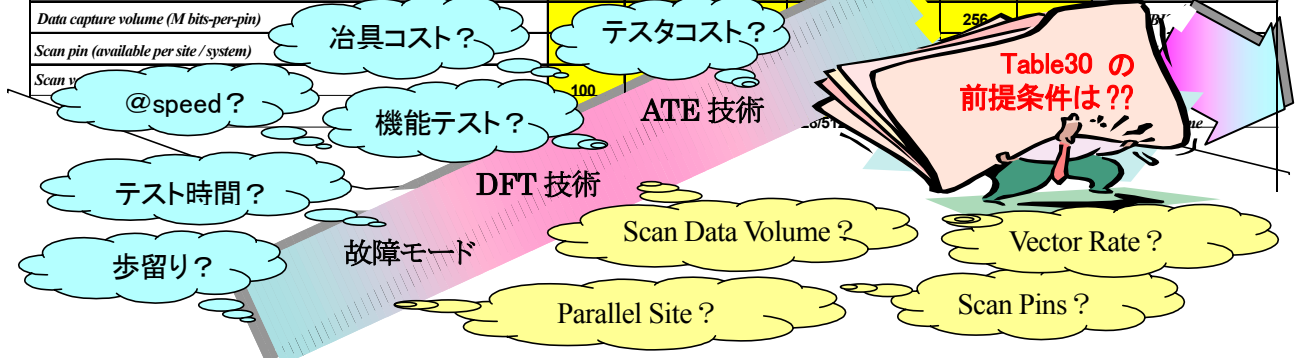


図表 4-15 DFT テスタへの期待と課題

図表 4-16 に示す様に ITRS2003 Table-30 では DFT-BIST Device Test Requirements のロードマップが示されているが、「Number of parallel sites は 2005 年で 128 個、2007 年で 256 個」となっていたり、「Scan volume は 2005 年で 64Giga、2007 年で 128Giga」となっているなど、DFT 用のテストでありながら各項目毎に過大な要求がされ、項目間の整合性が取れていない。この原因の一つは、非常に範囲が広い前提条件で本ロードマップが検討されているからであると思われる。それ故 DFT テスタの技術の方向性を示すにあたっては、その前提条件を或る程度絞り込む必要があると考えた[2]。

Table 30 DFT-BIST Device Test Requirements –Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Number of parallel sites	64	64	128	128	256	256	256	Cost
Scan data volume(Giga-pin-vectors available per site)	32	32	64	64		128	256	Logic Density
Data capture volume (M bits-per-pin)						256		
Scan pin (available per site / system)								
Scan y								



図表 4-16 ITRS2003 Table-30 に示された DFT-BIST Device Test Requirements

図表 4-17 は、図表 4-2 の「同時測定個数とコスト削減効果」を踏まえながら、DFT と ATE の合同活動を通して作成した SoC 向け DFT テスタのイメージである。ロジック部とメモリ部とアナログ部のテストでは DFT テスタに求められる機能や性能が異なることから、その各々についてまとめた。これはそれぞれ専用テスタを必要とすることを意図したのではなく、専用化、汎用化、既存設備の活用等各種手段より適切な選択をするために特徴をまとめたものである。同時測定個数はロジック部用 DFT テスタが最大 32 個であるのに対して、メモリ部用 DFT テスタでは最大 128 個になる。また電源総数はロジック部用 DFT テスタで最大 128 台、メモリ部用 DFT テスタで 256 台であり、従来テスタに比べて大幅に増えている。(本図表でいう SoC は Low Standby Power を対象とする)

		ロジック部	メモリ部	アナログ部
同測定個数		1 ~ 32	1 ~ 128	ロジック部と同じ (アナログ BIST に より結果出力を GO/NOGO 判定)
最大周波数(データレート)		50MHz	50MHz	
ピン数	システム全体	1024	3328	
	DUT 当たり	1024 ~ 32 (1024 i/o ~ 32 i/o)	72 ~ 26 (32Dr + 40 i/o ~ 16Dr + 16 i/o)	
	高速クロック	250MHz 2pin/DUT	--	
電源	電源総数	128	256	
	DUT 当たり	4 ~ 1	4 ~ 1	
	電流容量	2A/電源	400mA/電源	
パターン入力		64MW	ALPG + 数 KW	--
テスト内容		スキャン, BIST BOST	M-BIST, BISA BISR	アナログ BIST

図表 4-17 SoC 向け DFT テスタのイメージ

以上の 2004 年度に検討した内容に基づき、2005 年度は量産用 SoC 向け DFT テスタのロードマップ化を進める計画である。なお ITRS2003 DFT-BIST Device Requirements (Table-30) との整合性を考慮して、そのロードマップは図表 4-18 に示す様な DFT-BIST Device Test Requirements on SoC Production (Table30b) としてまとめたいと考えている。

Table-30b DFT-BIST Device Test Requirements on SoC Production

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Number of parallel sites	4	8		32	32	32	32	Cost
Scan data volume(Giga-pin-vectors available per site)						1		Logic Density
Data capture volume (M bits-per-pin)								
Scan pin (available per site / system)								Logic Density
Scan vector								

2005年度は量産用SoC向けDFTテストに着目したDFTテスタのロードマップ化を進める



図表 4-18 量産用 SoC 向け DFT テスタのロードマップ検討

3) WLBI技術の現状と課題

WLBI技術に関しては、2003年度よりSEAJ(日本半導体製造装置協会)の半導体製造装置技術ロードマップ委員会、検査WG WLBI-SWGとの連携により検討を進めてきたが、今年度はその連携をよりいっそう強化して議論を行った。

3-1) WLBI要求の背景

WLBIのニーズが高まる中、なぜWLBIが必要とされているのか、その背景について以下に整理する。

- ・プロセスの微細化、新材料の導入に伴うデバイス初期不良の増大
- ・デバイス電源電圧の低下により、電圧スクリーニングが困難
- ・実装形態の小型化、多様化要求によるKGD(Known Good Die)ニーズの増大
- ・歩留り改善のTAT短縮要求に伴う不良情報早期フィードバックへのニーズ
- ・バーンインコストの低減要求が高まる中、無駄なパッケージコストの排除が可能

3-2) WLBIの種類とWLBIに効果のあるDFT手法

WLBIには、代表的なものとして図表4-19 に示す2種類の手法がある。ダイナミックBIとテストBIの相違点は、バーンイン中にテストを実施するか否かである(テストBIがテストを実施)。これに伴ってWLBI装置も、ダイナミックBIではデバイスへの入力ピンのみを装備し、またテストBIでは入力ピンに加えて入出力ピンを装備している。テストコスト削減には、WLBI工程にてテストも併せて実施することが望ましい。

一方、テストBIを実施するためにはピン数やパターン容量がダイナミックBIの場合と比べて増大する。そのため何の対策も施さない場合は、WLBI装置への負荷も重くなる。そこで今年度はDFT-SWGと連携してWLBIにおけるテスト実施について協議した。その結果、ランダムBISTや圧縮パターンテストといったDFTがWLBIにおけるピン数やパターン容量削減に効果があるとの見解に至った。

		ダイナミック BI	テスト BI
同測処理数		Wafer 一括同測 (～5Kchips)	Wafer 一括同測 (～5Kchips)
最大周波数 (データレート)		20MHz	20MHz
ピン数	システム全体	20K ～ 50K	～ 50K
	面積当たり	40/50mm ²	40/50mm ²
信号数	クロック	10/Wafer	10/Wafer
	入力	320 ～ 352	64
	入出力	—	256 ～ 288
電源	電源総数	1 ～ 4	1 ～ 4
	分割数	256 ～ 1024/電源	256 ～ 1024/電源
テスト内容	パターン入力	32KW(繰り返し)	32KW(繰り返し)
	ストレス印加	スキャン, BIST 利用	ランダム BIST, 圧縮パターンテスト
	結果回収判定	—	Go/NoGo 利用
プロービング手法		TPS、マイクロポゴピン	TPS、マイクロポゴピン
既知不良チップの除外方式		電源遮断、被膜化	電源遮断、被膜化

図表 4-19 WLBI の種類と特徴

3-3) WLBIのスケーリング則への対応

スケーリング則で予想されるデバイス動向から、ウェーハ全体の消費電力と必要な被テストピン数の推移は図表 4-20 のように想定される。チップ面積は小さくなり、1 デバイスに適用できるピン数にも制約が生まれ、全ピンコンタクトによるテストは困難になる。

しかし市場からは KGD やバーンインコストの低減が求められており、WLBI の必要性は高まりつつある。要求実現のためには、スキャン、BIST、JTAG などの DFT 機能を利用した WLBI 装置を用い、デバイス当りの被テストピン数を減少させ、性能向上とトータル・テストコストの低減を推進しなければならない。

Year		2004	2005	2006	2007	2008	2009	2010	2013	2016	2019
消費電力 (W/Wafer)	200mm	1.2K	1.2K	2.5K	2.5K	2.5K	2.5K				
	300mm	2.4K	2.4K	5.0K	5.0K	5.0K	5.0K	10K	10K	10K	10K
被テストピン数 (Pin/Wafer)	200mm	40K	40K	40K	60K	60K	60K				
	300mm	90K	90K	90K	135K	135K	135K	135K	135K	135K	135K

図表 4-20 消費電力と必要コンタクトピンの推移

3-3-1) 消費電力の増大

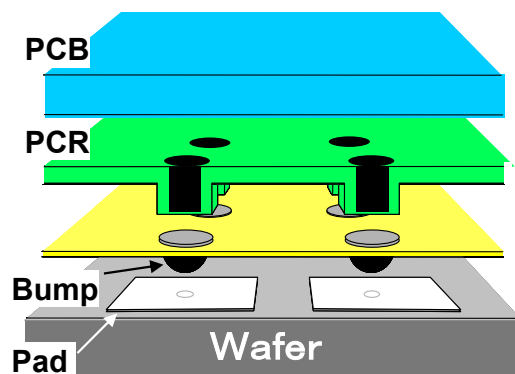
消費電力は、バーンイン温度とデバイス電源電圧に大きく影響される。近年のデバイスは低電圧化の傾向にあり、電圧の変化がデバイスの発熱に大きく影響をする。この影響を少なくするためには、デバイスへ供給する電源の安定化と精度の向上が必要不可欠である。

またプロセスの微細化によるジャンクションリークやゲートリークの増加、ウェーハあたりのデバイス数の増加でウェーハ全体の消費電力は増加している。特にジャンクションリークによる影響は発熱との関係が強く、高温では多くの電流が流れる傾向にある。部分的に温度上昇があると、その部分の電流が多く流れてバーンインが行えないばかりか、計測が出来ない状況やデバイスの破壊に結びつく場合がある。このような状況を防止するためにウェーハの面内温度の均一性が強く求められ、安定したウェーハ温度制御が必要である。

3-3-2) ピン数の増大

BIST などの利用でデバイスあたりの被テストピン数を減少させる事が出来るが、ウェーハ1枚当りのデバイス総数はチップシュリンクで増加するため、総テストピン数も増加する。これはチップシュリンクに伴うコンタクトパッド間隔の減少、および総テストピン数の増加に伴う総ピン加重の増大と云う課題を招く。このため従来のコンタクト方式では適用が難しく、ピン加重を減らし且つ安定した接触が出来る新たなコンタクト方式が必要になる。

このような状況の中、上記要求を満足する一つのプロービング手法として図表 4-21 に示す TPS (Three Parts Structure) プロービングがある。この TPS プロービングの適用により、300 mm ウェーハの SOC デバイスの WLBI を行うことができた。



図表 4-21 TPS プローブ

3-4) WLBI 技術の発信と今後の課題

WLBI 技術は日本での開発と実用化が先行している技術であり、日本発のテーマとして ITRS ロードマップへの掲載を進めていくことが望まれている。2004 年度は 11 月末に開催された ITRS2004 Tokyo Meeting で本 WLBI 技術に関する STRJ-WG2 での検討状況について報告しており、2005 年度も継続した議論と検討を進める。

素子の微細化は、スケーリング則に従う形でデバイスの低電圧化を伴って進展してきた。この結果、デバイスのスクリーニングの一つの方法であった高電圧印加による電圧加速のスクリーニングは限界に近づきつつある。一方、電圧と温度の加速条件を用いたバーンインスクリーニングは、先端プロセス・デバイスの品質保証に今後益々重要となる。更には WLBI の適用には、従来手法であるパッケージ・バーンインに比べた価格優位性の議論を抜きに進めることは出来ない。今後は WLBI のコストに関して積極的に議論を進め、どのような領域で WLBI の適用が効果的であるか、その定量化を進めることが重要となる。2005 年度はこの議論を中心に取り上げ、ITRS2005 への WLBI ロードマップ掲載を目指したいと考えている。

4) SiP テスタのロードマップ検討

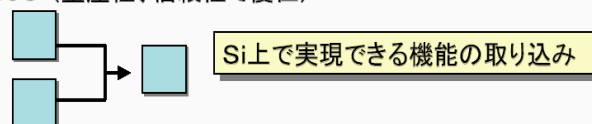
昨年度はメモリとロジックから構成される SiP のテストについて検討した、今年度はこれに加えてアナログを含む SiP を測定するテスタのロードマップについて検討を継続した。

4-1) SiP 技術のトレンド

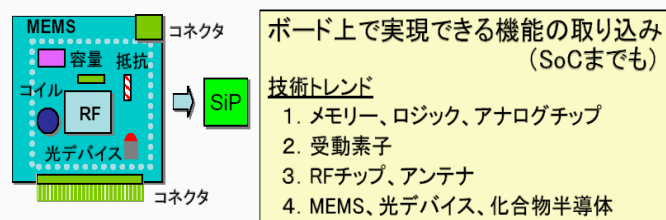
SoC はシリコンで実現できる機能を取込み機能・規模の向上を図って行くが、図表 4-22 に示す様に SiP は IC の周辺部品迄も取り込みながら機能を拡大して行く。SoC と比較し TAT、Cost、多品種少量生産で優位な技術である。

SiP はボード上に実現された機能を取込んで機能拡張が進み、構成要素として SoC を始め、周辺の受動素子である LCR やアンテナ等も内蔵して行くものと思われる。基板上に搭載している部品を IC 内に取り込んで、一つの機能を実現するモジュールとなる。

◆ SoC (量産性、信頼性で優位)



◆ SiP (TAT, Cost, 多品種少量生産で優位)



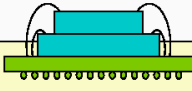
図表 4-22 SiP の技術トレンド

4-2) SiP テストの課題

SiP のテストについては、その開発の各段階で図表 4-23 に示す様に次のような事項について検討する必要がある。

4-2-1) 設計段階

デバイスを設計する為の EDA 環境を充実することは常に考慮すべきことである。とりわけ多様な構成要素から成る SiP では M&S

◆ 設計	・EDA環境 ・M&S	
◆ テスト	SoCとSiPのテストは相補い合えるか？ ・チップ DFT、BiST ・テストIP/再利用 ・チップ/デバイス接続 アナログ/デジタル/RF/MEMS/ 光デバイス/化合物デバイス/アンテナなど クロストーク/シグナルインテグリティ等	
◆ 信頼性	・KGDと供給元との協業の必要性 ・WLBI により不良率を低減	
◆ テストコスト	・All in Oneテスタ vs 機能別テスタ トータルコストは？	

図表 4-23 SiP テストの課題

(Model & Simulation) が有効である。しかし内部配線を含む、受動素子まで含んだシミュレーションを精度良く行うには 3 次元モデル化が必要であり、高度なシミュレーション技術が必要になる。

4-2-2) テスト設計

SiP のテストを行う上で SoC 向けに開発されてきたテスト技術を活用することは可能であり、更に SiP で必須となる技術を開発して行く必要がある。そしてチップ段階では DFT と BIST 技術を活用しテストへの負担を低減するテスト設計が求められる。

また、テスト IP の有効活用や再利用で設計負担を減少させる事が出来る。SiP 内部では各種の構成要素間を接続する配線が必要になるが、内部ノード全てを直接測定することは不可能であり間接的に評価する手段を設けておかなければならない。

4-2-3) 信頼性

SiP の構成要素は KGD であることが要求される。メモリとロジックでは昨年度に提案した KTD(Known Tested Die)の適用も考えられるが、アナログでは KGD とした前提条件が SiP での使用条件に適合している事は当然である。同じく、受動素子についても同様に考慮しなければならない。KGD として SiP 内の接続や負荷の影響を考慮しなければならない。またウェーハ段階でバーンインを行い不良を十分に低減して置くことも、SiP の信頼性を確保する上で有効な手段になる。

4-2-4) テストコスト

SiP の機能を単一のテストで測定することは、SiP に内蔵される機能を考えると非常に難しい。全てを測定可能なテストがあったとしても非常に高価なものになってしまい、導入は困難である。テストをテストの機能に合わせて分割し、複数回のテストを行う事でテストを実現することが行われて来ている。この方法によればテストは従来から使用しているものが活用でき、高価なテストを導入する必要は無い。メモリ+ロジック+アナログの全てが含まれた SiP の場合は 3 回の測定でテストが可能になる。

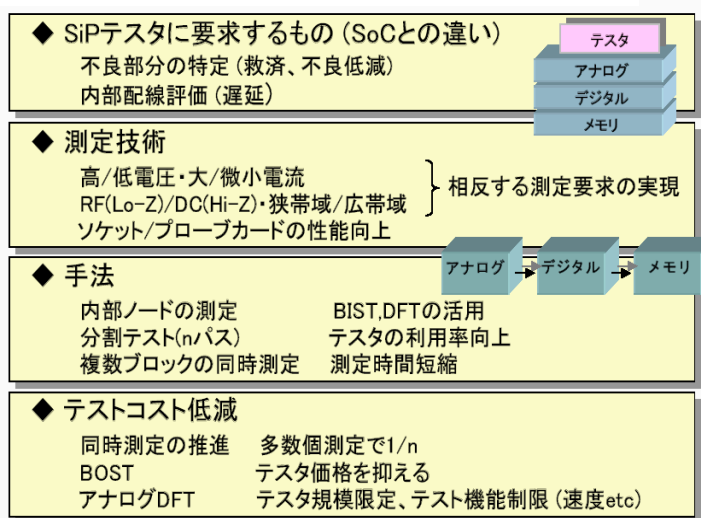
しかし、上述したようにテストを 3 分割すると SiP のハンドリング時間や手扱い時間も 3 倍になるという弊害も生じる。これ等全てを含めたトータルのテストコストを比較し、最もテストコストが少ない方法を選択する必要がある。

4-3) SiP テスタの重要なロードマップ項目

4-3-1) SiP テスタに要求するもの

SiP と SoC をテストから見た場合、テストに要求されるべき項目には図表 4-24 に示す様に大きな違いはない。テストへの測定要求は SiP や SoC に内蔵される機能や性能から決定されるものである。

SiP は複数の部品から構成されるものであり、完成品の歩留を確保する目的で救済機能が内蔵されたものでは不良箇所の特定制と救済のサポートが必要になる。また不良率低減のため、問題となる箇所を内蔵部品のレベルで特定する機能が要求される。高速ロジック回路では遅延のばらつきで性能



図表 4-24 SiP テスタの重要なロードマップ項目

を満足出来ない場合があり、このような SiP では内部配線の遅延の評価が必須の技術となる。

4-3-2) 測定技術

1つのデバイスの中に種々の機能を内蔵した DUT(Device Under Test)では、単独の DUT 測定では要求されない相反する測定要求が発生する。高電圧と微小電圧、大電流と微小電流などを測定するためには個別の技術に加えて広いレンジの測定が必要になる。

DUT 測定回路においては、一般的にインピーダンス整合が図られ、高周波では 50Ω や 75Ω の低インピーダンス系、低周波では非常に高いインピーダンス系という広い周波数帯域を満足しなければならない。また、テスタと DUT を電氣的・機械的に接続する IC ソケットやカードについても、測定と同様の性能が求められる。低い接触抵抗で周波数特性にピークが無く、広帯域等を満足しつつ長寿命であることが求められる。

4-3-3) 測定手法

内部ノードを直接測定することが不可能な場合、BIST (DFT) 技術等を活用して確認する手段を講じなければならない。テスタの選定は、テストを複数のテスタで分割測定する方法と、1 台のテスタで全てを測定する方法についてトータルのテストコストを考慮して決定すべきである。また、DUT 内の複数のブロックを同時に測定可能なように設計しておくことでテスト時間の短縮に有効である。

4-3-4) テストコストの低減手法

テストコストを低減するための手法として、次の項目が考えられる

- ①同時測定 テスタの構造を考えた場合、テストピン数のようにリソースの増加がテスタコストに直結するものと、制御系などのように固定的に必要なコストがある。よって同時測定に必要な部分のみをテスタに複数内蔵することによりテストコストの上昇を抑えることができ、DUT 1 個当たりのテストコストを低減する事が可能になる。
- ②BOST DUT 測定に必要な機能を全てテスタに盛り込むとテスタの規模が大きくなり、また DUT によりテストに必要な機能が大きく異なることから、全ての機能を内蔵したテスタの各部分の稼働率は低下することになる。よって DUT が要求する測定機能の一部を BOST として測定周辺回路に組み込む事で、テストコストを低減することが可能になる。
またアナログテストは測定対象になる DUT でテスタの構成を決定する方式が一般的であり、BOST はこの構成の一部を DUT 測定周辺回路として実装するものである。
なお BOST は DUT の測定要求に合わせて個別の開発が必要になる。BOST の効果と開発負担の両面のバランスを考えて導入を検討すべきである。
- ③アナログ DFT DFT はロジックやメモリで導入が図られているが、これを SiP のアナログ部分にも適用することでテスタの機能を縮減でき、テストコストを抑えることができると推定される。しかしアナログ DFT 技術によってテスタ機能をどの程度簡素化できるかは明確でなく、技術の更なる向上が求められている。
- ④アナログ JTAG ロジックで適用されている JTAG としてはデジタル JTAG (IEEE1149.1) がある。アナログ JTAG (IEEE1149.4) や高速伝送回路 JTAG (IEEE1149.6) は提案段階であり、その実績を積み上げていく事が重要である。





5) プローブカードとテストハンドラのロードマップ・アップデート検討

5-1) プローブカード・ロードマップのアップデート





プローブカードのロードマップが STRJ からの提案として ITRS2003 に初めて掲載された。そして ITRS2004 Update では、デバイス消費電流の増大と低電圧化などの動向を踏まえて、プローブカードのロードマップも図表 4-25 に示す様に小幅な変更がおこなわれた。以下にその主な変更点を示す。

- ① ASIC 用や MPU 用では消費電流の増大に伴うプローブピン数の変更。汎用メモリ用は大きな変更なし。
- ② 消費電流の増大や低電圧化に対応して、接触抵抗の要求値の変更。

Year of Production		2003		2004		2005		2006		2007		2008		2009	
DRAM ½ Pitch (nm)		100		90		80		70		65		57		50	
Number of Probe Points /Touchdown		Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total
WAS	ASIC	775	1550	950	1900	1050	2100	1050	2100	1050	2100	1200	2400	1200	2400
IS	ASIC	775	1550	950	1900	1050	4000	1050	5000	1050	5000	1200	6000	1200	6000
WAS	Microprocessor	310	925	400	1200	450	1350	450	1350	450	1350	560	1675	560	1675
IS	Microprocessor	310	925	1024	20000	1024	20000	1024	20000	1024	20000	1024	20000	1024	20000
Maximum Current (mA)		Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage
WAS	ASIC	350	<10	350	<10	350	<10	400	<10	400	<10	400	<10	400	<10
IS	ASIC	350	<10	450	<10	650	<10	800	<10	800	<10	1000	<10	1000	<10
WAS	Microprocessor	275	<10	275	<10	275	<10	325	<10	325	<10	325	<10	325	<10
IS	Microprocessor	275	<10	350	<10	800	<10	1000	<10	1000	<10	1000	<10	1000	<10

Manufacturable solutions exist, and are being optimized 
Manufacturable solutions are known 
Interim solutions are known 
Manufacturable solutions are NOT known 

Year of Production		2003		2004		2005		2006		2007		2008		2009	
DRAM ½ Pitch (nm)		100		90		80		70		65		57		50	
Number of Probe Points /Touchdown		Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total
Maximum Resistance (Ohm)		Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
WAS	Memory (DRAM)	<1	<4	<1	<4	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
IS	Memory (DRAM)	<1	<4	<1	<4	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
WAS	ASIC	<1	<4	<1	<4	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
IS	ASIC	<1	<4	<1	<4	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
WAS	Microprocessor	<1	<3	<1	<3	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2
IS	Microprocessor	<1	<3	<1	<3	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2
WAS	RF	<1	<2	<1	<2	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
IS	RF	<1	<2	<1	<2	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
WAS	Mixed-signal	<1	<2	<1	<2	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
IS	Mixed-signal	<1	<2	<1	<2	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5

Manufacturable solutions exist, and are being optimized 
Manufacturable solutions are known 
Interim solutions are known 
Manufacturable solutions are NOT known 

図表 4-25 2004 年版 ITRS Update の主な変更点
(STRJ2004 Update Table 45a より)

5-2) テストハンドラ・ロードマップのアップデート

STRJ から提案したテストハンドラのロードマップが ITRS2003 に掲載された。このロードマップを ITRS2005 でアップデートすることを目指して今年度は、メモリの同時測定個数の増加、エッジレス・パッケージ、温度精度要求の 3 項目を抽出して検討した。

5-2-1) メモリの同時測定個数増加

メモリの同時測定個数は、2007 年に 128 個から 256 個に増えると ITRS2003 で想定されている(図表 4-26)。

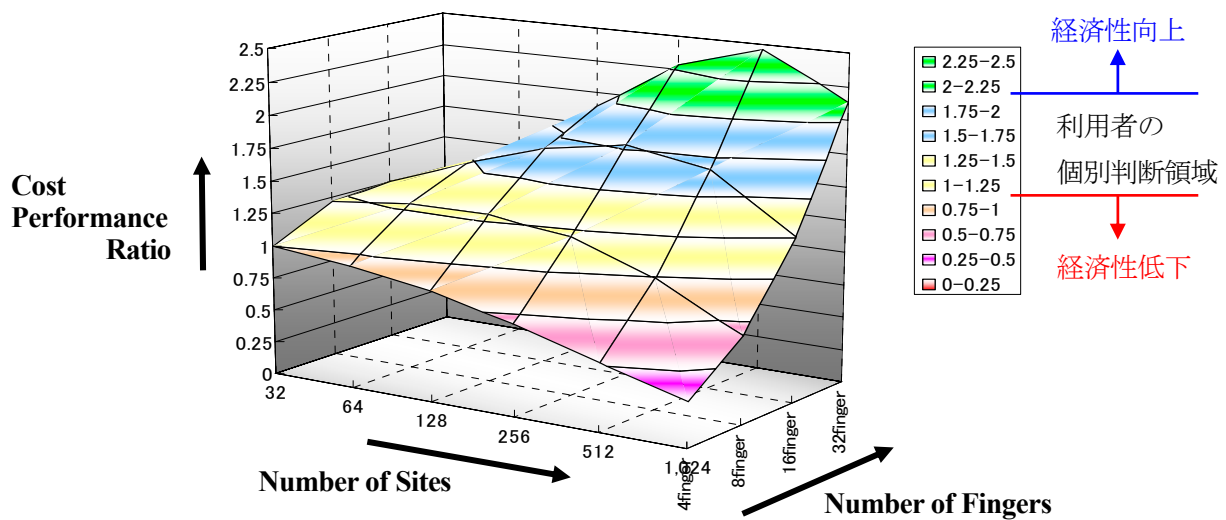
この同時測定個数の増加はどこまで可能なのか、また最適な同時測定個数についてテストハンドラの目線から審議した。そして搬送装置としての技術的実現性を踏まえて下記の結論を得た。

- ① 128 個の同時測定でテストハンドラの横幅は約 2m になり、サイズ増加の見直しが必要になる。
- ② スループットとハンドラコストの関係では、32Finger で 512 個同時測定の場合にコストパフォーマンス比が最大になる(図表 4-27)。
- ③ 150°C のシミュレーションから、熱膨張と狭ピッチが重なることでテストソケット単体でも接触信頼性が低下するうえ、同時測定個数の増加で大型化する測定部全体は熱膨張の影響を更に受ける(図表 4-28)。
- ④ チャンバー容積が増えることにより、温度精度保証の限界が想定される。

Table 22a Multi-site Wefer Test (Package Test) Product Segments—Near-Term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Number of sites (Package test)	64	128	128	128	256	256	256

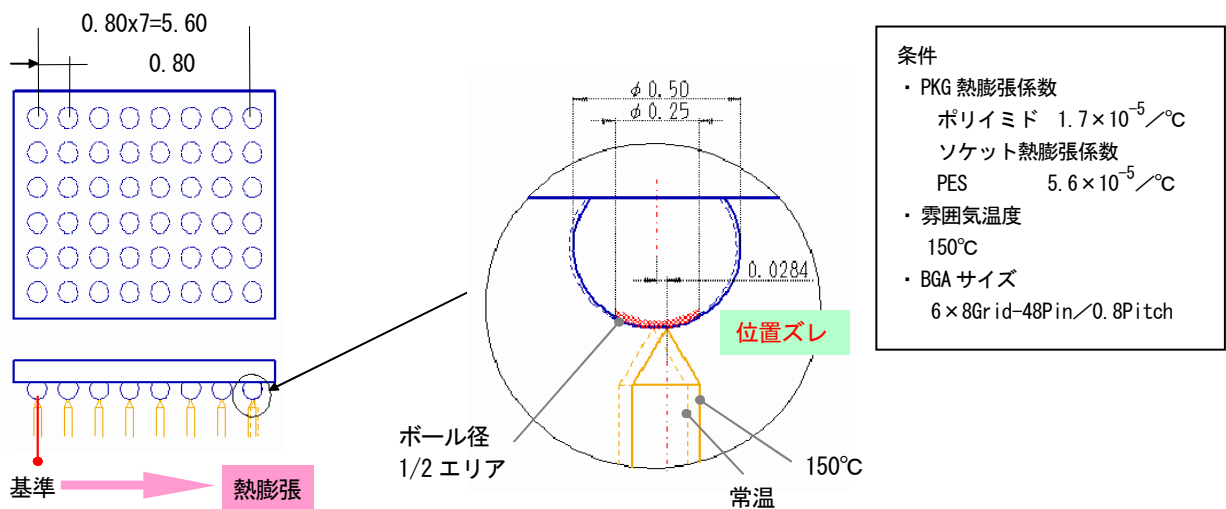
図表 4-26 メモリの同時測定個数 (ITRS2003 より)



$$\text{Cost Performance Ratio} = \text{Throughput} / \text{Cost of Test Handler}$$

注: スループットもテストハンドラのコストも、32個同時測定で4 Fingerの場合を1とした場合の比率

図表 4-27 テストハンドラのスループットとコストパフォーマンス



図表 4-28 150°CにおけるICソケットの接触信頼性

5-2-2) エッジレス・パッケージ

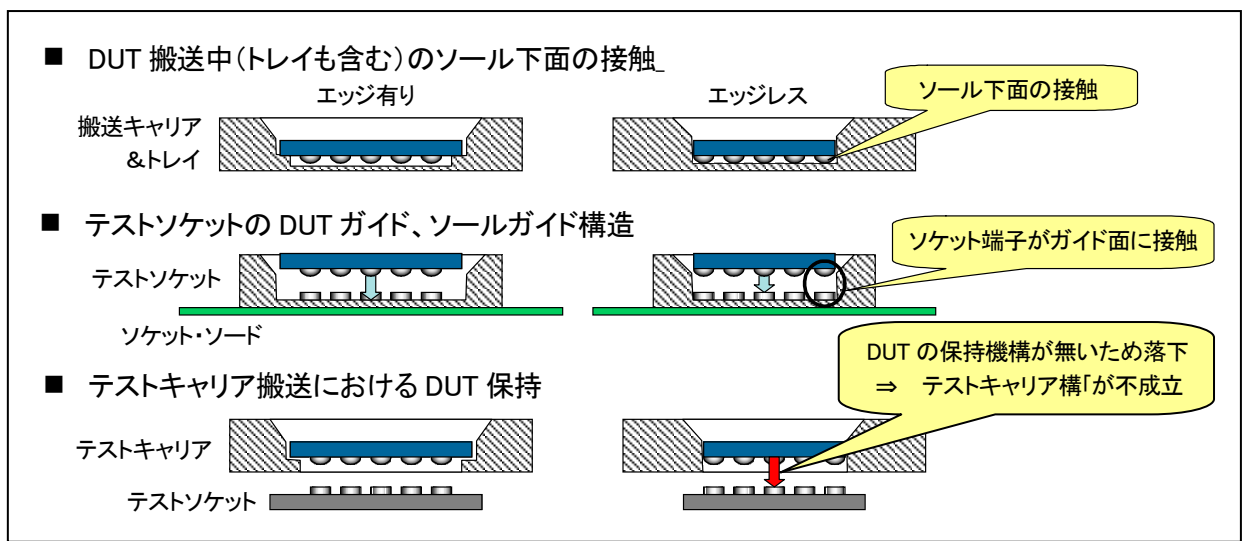
2005 年に BGA パッケージのエッジは 0mm になると ITRS2003 で示されている(図表 4-29)。このエッジレス BGA パッケージがテストハンドラのハンドリング方式やコンタクト方法に及ぼす影響は大きい。例えば、テストハンドラは BGA パッケージのエッジをガイドや保持に使用して水平搬送しているが、この大前提が崩れる可能性がある。このため下記の技術課題を解決するブレークスルーを早急に見出す必要がある。

- ① ボール面にはコンタクト以外の接触は許されないが、トレイも含め接触回避が困難となる(図表 4-30 上)。
- ② ソケットへの落とし込みでボールが擦れる。またソケット端子がガイド面に接触してしまう(図表 4-30 中)。
- ③ テストキャリアに BGA パッケージを保持する機構を設けらず、落下してしまう(図表 4-30 下)。

Table 36a Handler (Memory—Pick and Place) Requirements—Near-Term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Balledge to package edge clearance (mm)	0.6	0.6	0	0	0	0	0

図表 4-29 BGA パッケージのエッジレス化 (ITRS2003 より)



図表 4-30 エッジレス・パッケージ対応への課題

5-2-3) 温度精度要求

同時測定個数の増加が進むメモリテストでは、2005 年に±2℃の精度が ITRS2003 で要求されている(図表 4-31)。ロジックテストでも 2006 年には±0.3℃の温度精度が必要とされている(図表 4-32)。テスト環境として温度は益々重要になってきており、テストハンドラは温度精度改善に向けた次の課題について検討すべき時期にきている。

- ① デバイスの進化により DUT 自体の発熱量が増加する一方で、テストソケットなどの耐熱性は頭打ち。
- ② 同時測定個数の増加で温度管理範囲も広がり、温度精度のバラツキが増大。

Table 36a Handler (Memory—Pick and Place) Requirements—Near-Term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Parallel testing	32-64	32-64	64-128	64-128	64-128	128-256	128-256
Temperature accuracy (degrees C)	±2	±2	±2	±2	±2	±2	±1.5

図表 4-31 メモリテストにおける温度精度要求 (ITRS2003 より)

Table 37a Handler (Logic—Pick and Place) Requirements—Near-Term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Maximum set point (degrees C)	125	125	125	125	125	125	125
Minimum set point (degrees C)	-10	-10	-10	-10	-10	-10	-10
Temperature accuracy (degrees C)	±0.5	±0.5	±0.5	±0.3	±0.3	±0.1	±0.1

図表 4-32 ロジックテストにおける温度精度要求 (ITRS2003 より)

2005 年度は上記の技術課題をテストハンドラの目線から更に深掘し、最もコストパフォーマンスが良いメモリの同時測定個数、エッジレス・パッケージへの対応に向けた課題の解決策、ミニエンビロメント化を含めた温度精度要求への対応、などについて追求する計画である。

6) ウェーハ検査装置における NRE 削減の検討

テストコストの削減は幅広い視点からテスト工程を見渡し、様々な要素について検討する必要がある。今年度はウェーハ検査装置のNRE削減をテーマの一つに挙げ検討をした。本件は標準化などの要素を含むためロードマップにはなじまないとの意見もあったが、NREの削減はコスト削減効果だけでなく工完短縮にも繋がるので、Time to Market の視点や産業競争力強化の側面からも取り組む価値が有る。

NRE削減のためには製品個別対応の治工具設計や技術検討などを如何に標準化し工数を削減するかが鍵となるが、被試験デバイス、検査治工具、検査装置それぞれの間で相互関係が生じるため、総合的に検討を加える必要がある。また課題解決のための解やその候補はデバイス、治工具、装置それぞれに対し何らかの負担を求める事に繋がるので、実現に際しては総合的な便益に対するコンセンサスや相互協力が不可欠となるであろう。図表4-33にこれらの技術課題と解決策、または解決策の候補や提言の要約を示す。

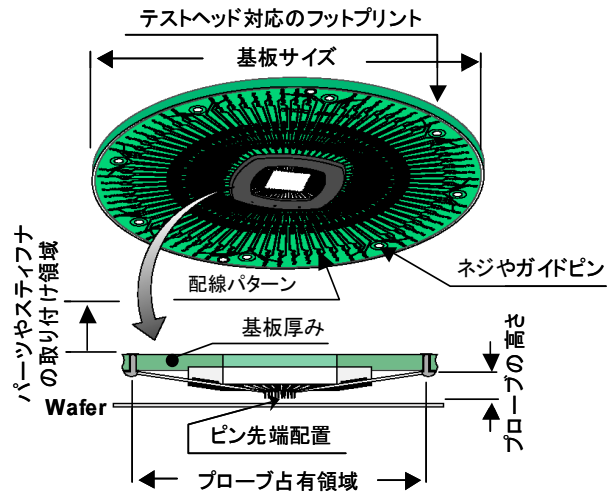
技術課題		解決策または候補	提言
DUT	ボンディングパッド配置デザインの標準化	汎用デバイスを標準化	チップサイズや機能が類似するものを標準化出来ると良い。プローブカードの NRE 削減に寄与が可能。
		同世代ノードで標準化	
		同一・類似機能で標準化	DFT に依り被測定パッド数が減じられる様な場合、総じて検討の価値がある。
テスト	テストヘッドの標準化	テストヘッド寸法標準化	プローバの NRE 削減に寄与可能。
		デバイス・インターフェースの標準化	プローブカードの NRE 削減に寄与可能。
テストボード	M&S に依る各種伝送特性の検証とテストプログラムへの反映	解析ツールとその応用技術	解析ツールに拠るところ大であるが、集中定数、波形伝送、電磁解析など各種解析ツールの統合化あるいはシームレス化が望まれる。
		他の治工具類も含めた総合的な M&S	また M&S の技法や取り扱うデータの標準化も併せて配慮される必要がある。
ウェーハプローバ	新たな位置決め方法の開発	光学的位置決めのみならず新しい新方式の採用	例えばプローブカードの情報を RF-TAG から読み取るなど業界で方式の標準化が必要。
	テストヘッド・インターフェースの標準化	マニピュレータの標準化	テストヘッド寸法標準化が欠かせない条件。上の項も含め、無調整で迅速に Plug and Play を可能とする事がゴールとなる。
	プローブカード取付構造の標準化	プローブカード・ホルダの標準化	
プローブカード	プローブカード各部寸法の標準化	PCB 寸法標準化 プローブ高さ等各部寸法の標準化	テストヘッド寸法標準化が欠かせない条件。またプローブ高さ等の寸法標準化では各種プローブカード構造を考慮した標準化が必須。
	新たな位置決め方法への対応	位置決めに必要な情報をプローブカードに内蔵	プローバが位置決めに必要な情報をプローブカードに内蔵し提供。 例:RF-TAG 利用など。上の項も含め、無調整で迅速に Plug and Play を可能とする事がゴールとなる。

図表 4-33 ウェーハ検査装置における NRE 削減の技術課題・解決策・提言

6-1) DUT : ボンディングパッド配置デザインの標準化

ボンディングパッドの配置デザインを標準化できるとプローブカードの共用化が可能となるので、NRE 削減効果は大きい。DUT の機能や集積規模でチップサイズ、ボンディングパッド数、配置デザインが変わるため一般に標準化は困難な場合が多いが、ターゲットを絞れば標準化の可能性も生じる。

プローブカードで NRE の要素として支配的なものには図表 4-34 に示す様にプローブ部の DUT 対応の他に、プリント基板部分の DUT 品種個別対応、テスト機種対応などが有る。プリント基板の新規設計や製作は工数が発生するため、削減可能となればコストだけで無く製品立ち上げの TAT 短縮にも繋がる。例えば、以下の様な場合にボンディングパッドの配置デザインについて標準化検討の余地が有る。



図表 4-34 プローブカードの NRE

① 汎用デバイス

機能が同じなら DUT の信号種別やピン数が標準化されているので検討の余地が生じる。

② 同世代のテクノロジノードの汎用デバイス

概ねチップサイズは近似するので、パッケージと同様に業界で標準化できると良い。

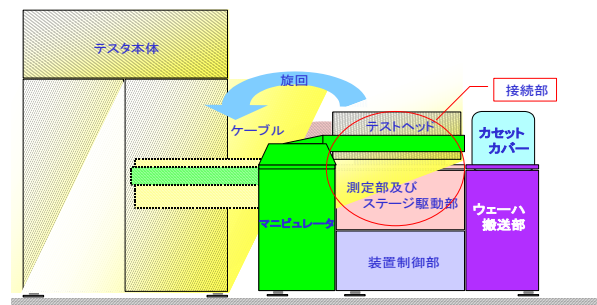
③ 類似機能のデバイス

機能が類似する DUT の場合にも検討の余地が有る。DFT の導入で被測定パッドの数を減じる事が可能な場合など、共用可能となる配置デザインを検討できると良い。

6-2) テスタ

6-2-1) テストヘッド寸法の標準化

テストヘッドの寸法や重量を標準化できると、図表 4-35 に示す様にウェーハプローバのテスタ・チェンジキットの NRE 削減に繋がる。従来はテスタ機種毎、テスタチャンネル数毎に準備されていたマニピュレータ機構の標準化も図れると良い。業界における標準化への取り組みが望まれる。

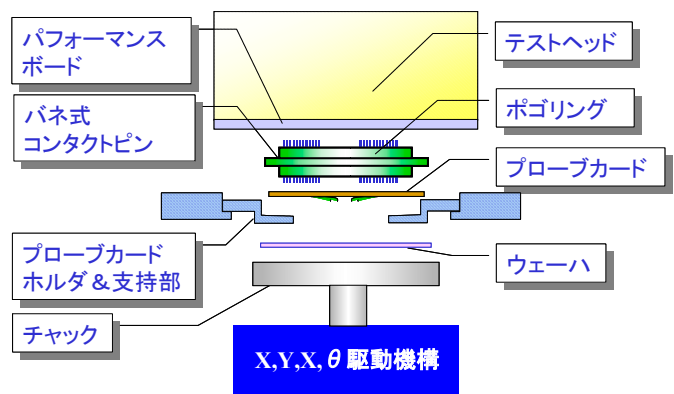


図表 4-35 ウェーハプローバ

6-2-2) デバイス・インターフェースの標準化

図表 4-36 に示す様にテストヘッドとプローブカードを接続するデバイス・インターフェースを標準化できるとプローブカードの NRE 削減に効果が有る。またテスタ機種やチャンネル数によって差異が生じていた遅延なども標準化により揃う方向へ転じるのでテストプログラム移植を行い易くなる効果も期待出来る。

近年はテスタ機能の小型化が進行し、モジュール化される事によりテストヘッドに多くの機能



図表 4-36 デバイス・インターフェース

を集約する事も可能となっている。このテストモジュールを自由に組み合わせたり再構成したりする事で柔軟なテスト機能構築を目指す OAI (Open Architecture Initiative) と呼ばれる思想のテストが普及しつつある[3]。この事は、従来はピンエレクトロニクスなどを含むテストヘッドの性能もテストとしての競争領域だったものが、モジュール即ちボードレベル性能へと移って来ている事を意味している。テストヘッドをモジュールの器として考えればテストチャンネル数を指標としたテストヘッドの標準化の道も拓けるのではないかと考えられる。業界における標準化への取り組みが望まれるところである。

6-3) テストボード：M&S による各種伝送特性の検証とテストプログラムへの反映

本項は 2002 年度の活動報告書で、高速化や低電圧化が進むデバイスのテストにおける測定系の M&S の重要性と課題について提案したものであるが、テストプログラムのテスト装置への移植や調整と云う側面から見て NRE 削減にも影響が大きいものとして図表 4-37 の通り再度採り上げた。

集中定数、波形伝送、電磁解析などに用いる各種解析ツールは 2002 年度から目立った進化は見られておらず、統合的、シームレスに使用出来るものはまだ見当たらない。またテストボードのみに留まらず他の治工具も含めた総合解析を行うには PC や WS などのプラットフォームでは計算規模の点で現実性に欠ける。そして複数の種類のツールを使う場合、M&S 技法やデータ形式の標準化も併せて重要課題となる。本項で鍵となる技術は解析ツールの進化という点に帰着するが、市販のツールは殆ど海外製で国内にソフトハウスが育っていない事は残念な点として挙げられる。

なお当 WG は解析ツールの技術動向を扱う事が役割では無いので、本項では課題抽出、問題提起に留める事とした。テスト難易度に対する M&S の重要性の詳細については 2003 年度活動報告書も併せて参照頂ければ幸いである[1]。

Year of 1st shipment		2004	2007	2010	2013	2016
Technology node(nm)@Scenario3.7		90	65	45	32	22
Operation voltage (V)		1.0	0.8	0.6	0.5	0.4
Clock frequency(GHz)		2.9	4.3	6.1	8.6	12.2
Max. bus speed (MHz)	周波数大幅Up	952	1133	1348	1604	1909
Band width(Gbyte/sec.)		1.9	2.3	2.7	3.2	3.8
Power consumption (W)	High-Power	94.1	104.2	93.1	121.3	137.9
Transistors(MTrs./cm2)		267	801	2404	7212	21635
Chip size (mm2)	Chip-size一定	310	310	310	310	310
Embedded DRAM (Mbit)		364	1024	2908	8192	23265
SoC embedded DRAM (mm2)	DRAM混載比率up	161	197	241	295	361
Scaled DRAM(Mbit)		701	1611	3741	8609	19978
Vdd pin count		140	193	230	360	511
GND pin count		299	414	493	771	1095
Signal pin count		355	504	716	1016	1443
設計検証技術	テスト	伝送系回路シミュレーション				電磁シミュレーション
	プローブカード/テストポート	目標スベック設計	伝送系回路シミュレーション			電磁シミュレーション
	治工具(ソケット, プローブ)	伝送系シミュレーション		電磁シミュレーション		

図表 4-37 テスト装置と M&S の課題

6-4) ウェーハプローバ

ウェーハプローバはテストヘッド、プローブカード、DUT の三者を保持し位置決めしてコンタクトさせる搬送装置である事から、NRE の要素もその殆どが外部要因である(図表 4-35 ウェーハプローバ、図表 4-36 デバイス・インターフェース参照)。この外部要因に起因する NRE 削減の最終的な効果として、Plug and Play が実現できる解を見出せれば省力化や短納期化への寄与が可能になる。その実現に向けた課題には以下の事項が考えられる。

6-4-1) 新たな位置決め方式の開発

DUT とプローブカードの位置決めには画像認識の技術が従来から用いられてきたが、近年は様々な先端構造を持つプローブカードが開発されている。それらへの対応やプローブ先端のコンタミネーションに依る認識エラー対策などで運用面の困難さが増大しており、工数の増加要因になっている。

これに対する解の 1 つの候補として、プローブ先端位置などの位置決めに必要な情報をプローブカード側に持たせる方式が挙げられる。例えば RF タグをプローブカードに載せてプローブで情報を読み取って位置決めをするなど、画像認識のみに頼らない新たな位置決め方式の開発であり、その実現には業界内で標準化を行う必要がある。

6-4-2) テストヘッド・インターフェースの標準化

テストのテストヘッドを保持しハンドリングするマニピュレータ部は、テストの機種やチャンネル数に依存して用意されている。またウェーハプローバの機種が新規に開発される度に、各テストに対応するマニピュレータも設計し直さねばならず、典型的な NRE となっている。

これに対する解の 1 つの候補として、テスト側でテストヘッドの寸法や重量などをチャンネル数に応じて幾つかの系統に分け標準化する事が挙げられる。またマニピュレータのテストヘッド保持機構を幾つかの系統に標準化し、テストヘッドをこれに合わせて設計するなど、逆のアプローチも解の候補として挙げられる。

6-4-3) プローブカード取り付け構造の標準化

プローブカードをウェーハプローバに取り付ける際の治工具であるプローブカード・ホルダも、NRE の要素の 1 つとして挙げる事ができる(図表 4-36 デバイス・インターフェース参照)。プローブカード・ホルダはテスト機種毎のデバイス・インターフェース、DUT 品種、プローブカード・ベンダ毎に異なるプローブ占有領域、プローブ高さなどの寸法に影響され、多くの場合は個別に設計されている(図表 4-34 プローブカードの NRE 参照)。これらの変動要素を幾つかのグループに標準化できればプローブカード・ホルダもまた標準化への道が開ける。

6-5) プローブカード

6-5-1) プローブカード各部寸法の標準化

プローブカードの NRE はテスト機種毎のデバイス・インターフェースや DUT 品種から影響を受ける。一方プローブカードは、プローブ占有領域やプローブ高さなど、プローブカードの構造やプローブカード・ベンダ毎に差異が生じており、ウェーハプローバの NRE に影響を与えている要素もある(図表 4-34 プローブカードの NRE 参照)。前者の要素は外部要因の標準化に期待する他無いが、後者の要素は幾つかのケースに分けて標準化できればウェーハプローバの NRE 削減に繋がる。業界における標準化への取り組みが望まれる。

6-5-2) 新たな位置決め方式への対応

プローブカードはその構造上、プリント基板をベースとしてプローブの取り付けやプローブカード・ホルダへのネジ止めなどの組立てが行われている。このプリント基板の加工精度は一般に金属部品加工の精度より劣る事から組立て精度の機械的基準として用いるのには不向きで、結果としてプローブ部とプリント基板の間には取り付け位置誤差や平行度誤差が生じる。高温試験で加熱される場合ではプリント基板の熱膨張係数は金属のそれに比べて一般に 5~10 倍程度大きく、熱膨張に依るたわみを生む。また高さ方向の寸法が変位するという複雑な現象も起きる。

これに対しプローブ先端の位置精度や高さバラツキ精度に対する要求は 1 桁以上高い事から、ウェーハプ

ローバではプローブ先端の画像認識を用いた位置決めでウェーハへのコンタクトが行われてきた。更には位置決め時間の短縮のために、粗い位置決めと高精度の位置決めで画像認識を使い分けるなどの工夫も成されてきた。ところが近年では、プローブ構造にフォトリソグラフィや MEMS の技術を導入したものや、従来と材質や表面状態が異なるプローブが出現し、先端画像認識の条件も多様化している。加えて、先端に付着するボンディングパッドの削り屑や汚染膜の残渣などのコンタミネーションによる画像認識のエラーなども考慮すると、位置決めの難易度は年々増している。

この課題に対する 1 つの解としては、前出のウェーハプローバの項で述べた様に、位置決めに必要なプローブ先端の位置情報などをプローブカード側に持たせる方式が挙げられる。例えば RF タグなどを利用してプローバで情報を読み取って位置決めをするなど、画像認識のみに頼らない新たな位置決め方式を開発して業界内で標準化を行う必要が有る。Plug and Play で装置に取り付けた後は、迅速かつ容易に無調整で使用開始出来る様な位置決め方式を目指した取り組みが望まれる。

4.4 おわりに (まとめと今後の課題)

以上の様に、2004 年度は「DFTとATEの更なる融合」を活動方針に定め、DFTとATEの共通課題としてSoC同測技術とWLBI技術についてまとめた。DFT-SWGではITRS2005への貢献を目指して、SoCのDFT技術ロードマップテーブルの諸量について定量化を行なった。さらに、WLBI技術とSoC同測技術に関するDFTの課題を明らかにした。一方、ATE-SWGでは「真の課題の探究」を目標に5つのテーマについて議論し、それらのうちの2つについて一定の成果を得た。そのひとつはSoC向けDFTテストのイメージをまとめたことであり、もうひとつはWLBI技術の背景と課題について検討・整理したことである。

来年度の課題としては、本年度の活動方針である「DFTとATEの更なる融合」を継続し、ITRS2005への具体的な貢献を果たすことが挙げられる。そのために、DFT-SWGでは、本年度のSoCテーブルの定量化をひき続き検討して、それを完了させる予定である。またATE-SWGでは、コストと品質を考慮したSoC向けDFTテストのロードマップを目指し、その用語の枠組み等について精査することや、WLBI技術におけるコスト要因の定量化を検討すること等がおもな活動予定となる。

最後に、2004年5月の諮問委員会で浅田教授(東大)にご指摘頂いた次のロードマップ活動の方向性(将来の半導体デバイステスト技術が直面する深刻な課題に対する一つの解決策)は、今後ともテスト技術ロードマップ策定活動するに当たっての基本的な課題の一つと位置づけ、STRJの他WGとの協働により、継続してそのソリューションを探求していきたいと考えていることを記しておく。

<浅田教授(東大)半導体ロードマップ活動におけるテスト技術の課題(必要条件と十分条件の関係)>

テストは製品が正常に動作するための従来十分条件であったが、デバイス性能が向上するに伴い製品の動作マージンがますます小さくなる(例えば、低電圧化に伴うノイズに対するセンシティブリティ大)ことにより、間欠的な不良(Intermittent fail)がますます顕在化する。SoCのテストは、故障検出率の向上を狙いとしてBIST技術等が導入され、その技術動向がロードマップに上げられて議論されている。しかし、BISTで良品となったとしても、実機で正常動作するとの保証はない。解決手段は、従来と同じくウェーハプロセスのバラツキ(今後より大きくなる)の下で製造されたSoCそのものを実動作と同じスピードで確認することであるが、それは困難であると予測する。そこで、将来のSoCテストでは、現在ロードマップ上で議論されているBIST等の深堀と共に、製品が正常に動作するための必要条件を十分条件に近づけるため、即ち、製品が実機で動作するための条件を明確にしておく必要がある。具体的な一例では、実機で発生するノイズと同等以上のノイズを被測定SoCに与えられる様な仕掛けをチップに埋め込み、その状態でBIST等によるテストをする。この手法が必要条件を十分条件に近づける(BISTによって実動作とテストの関係の乖離が大きくなっている、その乖離を小さくす

る)一つの方法である。その為には、ここの一例である SoC 内部のノイズを評価(TEG の活用)し、その評価結果をテストに反映する様な手法(BIST で代表されるテスト手法と、浅田先生の指摘される乖離を小さくする為の新手法、の2つの手法の併せ技)を指向することが必要である。従って、ロードマップ活動においては、その新手法についての方向性も議論していくべきである。

参考文献

- [1] 半導体技術ロードマップ専門委員会 (STRJ) 2003 年度報告 第 4 章 WG2 テスト (Page87-98)
- [2] Very Low Cost Testers IEEE2001 International Test Conference (Page60-69)
- [3] 65nm ノード時代に向けたテスト技術 Semiconductor FPD World 別冊「'05 最新半導体プロセス技術」