

## 第 5 章 WG3 FEP(フロントエンドプロセス)

### 5-1 はじめに

FEP(フロントエンドプロセス) WG は、ウェーハから拡散層のシリサイド化に至るまでの幅広いプロセスとともに、PIDS WG と共同でメモリ(スタック型 DRAM、Flash、FeRAM)も担当している。本年度は、それらの最新技術動向を把握するため、第一線の研究者からの情報収集(ヒアリング)を積極的に行った。

本報告ではヒアリングを基にした技術動向調査の結果と、ITRS2004Update の概要、および STRJ ワークショップで発表したウェーハ大口径化(450mm 化)に関する内容を報告する。

### 5-2 活動概要

2004 年度は ITRS の大改訂の年ではなく、いわゆる Update の年であったため、2005 年度の大改訂に備えて、昨年度以上に情報収集(ヒアリング)を積極的に行い、FEP 分野の技術課題を調査した(全 14 件)。ヒアリングを行ったテーマは前年になかった新しい分野も加え、Emerging Research Devices、Emerging Research Materials、液浸リソグラフィ、ウェーハフラットネス、メモリ(DRAM、FeRAM)、High-k、浅接合技術、Metal Gate、Strained Si および Si-Ge、CD 計測技術、SOI(ウェーハおよびデバイス)、それに洗浄技術である。

FEP は担当分野が非常に広いため、調査・活動報告が総花的になりかねない。そこで本年度は、FEP としての新テーマ(切り口)探しのため、他 WG との情報交換を兼ねたヒアリングも行った。

- 液浸リソ(WG5)→ウェーハ(WG3)と関連、
- CD の測定技術(WG11)→ Etch (WG3)と関連、

がその例である。液浸リソのヒアリングの知見は、ウェーハ大口径化について考察する際、参考になった。

ITRS2004 Update に関しては Stacked DRAM と FeRAM を PIDS と協力し改訂した。結果的には大きな変更はなかったが、FeRAM のテクノロジーノードの定義について問題提起(新規メモリはマーケットが小さいので、DRAM と同じように先行 2 社が月産 10k チップに達した時を基準に時期を決めるのは困難。よって、別の定義を考えるべきではないか)を行い、ITRS としても審議事項となった。

STRJ ワークショップでは、過去 2 年間新材料に注目して活動報告を行ってきたが、今回は趣向を変えウェーハ大口径化(次世代ウェーハ)を取り上げた。300mm の次のウェーハには STRJ も強い関心を持っており、FEP WG 活動とは別に増原委員長主催で識者にお話を伺う機会を 2004 年 7 月に設けている。また、学会でもそろそろ次のウェーハ(ITRS では 2012 年に 450mm ウェーハ導入)について議論すべきとの意見もあるので[1]、我々に過去の 200mm→300mm の変更時の経緯を整理し、450mm 化(サイズは決定されたわけではないが)の課題・解決策等を考察し発表した。大口径化の議論を始めるきっかけになれば幸いである。

### 5-3 Starting Materials

#### 5-3-1 ウェーハ関連技術およびウェーハ大口径化(300mm 化)の経緯

##### 2004 年度ヒアリング

ウェーハ特性として最も重要な平坦度についてヒアリングを実施した。龜山氏(ニコン)に液浸リソグラフィについて、JEITA 次世代ウェーハ技術委員会委員長の福田氏(富士通)にウェーハエッジ付近の平坦度について講演していただいた。

液浸リソグラフィでは水あるいは屈折率の大きい液体をレンズとウェーハ間に入れる。液体の屈折率を  $n$ 、光の波長を  $\lambda$  とすると、

$$NA = n \sin \theta$$

$$\text{解像力} = k_1 \frac{\lambda}{NA} = k_1 \frac{\lambda}{n \sin \theta} \propto \frac{\lambda}{n}$$

$$\text{DOF} = k_2 \frac{n\lambda}{NA^2} \propto n\lambda$$

となる。θ はレジストに対する光の入射角である。

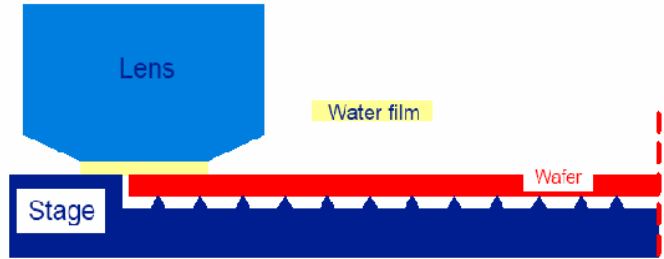
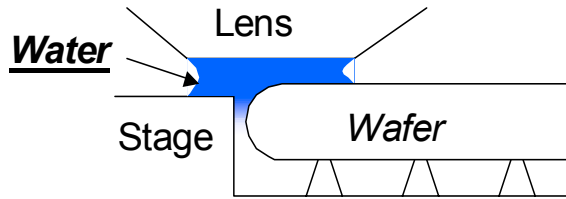
液浸は光の波長が λ/n だけ短くなったことに相当し、λ/sin θ に比例する解像力は λ/n 相当分良くなる。焦点深度 DOF は nλ 相当分増大する。しかし、DOF の増大分はリソグラフィ関係で消費し、ウェーハの平坦度の緩和にはつながらないという。液浸リソグラフィでウェーハエッジ近傍を露光する際には、液体がウェーハ端とステージに跨り、水漏れなどが心配される。ウェーハエッジ形状に微妙に絡むが、この問題に対しては解決方法があり、特に問題になることはないとのことである。

一方、JEITA 次世代ウェーハ技術委員会では、ウェーハの平坦度を重点的に検討している。300mm 両鏡面ウェーハの平坦度はウェーハ周辺部を除くと 45nm 世代に対応できるほど平坦である。ウェーハの周辺部では、エッジロールオフと呼ばれる平坦度の崩れがある。これはウェーハエッジ形状そのものによる平坦度の崩れではなく、ウェーハエッジから 1~3mm 程度内側で、本来、平坦であるべきウェーハ表面が 1μm 以下程だれている現象を指している。このエッジ

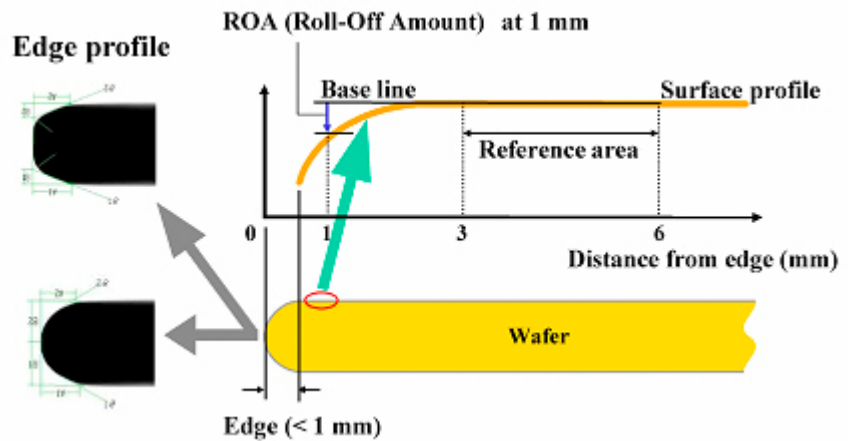
ロールオフ部分をいかに平らにするかでウェーハ全体の平坦度特性が決まる。この平坦度崩れは、リソグラフィに related 平坦度 SFQR であるばかりでなく CMP に要求されるエッジ形状でも問題である。CMP の場合、パッドの材質とリテーナーリングの圧力でウェーハ周辺部の CMP 均一性を制御できる。JEITA としては、エッジロールオフの現状を調べ CMP と関連が取れる定義の策定に注力している。

### 大口径化の経緯

2005 年 2 月アメリカで開かれた starting materials sub TWG での第一のトピックスは 450mm 大口径化であった。2004 年アップデート版では 2015 年から 450mm 化が始まることになっていたが、2005 年版では 2012 年から始まるように改訂される。2012 年の生産開始に対してはその 7 年前から準備しなければならないから 2005 年



図表 5-1 ウェーハエッジ近傍の液浸リソグラフィ露光  
ウェーハとステージの境界付近での液体の振る舞いは微妙であるが、特に問題にはならない。



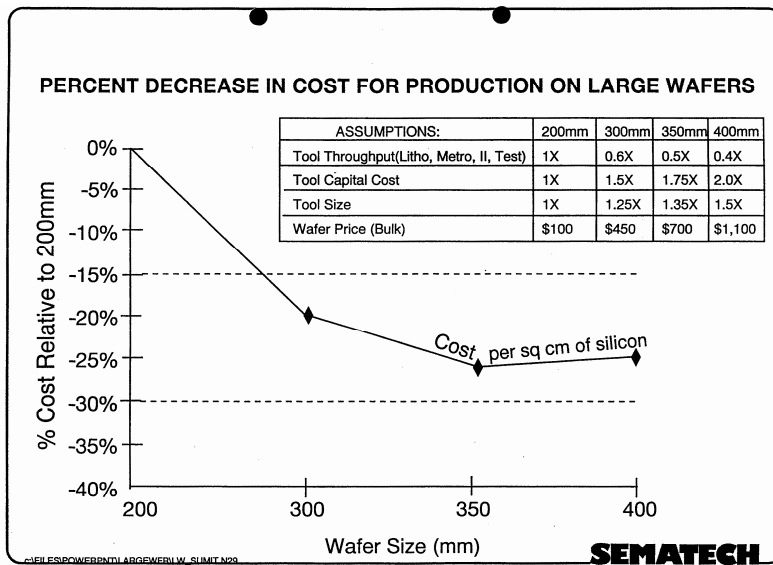
図表 5-2 エッジロールオフの説明  
いわゆるエッジ形状ではなく、ウェーハエッジから 1~3mm 位のウェーハ周辺部表面の微小なだれである。

版の最重要課題となるのである。まず、大口径化にまつわる問題点の認識とそれを共有化する議論から始まった。第一に、過去の経験を有効活用しようということになる。日本での 300mm 化の経緯については、“グローバルスタンダードへの挑戦 -300mm 半導体工場へ向けた標準化の歴史-” 小宮啓義監修、SEMI発行に詳しく纏められている。ウェーハの場合、ウェーハサミットなる委員会が組織され、世界的に足並みをそろえた大口径化推進の中心的役割を果たした。日本からは、Japan Working Group として、EIAJ(Electronic Industry Association of Japan)、JEIDA(Japan Electronic Industry Development Association)<sup>1</sup>、JSMN(Japan Society of New Metals)、SEAJ(Semiconductor Equipment Association of Japan)、SIRIJ(Semiconductor Industry Research Institute Japan)の 5 団体が参加した。1994 年 7 月に第 1 回会議をサンフランシスコで開催し、直径を 300mm と決め、第 2 回は 1994 年 11 月東京で開催し 300mm 移行時期を 1999-2000 年とし、1995 年 4 月のジュネーブ会議でウェーハ形状が決まった。その後、第 4 回は 1995 年 12 月東京で、第 5 回は 1996 年 7 月サンフランシスコで開催され、ウェーハ厚さなど技術的検討が続いた。ウェーハサミットでの合意事項やウェーハ特性の詳細は SEMI を通じて国際標準化が行われた。標準化には具体的な技術データに基づいて行われることが多く、日本では、JEIDA のシリコンウェーハ技術委員会が技術検討の実ワークを行った。

ウェーハサミット資料を調べるのは興味深いものである。大口径化に際しては、ウェーハ面積が 2.25 倍になることで生産性が向上しチップコストが低下しなければならない。一方、

300mm 化は単結晶単価の増大をもたらすと予想された。詳細は不明だが、図表 5-3 に示すような、バルクウェーハコストが \$100 から \$450 になってもチップコストは 18% 下がるというシナリオがあった。大口径化した場合にウェーハコストの期待値はウェーハメーカーとデバイスメーカーで異なっている。JEIDA が 150mm→200mm 大口径化に際して行ったアンケート調査では、ウェーハメーカーはウェーハの重量比以上の価格を期待し、デバイスメーカーはウェーハの面積比以下(面積単価の低下)を期待している(図表 5-4)。

この事情は 300mm、そしてこれから始まる 450mm 大口径化でも変わらないと思われる。大口径化は、生産性の向上とそれに伴うチップコストの低下が期待できるときに初めて実現するというモデルで検討されている。2012 年から 450mm 化が始まるというモデルである。450mm 時代には、ウェーハコストは重要な位置を占めるであろうから、早期にコスト見通しあるいはコストモデルを明らかにする必要がある。過去の大口径化の経緯に関連して、ウェーハコスト問題を強調した。



図表 5-3 ウェーハサイズとコスト

300mm 化により、ウェーハ価格は増加するがチップコストは低下するシナリオ。ウェーハサミット資料から抜粋。

<sup>1</sup> 当時は日本電子工業振興協会(JEIDA)であったが、現在は日本電子情報技術産業協会(JEITA)である。

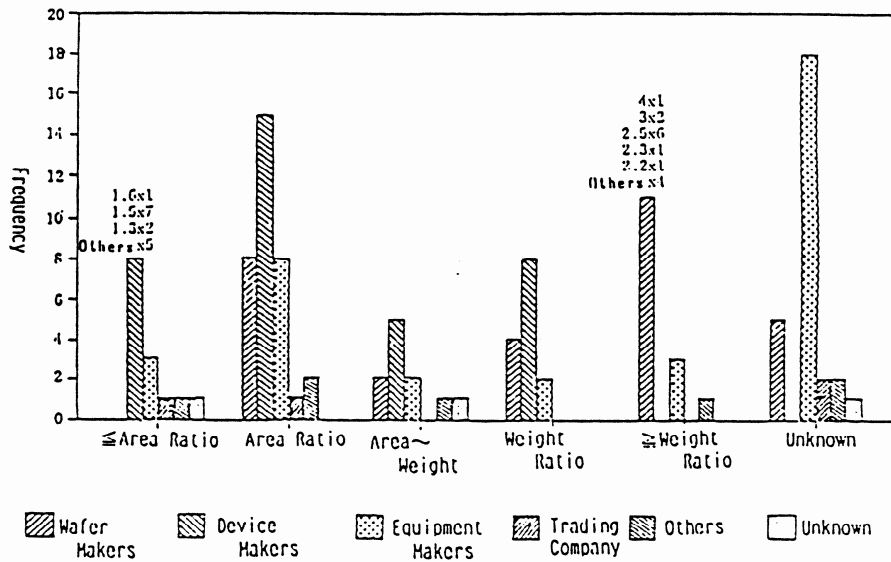


Fig. 6 Price Comparison between 200mm and 150mm wafers

図表 5-4 150mm から 200mm へ大口径化したときのウェーハ価格の期待値  
 ウェーハ大口径化技術動向に関する調査報告書 I  
 平成元年 3 月 日本電子工業振興協会

### 450mm 大口径化の議論開始

Starting materials subTWG での 450mm の議論では、まず大口径化に対する認識を共通化することになり、

- いつどのように 450mm 化が進むのか？
- ウェーハの標準化
- 450mm ウェーハの製造技術
- 450mm ウェーハのコスト
- 300mm 化に学ぶものは何か？
- 450mm 以外の選択肢は？
- 450mmSOI 技術

などがあげられた。これらは、450mm 化で必須となるグローバルな協調を進める上でのベースとなる。450mm ウェーハの開発はウェーハメーカ各社にとって負担が大きく、コンソーシアムなどの国際協調体制が必要であるというのが共通意見である。2012 年 450mm ウェーハ量産開始という設定に対して懐疑的な意見もあったが、全体としては前向きに取り組む姿勢で、この共通認識は 2005 年改訂版に盛り込まれる。日本のスーパーシリコンプロジェクトは 450mm ウェーハの製造可能性を実証したものと捉えられているが、それ以上は理解されていない。技術やコストに対して実データを持つ日本からの寄与が期待できるところである。今後、450mm 大口径化の議論は、国際協調を含め急ピッチで進むと思われ、300mm 化の経験をふまえた的確な対応が肝要である。

### 2005 年版改訂に向けての議論

2004 年アップデート版では、ウェーハ関係の表の変更は行わず、脚注を若干変更したのみである。全体として変化してないので、ここでは詳細な議論を省く。昨年の報告を参照されたい。2005 年の改訂に向けた議論でのメインピックスは、450mm 大口径化、1mm エッジ除外、エッジ形状である。種々あるウェーハ特性の重要性を把握した上でロードマップを構築することは大切である。現時点で重要と思われる項目のアンケート調査をしたところ図表 5-5 のようになった。最も重要なのはウェーハのサイトフラットネスである。前述のように、現在



のリソグラフィ技術では、解像力とともに DOF が重要な課題になっている。DOF の構成要素にウェーハ平坦度があり、ウェーハ平坦度が良いほど他の構成要素の余裕が大きくなるためである。その分解像度の向上につながるのである。ヒアリングでも指摘されているように、現在のウェーハで平坦度が問題になるのはウェーハ周辺部である。ナノポグラフィは 2003 年版から ITRS の表に入った項目で、CMP の均一性に関連した平坦度である。エッジロールオフについては、日本は CMP 関連で注目しているし、米国はリソグラフィ関連で注目している。これら平坦度関連の項目も重要視されている。エッジ除外は、ウェーハエッジから何 mm まではウェーハ特性を保証できないという項目である。2004 年東京会議で現行 2mm を 1mm するような提案があり、ウェーハ関係者の関心深い項目である。450mm ウェーハ特性でもウェーハ均一性という観点から問題になる点である。いずれにしても、ウェーハの周辺部まで均一に加工できるかという課題である。次の、パーティクルに関する項目はウェーハの洗浄に関連している。ロードマップではパーティクルの数・サイズともに DRAM half pitch (DRAM hp) に連携して厳しくなっていく。COP、ゲッタリング、エピと SOI の欠陥、SOI 厚さはウェーハ固有の項目で、表面近傍の欠陥が少なく汚染に強いウェーハが要求されている。

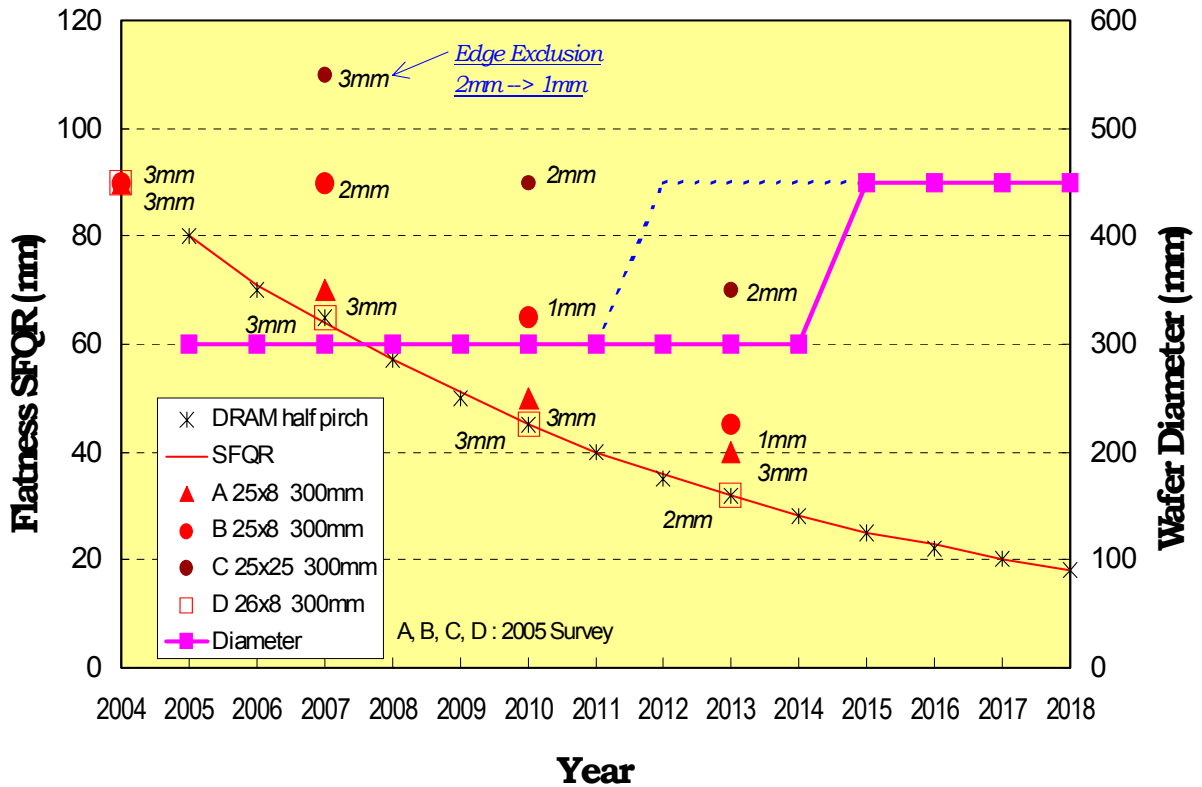
項目分類	仕様項目	重要度ランク	問題となる工程
平坦度	サイトフラットネス	1	ウェーハ加工 ウェーハ周辺部まで均一に加工できるか？
	サイトサイズ	2	
	測定空間分解能	3	
	ナノポグラフィ	3	
	裏面平坦度	3	
エッジ除外	エッジロールオフ	3	ウェーハ周辺部加工
	ポリッシュウェーハ	2	
	エピウェーハ	2	
表面パーティクル	SOIウェーハ	2	ウェーハ洗浄
	パーティクルサイズ	2	
COP	パーティクル数	3	結晶育成 アニール エピ
	COPフリー	2	
その他	サイズ	3	引き上げ・エピ・アニールの条件出しができるか？
	密度	3	
	ゲッタリング	3	
	エピ欠陥関連項目	2~3	
	SOI厚さ関連項目	2	
	SOI欠陥関連項目	2~3	

図表 5-5 ウェーハ特性項目の重要度に関するアンケート調査結果

図表 5-5 ウェーハ特性項目の重要度に関するアンケート調査結果

### ウェーハ平坦度推移

ウェーハ平坦度について詳しく述べる。図表 5-6 には、リソグラフィ関連ウェーハ平坦度 SFQR の推移が DRAM hp の推移とともに示してある。ウェーハ直径も示してある。2004 年アップデート版では 2015 年から 450mm となっているが、2005 年版では 2012 年から 450mm となる。SFQR 値と DRAM hp が同じであることが分かる。以前からこの傾向にあるが、液浸リソグラフィなど新しいリソグラフィ技術が導入され、DOF バジレットも新しくなるときに再検討されるべき項目である。アンケート結果も示してある。A、B、C、D 社の回答では、いずれも SFQR は小さくなる傾向にある。しかし、ほぼ DRAM hp に等しい A、D 社からそれよりかなり緩い B 社までばらついていて、C 社はサイトサイズが異なるので一緒に比較はできない。図表 5-6 にはエッジ除外(Edge Exclusion)も記入してある。現在のロードマップは 2mm で 2004 年東京会議において 1mm が提案されたが、アンケート結果は 2mm あるいは 3mm で、1mm になるのは 2010 年以降を予測している。全般的に、SFQR、エッジ除外ともに現在のロードマップ値と等しいかそれより緩い。貼り合わせ SOI ではエッジ除外 1mm を要求することは無理という指摘もある。アンケートでは直径についても訪ねているが、2004 年アップデート版が 450mm 化を 2015 年としていることもあろうが、いずれの回答も 2013 年時点でのウェーハ直径は 300mm である。300mm 化の論議の中で、Selete と I300I/Sematech から “Wafer Cost Reduction Guideline” なる提案がなされ、過剰スペックを避けようという働きかけがあった。450mm 大口径化と微細化に伴う平坦度特性の高度化はそれぞれ独立に進むのであって、ウェーハメーカーはこれらを同時に満たすウェーハを開発し生産しなければならない。開発コスト、生産ラインコストともに高騰する中で、より現実的なロードマップの構築に向けて論議を深めなければならない。



図表 5-6 ウェーハのリソグラフィ関連平坦度 SFQR およびウェーハ直径の推移 2005 年アンケート結果、SFQR、エッジ除外、直径も示す。

### 5-3-2 ウェーハ大口径化の影響、課題と対策案

2005 年は 300mm の次のウェーハ径に関する議論が活発化することが予想される。FEP WG では、ウェーハ大口径化自体の課題の議論に合わせて、FEP の範囲内で製造装置やプロセスに与える影響について議論を行った。そうは言っても、直径 450mm に関する定量的な議論はできそうもないので、300mm 化の経緯を振り返り、450mm でどのような問題が起こりそうかについて定性的に議論を行った。

前述の通り、300mm 化の議論は 1994 年に始まり、1994 年 7 月に第 1 回のウェーハサミット会議が開催されている。当時の認識は『装置には基本的な問題はないから、問題はシリコンウェーハの製造』<sup>2</sup> だったようである。

1996 年には 300mm 装置評価を目的として半導体メーカ出資の Selete が設立された。

1994 年 7 月: 第 1 回 Silicon Wafer Summit 会議
1996 年 2 月: (株)半導体先端テクノロジーズ(=Selete)設立
1997 年 12 月: プロセス装置統一メトリクス発行(I300I/Selete)
2001 年 3 月: トレセンティ 150nm ロジック量産開始
2001 年 12 月: TSMC 130nm 量産開始
2001 年 12 月: Infineon 170nm/250MDRAM 量産開始
2002 年 2 月: Intel 130nm 6 層 Cu MPU 量産開始

図表 5-7 300mm 化の推移

<sup>2</sup> 小宮啓義監修『グローバルスタンダードへの挑戦』(2003)p.2.

300mm 装置の評価方法・内容・目標仕様に関して、SEMATECH の子会社である I300I と Selete との間でプロセス装置統一メトリックスが制定され、1997 年 12 月にはデザインルール 0.25 $\mu\text{m}$  を対象として、1998 年 6 月にはデザインルール 0.18 $\mu\text{m}$  を対象として発行された<sup>3</sup>。300mm 半導体ラインに関しては、1999 年に Semiconductor300 から 0.25 $\mu\text{m}$ ・64MbDRAM のサンプルが出荷され、図表 5-7 に示すように 2001 年から量産が開始されている。

### 300mm 化に伴うウェーハの変化と装置の変化

ウェーハ厚さは、当初、200mm の厚さ 675 $\mu\text{m}$  の倍以上が必要という考えもあったが、5-3-1 で述べたように、わずかな増加(→775 $\mu\text{m}$ )に留まった。微細化で厳しくなる平坦度要求に対応するため裏面の光沢度(平坦度)が表面の x 0.8 以上になった。ウェーハを水平状態で処理する装置が多いことから水平搬送・水平保管(クリーンルーム内)となり、ロットの重量増やクリーン化への対応などを考慮し、自動搬送の標準化やミニエン化の検討が進んだ。

ウェーハ面積が 2.25 倍になりスループットや均一性の悪化は装置共通の課題と考えられたが、枚葉装置は比較的大口径化が容易と考えられていた。300mm 化の検討が始まった頃の FEP 装置状況を図表 5-8 に示す。一番重要だと考えられたのが、高温熱処理装置でのスリップ抑制である。微細化に伴うプロセス低温化傾向、

高エネルギー注入や CMP などの新規プロセス技術の適用拡大、ウェーハ保持方法の改善などによってスリップの問題はほとんど解消されている。縦型のバッチ式熱処理装置は 1000 $^{\circ}\text{C}$  程度を上限とした運用が望ましいが、枚葉式(RTP、エピ)では昇降温の最適化により温度制限も特に必要ではなくなっている。洗浄・ウェット装置は、装置の最適化により薬品・純水使用量や洗浄・リンス効率も大口径化の影響を受けないレベルになっている。ドライエッチング装置では均一性向上を目指して新しいプラズマ源の検討が行われたが、最終的には従来装置の改善により 200mm 同等以上の性能が 300mm 装置で実現されている。300mm 化を契機として、あるいは微細化に伴う要求があって、イオン注入(高電流、高エネルギー)と洗浄・ウェット装置は枚葉化の検討が進みつつある。

熱処理・酸化	バッチ装置／枚葉装置の使い分け
エピ成長	枚葉装置
イオン注入	枚葉装置(中電流)
	バッチ装置(高電流、高エネルギー)
洗浄・ウェット	バッチ装置(エッチングの一部が枚葉)
ドライエッチング	枚葉装置
LPCVD	バッチと枚葉混在(装置メーカー依存)
プラズマ CVD	枚葉装置

図表 5-8 1995-96 年頃の FEP 装置状況

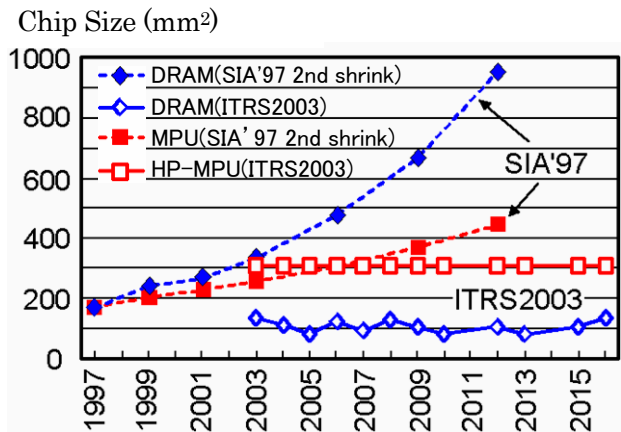
### 300mm 化と並行して生じたプロセスや環境の変化

この 10 年の間に、プロセス技術や半導体ビジネスの環境に大きな変化が生じている。300mm 化の検討が始まった頃の記述を見ると、意識されているのは、『汎用 DRAM』、『ギガビット』、『チップサイズ増大』といった言葉である。このことは、300mm 化を進める上では追い風であったと言える。チップサイズに関しては、その後、実製品との乖離が大きいということで ITRS でも見直しが行われた。図表 5-9 はチップサイズ予測について、SIA'97 と ITRS2003 を比較した結果であるが、最近ではチップサイズのほとんど増加しないロードマップに変わっている。DRAM に関しても、この 10 年で多くの国内半導体メーカーから汎用 DRAM がなくなり、大量生産製品(例. Flash)を持っている会社でも一製品の平均的生涯生産量が減り、SoC に代表されるように著しい多品種

<sup>3</sup> 300mm ウェーハ対応・0.25 $\mu\text{m}$  デザインルール プロセス装置統一メトリックス(1997), 300mm ウェーハ対応・0.18 $\mu\text{m}$  デザインルール プロセス装置統一メトリックス(1998)など. <http://www.selete.co.jp/>

化傾向にある。少なくとも、当時 300mm 化に向けているといわれた製品とはだいぶ変わってきていることになる。

使われているプロセスは、ゲート酸化膜、LOCOS、高温長時間熱処理、AI 配線などであった。その後の急速な微細化進展に伴いプロセス温度が低下し、素子分離の STI 化、高エネルギーイオン注入や CMP の適用拡大、Cu/Low-k 配線などが使われるようになっていく。こうした変化は、300mm 化を進める上で有利な環境変化だったと言える。



図表 5-9 Chip Size 予測  
(SIA'97 と ITRS2003 比較)

### 300mm 化の実績まとめ

2002 年 3 月に Selete の 300mm 装置評価に関する最終報告会が行われている(資料は Selete の HP で見ることができる)。I300I/Selete 共同作成のプロセス装置統一メトリクスに基づく評価結果として、概ね当初の目標仕様をクリアしている。

最先端製品の生産は 300mm で行われるようになってきていて、半導体製造装置市場は 300mm 装置が主流になっている。

### 450mm に関する議論

FEP WG では 450mm 化に関する定量的な議論はできなかった。理由は 2 つ。

- 1) コストに関する定量的なデータがない。別の言い方をすると、何を作れば採算が合うかに関する議論ができない。300mm 検討初期に大口径化に向けた製品として挙げられたのは、①チップサイズの大きい汎用 DRAM、②汎用 CPU、③マルチメディア系大規模システム LSI など。現在の日本で、③は可能性があるように思えるが、450mm の必然性には踏み込めなかった。
- 2) 300mm 化の時のように 450mm 装置も従来装置(300mm)の延長上にあるのか、質的な変化が製造装置に生じるのかを議論できる定量的なデータがない。

上記 2 点を除き、最先端デバイスを 450mm ウェーハで作るという前提で、FEP WG 内では議論した。

300mm 化でもそうであったように、プロセス装置の 450mm 化に際しては、2011~2012 年以降の材料・プロセス・デバイスの変化に対応することが非常に重要である。

材料・プロセス・デバイスの変化という点を除くと、300mm 化での検討内容や方向性が大きく変わることは考えにくい。FEP の範囲内では、ウェーハの厚さを決めるという項目があるが、300mm での経験から考えると、よほどのことがない限りウェーハ厚さはそれほど増えないという選択になることが予測される。厚くなるほど、ウェーハコスト増、搬送アームの強度増(→ウェーハ間隔増)などの悪影響がでる。300mm で検討対象になったノッチレスウェーハは、面内の均一性という観点では望ましい方向なので、再検討の対象になる可能性がある。

それ以降は、種々の標準化が必要になるが、活動の主体は Factory Integration である。

### 450mm 化に向けた課題、特に今後のプロセス・デバイスの変化

大口径化による一般的な課題は、スループットや均一性の悪化である。それに加えて、現時点で予想されるプロセス変化に伴うスループット低下も改善対象になる。例を挙げると、

#### 1) 洗浄・ウェット装置

洗浄・ウェット装置は、微細化対応(+大口径化対応)で枚葉化が進む可能性が高い。プロセス装置統一メトリクスでは、スループット目標は 158 枚/時間であり、300mm バッチ装置であればクリア可能であっ



た。ウェットエッチングであれば、マルチチャンバーの並列処理で極端なスループット低下にはならないと思える。しかし、洗浄、特に液温を上げる洗浄はスループットが大きく低下する可能性が高い。枚葉化の技術的見通しが立っていない対象として、100~150°Cに液温が上がる SiN エッチング(高温の磷酸)とレジスト剥離(高温の硫酸ベース)がある。『バッチ式で対応せざるを得ないのではないか』というのが装置メーカーのコメントだった。なお、450mm の洗浄に関しては、後ほど Surface Preparation の節で詳しく述べる。

## 2) イオン注入装置

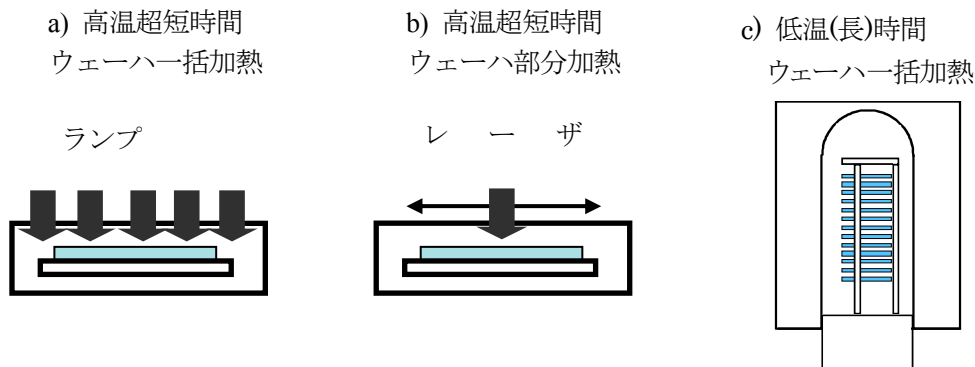
トランジスタの微細化を進めるためには接合を浅くする必要があり、高電流のイオン注入も低加速化する可能性が高い。その場合、低加速化に伴って得られるビーム電流が低下し、スループットが低下する。また、注入種は増加する傾向にあるが、ビーム電流が取れないイオン種も増える可能性がある。

## 3) Atomic Layer Deposition (ALD)

プロセス温度の低温化に伴い、ALD による成膜工程が増えつつある。ALD は高均一性と高制御性が得られる成膜方法ではあるが、ウェーハ面内均一化のためには原料供給時間とパージ時間を長くする必要があり、大口径化に際しては、原料供給時間とパージ時間が更に長くなる可能性があり、スループットの点で要注意プロセスである。

以上のようなスループット低下の影響を抑制するという意味で、450mm 化を位置づけるという考え方もある。

今後のプロセス・デバイス変化に関して、2011~2012 年以降 (hp45nm, hp32nm) のプロセスやデバイス構造が必ずしも明確でないという点が重要な課題である。図表 5-10 はドーパント活性化のための熱処理技術の例である。高温超短時間(ウェーハ全面一括加熱、ウェーハ部分加熱)と低温長時間の 3 つの可能性があり、どの方法になるかによってウェーハ強度に対する要求は変り、図で左にあるほどウェーハには高い強度が必要になるが、今のところ明確ではなく、ウェーハの仕様を絞りきれない



図表 5-10 RTP の次の熱処理技術候補

デバイス構造に関しては、2007 年にはメタルゲート/High-k スタックが必要とされている。しかし、材料選定・インテグレーション(例. 通常構造かダイヤモンドゲートか)・信頼性確保などがまだまだ不明確で実用化の目処が立っていない。また、早ければ hp45nm でデバイス構造が大きく変わる可能性があり、ダブルゲート、FinFET などが想定されている。基本的デバイス構造の変化は、プロセス装置に対する要求を大きく変える可能性があることも、450mm 化の検討を難しくする要因である。

### 450mm 化に向けた改善案

- 洗浄：ドライ洗浄など高温の薬液に頼らない洗浄方法と枚葉化の組み合わせが検討対象になると予想される。
- イオン注入：長年検討が進められているクラスタ注入やプラズマドーピングの実用化加速。
- ALD：ALD2004 会議で提案のあった手法(堆積を飽和させない)など成膜メカニズムを考慮した検討<sup>4</sup>。あるいは、ALD が表面反応を活用していることを考慮し、バッチ化の検討など。

### 450mm 化に関する議論のまとめ

- 450mm 化の定量的検討に際しては、コスト、作る対象は何か、装置の質的転換が生じるかどうかが重要。
- 装置の大口径化対応以上に、材料・プロセス・デバイスの変化に対応する装置の開発と言う視点が重要。2011～2012 年以降のプロセスやデバイスが必ずしも明らかでないことが大きな障壁になる
- (先に延ばせば伸ばすほど不透明感が増す)。
- 微細化によるスループットの改善のため、これまで検討されてきた技術の取込みが必要。
- スループット低下の影響を抑制するという意味で、450mm 化を位置づけるという考え方もある。

### 5-3-3 高移動度化技術

ITRS における MOSFET のロードマップは、high performance の MOSFET においては 1 年間に 17% のトランジスタの性能向上を実現することが想定されている。性能向上を実現するための方向性としては微細化が基本的な手段であり、少なくともこれまではほぼその通りに推移してきた。しかしながらゲート絶縁膜の薄膜化やゲートの微細化が、それに応じた効果を発揮しにくくなってきた現在、それに代わる方法の前倒しが必要となっている。この一つの方法として、チャネルの移動度を上げることが候補として考えられる。ITRS2001 では、mobility improvement factor として 1 を超える値が必要となる最初の年は 2010 となっていた。このことは、ITRS2001 の執筆時には、2009 年までの期間では mobility を向上するような施策を採用しなくても MOSFET の特性向上が実現できると予想されていたことを意味している。しかしながら ITRS2003 における high performance の MOSFET のロードマップでは、図表 5-11 に示したように、2004 年から 1 を超える値が記載されたロードマップに修正されている。

Years of Production	2003	2004	2007	2010	2013	2016
DRAM 1/2 Pitch(nm)	100	90	65	45	32	22
HP Phys. Lg(nm)	45	37	25	18	13	9
EOT(nm)	1.3	1.2	0.9	0.7	0.6	0.5
Vdd(V)	1.2	1.2	1.1	1.0	0.9	0.8
Ion(uA/um)	980	1100	1510	1900	2050	2400
HP C*V/I(ps)	1.20	0.95	0.64	0.39	0.26	0.15
Mobility Imp. Factor	1.0	1.3	2.0	2.0	2.0	2.0

HP: High Performance

ITRS 2003

各種高移動度化技術の導入が必須

図表 5-11 ITRS2003 における Mobility Improvement Factor の前倒し

<sup>4</sup> Gi Youl Kim et al , A High Deposition Rate Process Using Limited Optimized Reaction ALD., ALD2004 (2004).

かつては mobility improvement の手法として、仮想基板とも言われる歪み Si 基板など、starting material 自体に歪みを有する構造が想定されていたが、その実現には転位密度の低減などの多くの課題があり、したがってその導入時期もかなり先と目されていた。実際、歪み Si 基板上では歪み緩和 SiGe を形成するために、厚く堆積した傾斜濃度 SiGe 層中に転位を導入する必要がある。この転位は表面の歪み Si 層に到達してはならず、そのために積層構造の最適化による貫通転位密度の低減が必要となる。近年は  $1E5\text{cm}^2$  程度までその密度を低減することが可能とはなったが、未だ単結晶基板に及ぶところまでは来ていない。またあるいは歪みを有する領域へのエピタキシャル成長時には、クロスハッチと呼ばれる基板表面のうねりが避けられない。CMP 等の方法によって表面を平坦化する方法はあるものの、工程の増加を伴うものとなっている。また歪み Si 基板においては、LSI 製造工程途中による基板側からの Ge の拡散が避けられずこれが熱工程上の制約要因となること、SiGe 層内ではドーパントの拡散係数が変化してしまうためイオン注入条件などを再チューニングする必要があり、 $1\mu\text{m}$  以上の厚い SiGe 層を成長させる必要があるためウェーハのコストが高くなってしまふこと等課題もあり、これらも実用化のネックとなっている。

SGOI (SiGe-On-Insulator) のような SOI 構造上に歪み Si を形成した構造を用いるものであれば、上記歪み基板の場合の最大の課題である転位は本質的な課題ではなくなるが、Ge の表面側への拡散が同様に解決すべき課題となる。SSOI (Strained Silicon-On-Insulator) は、最終的に Ge が残らないという点で Ge 拡散という問題を回避できるが、歪みが LSI 製造工程で緩和しないようにする必要があり、どのようなインテグレーションとするかが今後の検討課題となっているのが実情である。

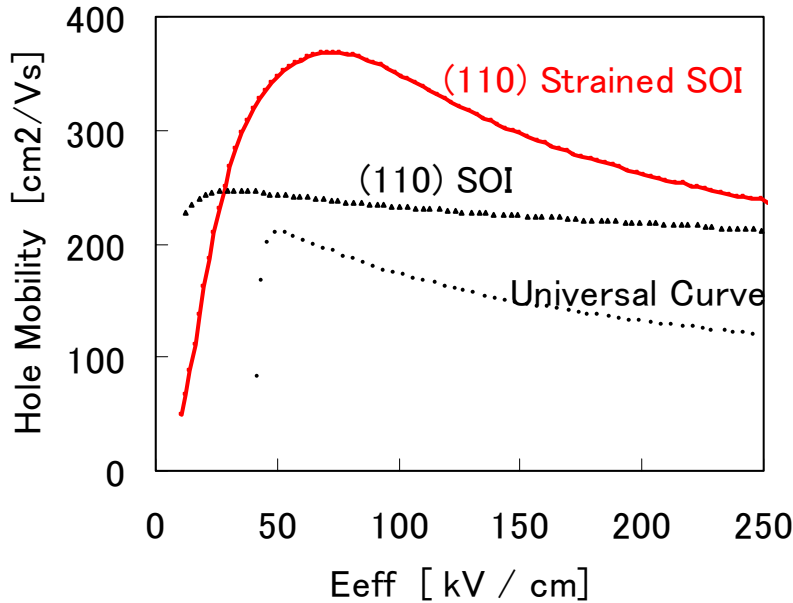
このような starting material 全体に歪みを形成した基板を用いる方法に代わり、MOSFET の製造工程で局所歪みを印加するようなプロセスを導入する方法が実用化されてきた。この局所歪みの形成方法としては、Intel に代表されるような S/D 領域に SiGe を埋め込むことにより MOSFET の製造工程の途中で局所歪みを導入する方法がある。この実用化により mobility improvement factor が前倒しされたことになるが、このことは逆にゲート絶縁膜の薄膜化等の手法による高性能化の達成が困難になりつつあることを示しているとも言える。

このようなプロセス途中での歪み形成は、従来同様の Si 基板を starting material として用いることができるため、基板自体に予め歪みを形成しておく方法と比較して、LSI プロセスへの導入が容易である。また SiGe を拡散層領域に埋め込む方法に限らず、膜応力を制御した SiN 膜を MOSFET のゲートを包むように堆積することで、NMOS、PMOS それぞれに適した方向の応力を、チャネル領域に印加することが可能となる。ゲート電極の側壁材料として SiN 膜は広く用いられていることから、このような方法も容易に取り入れられてきている。

しかしながら歪み印加により、確実に移動度の向上は実現できるものの、その改善率は高くとも 2 倍程度に止まるため、長期的には更なる手法の探索が必要である。このことから上記のような歪みによらない方法での高移動度が研究対象となっている。一例として hole mobility の面方位依存性を図表 5-12 に示した<sup>5</sup>。(110)面方位を用いるとともに歪み SOI とすることで、hole に関しては倍近い移動度が実現できる。ただしこの方法で注意が必要な点は、このようなチャネルの方位・方向制御による高移動度化は、electron と hole とでその挙動が異なることである。PMOS と NMOS の作りわけが必須となる。例えば一つの LSI において、一部領域のみを SOI とした構造とし、さらにその SOI 領域と基板領域とで面方位を変えるとといった方法も考えられる<sup>6</sup>。またさらには、素子材料として Si に代えて Ge を用いる GOI なども高移動度化のための候補技術となっている。この背景には、Si においては高品質な酸化膜である  $\text{SiO}_2$  が利用できたが、ゲート絶縁膜材料として high-k 膜が使われるようになったことがある。High-k 膜を用いる場合、EOT を薄膜化する必要性から  $\text{SiO}_2$  のような誘電率の低い膜をできるだけ薄膜化する必要が生じたため、Ge では高品質な酸化膜が形成できなかったという欠点が、決定的な問題点ではなくなったためと考えることができる。

<sup>5</sup> T. Mizuno et al., 2003 Symposium on VLSI Technology, Digest of Technical Papers, p. 97 (2003).

<sup>6</sup> M. Yang et al., 2003 International Electron Device Meeting Technical Digest, p.453 (2003).



図表 5-12 面方位による移動度の向上の例

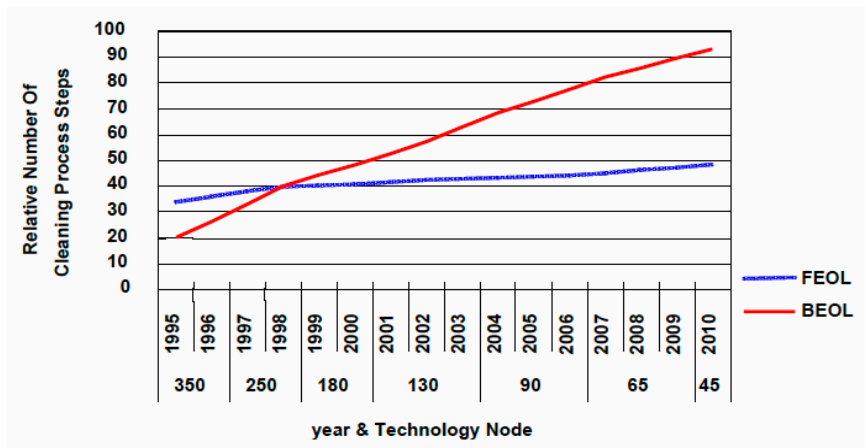
MOSFET の高性能化の方向としては、このような移動度の向上以外に、FinFET 構造、あるいは極薄 SOI 技術が検討されている。インテグレーションの困難さから、現時点ではこれらの施策がそれぞれ独立に MOSFET に適用される形で研究開発が進んでいるが、将来的にも MOSFET の性能向上を実現するためには、これらのさまざまな技術をうまく融合していくことが必要と考えられる。

#### 5-4 Surface Preparation

##### 今後の洗浄技術

図表 5-13 に FEP と BEP の洗浄工程数のトレンドを示す。FEP の洗浄工程数は年代と共に緩やかな増加傾向となっているが、BEP の洗浄工程数は配線数の増大に伴い急激に増加し、その差は年々大きくなることが予想されている。しかし一方で、FEP の洗浄に関する技術的な要求レベルは年々厳しくなっており、2003 年版の ITRS ロードマップではシリコンロスや酸化膜ロスに対する要求が新たに追加された。洗浄装置に関しては、デバイス生産形態に応じて、バッチ式と枚葉式装置が使い分けられる。将来的には枚葉式装置への比率が増えるが、後述するように、現時点で有効な代替方法のない高温・長時間のウェット処理では、今後もバッチ装置が使用され続けることが予想される。

今後の洗浄技術開発では、微細化対応と新材料対応の 2 つの開発が同時進行で行われる。微細化対応では、シリコンロスや酸化膜ロスを低減しつつパーティクルや金属汚染を除去可能な新洗浄液や洗浄方法の開発が進行中である。RCA 代替洗浄では、アンモニア濃度低減、処理温度低減、界面活性剤等の添加、メガソニック



図表 5-13 FEP と BEP の洗浄工程数のトレンド



ク技術の改良が行われている。また、2 流体ノズルによる物理洗浄技術も実用化され、枚葉式で低ダメージのパーティクル除去が可能となっている。さらに、クリーンルーム環境中からの汚染防止のための洗浄環境コントロールやパターン倒壊防止のための新乾燥技術の開発も重要なテーマとなっている。

新材料対応では、High-kやメタルゲートの新洗浄技術開発が進行中である。High-k材料では、Hfシリケート、Hfアルミネート、 $\text{HfO}_2$ 等の開発が積極的に行われているが、これらHf系絶縁膜のウェット処理では、Hf系絶縁膜のみを除去し、Siや $\text{SiO}_2$ 等の材料に対して選択比の高い新薬液が必要となる。メタルゲートの洗浄では、メタルゲートはエッチングせずに、かつSi上にはメタル汚染のない洗浄が求められている。さらに、High-kやメタルゲートからのクロスコンタミネーションを起こさない洗浄が要求され、その技術開発が進められている。

### 450mm ウェーハ対応の洗浄

450mm 対応の洗浄・ウェット処理においては、バッチ式装置から枚葉式装置への移行がさらに加速されるものと予想される。枚葉式洗浄のメリットには、大口径化や多品種少量生産に適していることや、クロスコンタミネーションが少ないこと等があり、450mm 対応の洗浄装置として望ましい特徴を有している。450mm 対応の洗浄装置は、少なくとも450mm ウェーハの量産導入5年前から装置開発が必要となるが、洗浄装置メーカーでは、現時点ではまだ具体的な検討が開始されていない。まずは、450mm ウェーハの方向付けに対して、半導体デバイスメーカーやウェーハメーカーおよびその関連業界のコンセンサスが得られてから、装置メーカー各社で開発を開始することになるが、450mm 対応の装置開発では、大口径化とさらなる微細化対応への要請が同時に行われることになり、実用化するための障壁は一段と高くなることが予想される。

洗浄・ウェット処理を大別すると、成膜前後の洗浄(High-k、メタルゲート等)、ウェーハ裏面やベベル洗浄、ビアホールやトレンチ内部の洗浄、CMP 後の洗浄(Low-k、Cu)、ポリマー除去(エッチング、アッシング)、SiN膜除去、レジスト剥離に分けられる。

これらの洗浄・ウェット処理を、450mm 対応の枚葉式装置に切り替えるための課題としては、サイクルタイム短縮、処理温度の低温化、ランニングコスト低減が考えられる。サイクルタイム短縮と処理温度の低温化に関しては、従来の洗浄液や洗浄方式では枚葉化が困難であり、新洗浄液や新洗浄方式の採用が必要となる。ランニングコスト低減に関しては、純水使用量の削減対策と電力使用量の削減が不可欠となる。純水使用量の削減対策では、新洗浄技術の開発やリンス方式の改善が必要であり、純水を使用しないエアロゾル洗浄や超臨界洗浄の高度化や実用化が望まれる。

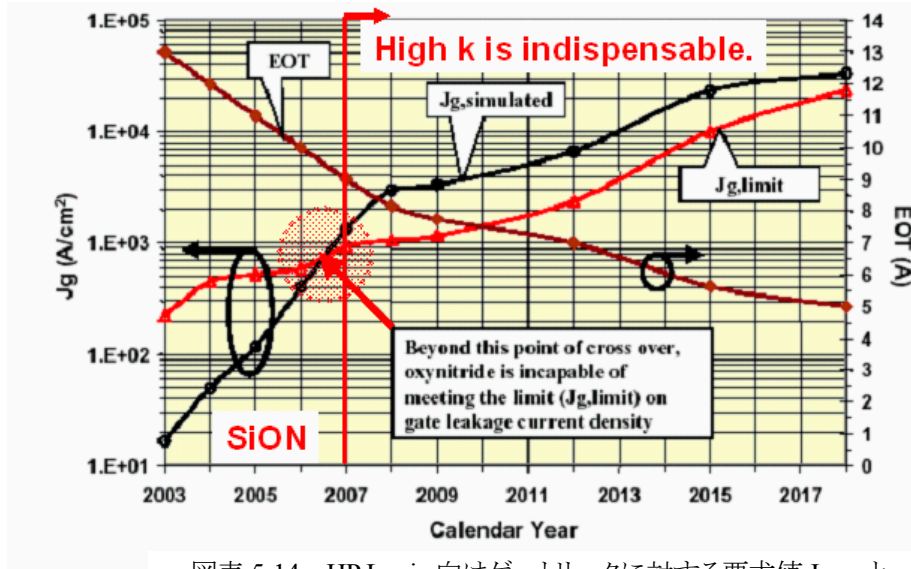
電力使用量の削減では、理想は室温洗浄であり、高温処理の代替技術開発が必要となるが、この項目が枚葉式装置への移行で最も困難なことが予想される。SiN膜除去のためのリン酸処理やレジスト剥離のための硫酸と過酸化水素混合液処理は100℃以上の高温かつ長時間処理となるが、現時点ではこれらのウェット処理に替わりうる有効な新薬液や方式がなく、450mm 化になった場合にもバッチ式装置が継続して使用される可能性が高い。

高温リン酸処理の450mm 化の課題としては、ウェーハの大口径化により一度の処理でリン酸中に溶け込むSi量が増加するため、Si化合物の析出が起りやすく、パーティクルの発生原因となる。また、SiN膜と $\text{SiO}_2$ 膜の選択比がリン酸中に溶け込んでいるSi量に依存するため、リン酸中のSi量が急激に変化することにより、選択比のコントロールが困難となる。この対策としては、既に導入が開始されているが、リン酸の再生・補充の自動化により、リン酸中のSi量を一定量にコントロールすることが有効である。ESHの観点からも、リン酸の再生は望ましい方向である。

5-5 ゲート絶縁膜

High-k ゲート絶縁膜の必要性とロードマップ

ゲート絶縁膜の(電氣的)薄膜化は微細化と性能向上を実現するためには不可欠である。しかし、薄膜化に伴うゲートリーク電流の増大によって SiO<sub>2</sub> 系のゲート絶縁膜が必要な性能を満たせなくなりつつある。図表 5-14 に High-performance Logic の許容ゲートリーク電流 J<sub>g,limit</sub> とシミュレーションから求めた SiON のゲートリーク電流 J<sub>g,simulated</sub> が示してある。ITRS2003 でこの検討により、High-performance Logic でも 2007 年には J<sub>g,simulated</sub> が J<sub>g,limit</sub> を超えることが判った。このことから、電氣的には薄い物理膜厚が厚い High-k 膜の実用化が 2007 年には必要になっている。



図表 5-14 HP Logic 向けゲートリークに対する要求値 J<sub>g,limit</sub> とシミュレーションから求めた酸化窒化膜のゲート電流値 J<sub>g,simulated</sub>.

こうした検討に基づいてゲート絶縁膜に関する要求値が見直されている。図表 5-15 は ITRS2004Update の中のゲート絶縁膜に関する要求表からの抜粋である。2003 年から 2004 年アップデート版での主な変更点は、ゲートリーク電流の規定条件が室温から 100℃になったことである。但し、ゲートリーク電流はほとんど温度依存性がないため、ゲート絶縁膜技術に関しては実質的な変更ではない。図表 5-15 で LOP と LSTP で 2006 年から、MPU(HP) で 2007 年から Solution Unknown になっているが、これは High-k ゲート絶縁膜が必要であるにもかかわらず未だ実用化の目処が立っていないと判断されていることを意味している。

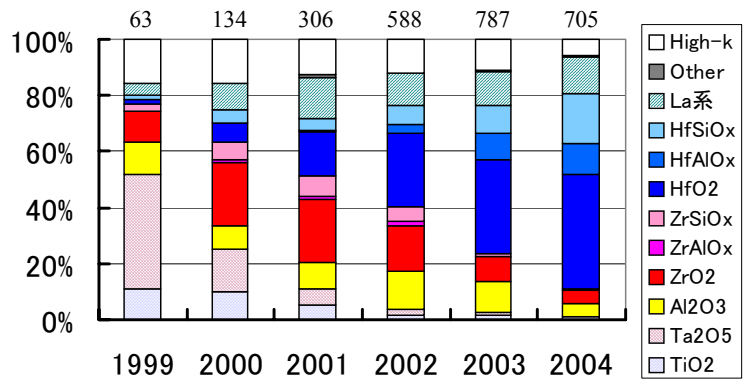
Year of Production		2004	2005	2006	2007	2008	2009	2010	2013	2016
DRAM HP(nm)		90	80	70	65	57	50	45	32	22
MPU Lg	nm	37	32	28	25	22	20	18	13	9
EOT	nm	1.2	1.1	1.0	0.9	0.8	0.8	0.7	0.6	0.5
Ig@100°C	nA/um	170	170	170	230	230	230	330	1000	1670
LOP Lg	nm	53	45	37	32	28	25	22	16	11
EOT	nm	1.5	1.4	1.3	1.2	1.1	1.0	0.9	0.8	0.7
Ig@100°C	nA/um	1.0	1.0	1.0	1.67	1.67	1.67	2.33	3.3	10
LSTP Lg	nm	65	53	45	37	32	28	25	18	13
EOT	nm	2.1	2.1	1.9	1.6	1.5	1.4	1.3	1.1	1.0
Ig@100°C	pA/um	3	5	7	8	10	13	20	27	33

Solution Exists    
  Solution Known    
  Solution Unknown

図表 5-15 ゲート絶縁膜に関する技術要求 (ITRS2004 Update)

### High-k ゲート絶縁膜開発の経緯

図表 5-16 は 20 程度の学会・雑誌を対象に High-k 材料の推移を調査した結果(各帯の上の数字は件数)である。1999-2000 年頃は TiO<sub>2</sub>系や Ta<sub>2</sub>O<sub>5</sub> (BST, STO を含む)など、容量膜などで導入実績のある元素が中心であったが、これらの材料はキャリア(特に電子)に対する障壁が低いなどの欠点があり、数年で研究対象から外れている。障壁高さは 1eV 程



図表 5-16 学会発表の High-k 材料推移

度以上必要と考えられているが、一般に比誘電率が大きいほどキャリアに対する障壁は低い傾向があり、このことから比誘電率の上限は 25~30 程度と考えられる。TiO<sub>2</sub> や Ta<sub>2</sub>O<sub>5</sub> の次に中心になった材料は、Al<sub>2</sub>O<sub>3</sub> とか FeRAM でラインに導入実績のある Zr 系の酸化膜である。Al<sub>2</sub>O<sub>3</sub> は二元系のなかで、唯一、1000°C 以上の温度で非晶質を保つと考えられる材料という利点があるが、膜中電荷が多くて、薄膜で高いキャリア移動度が得られないなどの欠点があり、研究の主流にはならなかった。Zr 系酸化膜(例、ZrO<sub>2</sub>)は比較的よい特性を示したが、同様の性質があつて耐熱性に勝る Hf 系に研究の中心が移っている。

HfSiO に窒素を添加することで耐熱性が向上するという学会発表<sup>7</sup>が 2001 年にあつて以降、poly-Si/HfSiON/SiO<sub>2</sub> スタックを中心に High-k ゲート絶縁膜技術は急激に進展した。HfSiON に較べると HfO<sub>2</sub> は必ずしも良い特性を示した訳ではない(例、キャリア移動度、膜中電荷)が、HfSiON で High-k 膜の理解が進むことに引きずられて HfO<sub>2</sub> の改善も進んでいる。図表 5-16 に示したように、2004 年には学会発表の 70% が Hf 系であり、特に VLSI シンポジウムや IEDM で発表された High-k ゲート絶縁膜は LaAlO の 1 件を除いて全て Hf 系である。Al<sub>2</sub>O<sub>3</sub> は 2003 年まで信頼性評価を中心に 10% 程度を占めていたが、2004 年には減少している。La 系(Y を含む)は、SiO<sub>2</sub> を介さずに Si 上に直接成膜可能で EOT 薄膜化に有利などの利点があり<sup>8</sup>、大学などを中心に発表件数の 10% 前後を占める。2004 年は La<sub>2</sub>O<sub>3</sub> が多く、次いで CeO<sub>2</sub>、Pr<sub>2</sub>O<sub>3</sub>、Y<sub>2</sub>O<sub>3</sub> などであつた。ゲート電極は、HfSiO 系と HfAlO 系が Poly-Si 中心で、それ以外はメタルゲート中心になっている。

2004 年には High-k スタックの信頼性に関する学会発表が増えた。また High-k 膜中のトラップの影響をなくするための高速電気測定法に関する発表も増えている。High-k 膜中のトラップ低減に関しては、低減方法を開示せず結果だけ示す報告も増える傾向にあり、技術レベルが十分には理解できないが、例えば窒素添加によって改善されるという報告<sup>9</sup>などが散見される。窒素は Si と安定なボンドを形成するので、膜中に Si がある HfSiO の方が窒素は導入しやすいが、HfO<sub>2</sub> でも窒素を導入した HfON 膜の発表が増えている。

### High-k ゲートスタックへの要求性能と課題

High-k ゲートスタックは、ゲートリーク電流を下げられることに加えて、SiO<sub>2</sub> に匹敵する性能や信頼性を満たす必要がある。項目の例を挙げれば、1) EOT ≤ 1.3nm の膜厚でゲートリーク電流が SiO<sub>2</sub> に較べて 3~4 桁低い、2) 比誘電率 > 10 (長期的には > 20)、3) SiO<sub>2</sub> に匹敵するキャリア移動度、4) トランジスタのしきい値 V<sub>th</sub> を 0V 近くまで制御できること、5) SiO<sub>2</sub> と同等の低ばらつき、6) 特性の安定性・再現性、7) 10 年程度を保証できる長期信頼性、などである。Poly-Si をゲート電極に使う場合には、1000°C 以上の耐熱性とドーパントの突抜

<sup>7</sup> Reliability evaluation of HfSiON gate dielectric film with 12.8 Å SiO<sub>2</sub> equivalent thickness  
A. Shanware et al., IEDM Tech. Dig. 2001, p.137(2001)

<sup>8</sup> Thermodynamic Stability of Binary Oxides in Contact with Silicon, K. J. Hubbard et al., J. Materials Research 11(11), p.2757(1996).

<sup>9</sup> E.P. Gusev et al., IEDM Tech. Dig. 2004, p.729(2004).



けを抑制できることが必要になる。High-k 膜あるいは High-k スタックの物性としては、界面準位が SiO<sub>2</sub>と同等に低いことや膜中欠陥が少ないことなどが挙げられる。

Poly-Si/HfSiON/SiO<sub>2</sub>/Si 構造にすることで、耐熱性の低さ(結晶化、相分離)、不純物突抜け、低キャリア移動度、ゲートリーク、ヒステリシスなど、それまでの High-k ゲート絶縁膜が抱えていた多くの課題が著しく改善された。長期信頼性も良好な報告が出始めている。唯一とも言える課題が、トランジスタの V<sub>th</sub>が SiO<sub>2</sub>系の場合ほど低くできないことで、特に Poly-Si/HfSiON では p-ch の V<sub>th</sub>が 0.7-0.9V 程度と高い。メカニズムに関しては、2003 年の VLSI シンポジウムで発表された“Fermi-Level Pinning”モデルや High-k 中の酸素空孔に起因するモデルがある<sup>10,11</sup>。P 型の不純物をチャネル部に注入し、埋込みチャネル気味にすることで、-0.5V 位の V<sub>th</sub>を得ることができる<sup>12</sup>。この手法は、“Fermi-Level Pinning”から逃れたわけではなく“効果を緩和”しただけなので、適用可能なデバイスは HP や LOP に比べゲート長が長く V<sub>th</sub>が比較的高い LSTP に留まる。

### High-k/メタルゲートスタック技術

微細化を進める上で障害になる“Fermi-Level Pinning”から完全に逃れ、LOP や MPU に適用することを目的に海外メーカやコンソーシアムではメタルゲート/HfO<sub>2</sub>(あるいは HfSiON)がメインの研究開発対象になっている。メタルゲートのもう一つの大きなメリットはゲート空乏化がなくなることである。ゲート絶縁膜の薄膜化を進めなければならない状況において空乏化をゼロに出来る意義は非常に大きい。メタルゲート/HfO<sub>2</sub>の課題の一つに低キャリア移動度があったが、徐々に改善されている。HP 用には 0.2V 程度の低い V<sub>th</sub>が得られる必要がある。低い V<sub>th</sub>が n-ch, p-ch のそれぞれに対して得られるゲート材料が見出せた(但し、開示はしない)という学会発表<sup>13</sup>はあるものの、学会レベルではまだ材料探索段階にあり、一部のメーカは材料を絞り始めて、インテグレーションが検討対象になりつつあるという段階のように思える。

CMOS の高性能化は微細化抜きには成り立たない。現状の High-k 膜のレベルだと、少なくとも L<sub>g</sub>=50-60nm に対して適用する必要がある。微細化の点では、Poly-Si ゲートもしくはそれをシリサイド化した FUSI (NiSi)ゲートが優位な状況にある。この場合、V<sub>th</sub>は比較的高めで、LSTP レベルであるが、空乏化抑制の観点からは魅力的である。製品化という点では、(可能だとしても)Application が限られるのでメリットがあるかという問題がある。技術的な解の一つは、SOI 基板を使うことである。High-k 膜の実用化の点で最も重要な課題は信頼性の保証ができるかどうかであり、保証に際して必要な加速モデルのコンセンサスが得られていないという点も問題である。Dual Metal/High-kに適切な材料があるという発表を信ずれば実用化に向けたポテンシャルはあり、Poly-Si/High-k がしきい値制御という応用上の問題を抱えているのに較べて優位と解釈することもできる。時期は hp45nm 以降になると思われるが、ゲート長 20-30nm レベルの微細化、CMOS インテグレーション、信頼性試験方法と保証など、乗り越えるべき障壁の数は多く、ゲート関連研究者・技術者の協働が重要である。

## 5-6 Metal Gate

ポリシリコンゲート電極にも近い世代のスケーリングには大きな課題がある。図表 5-17 は、メタルゲートも含め、さまざまなチャネルとポリシリコンゲート電極のドーピング濃度の場合について、C-V のモデリングを行った

<sup>10</sup> Fermi Level Pinning at the PolySi/Metal Oxide Interface, C. Hobbs et al., Symposium on VLSI Technology 2003, p.9(2003).

<sup>11</sup> Physics in Fermi Level Pinning at the PolySi/Hf-based High-k Oxide Interface, K. Shiraishi et al., Symposium on VLSI Technology 2004, p.108(2004).

<sup>12</sup> A Highly Manufacturable Low Power and High Speed HfSiO CMOS FET with Dual Poly-Si Gate Electrodes, T.Iwamoto et al., IEDM Tech. Dig. 2003, p.639(2003).

<sup>13</sup> Gate Dielectric Scaling for High-Performance CMOS: From SiO<sub>2</sub> to High-k Gate Stack, R. Chau, Int. Workshop on Gate Insulator 2003, p.124(2003).



結果である<sup>14</sup>。特定のノードに対する EOT は、与えられたチャンネルとゲートポリシリコンへのドーピング量に対して、そのノードの実効膜厚 (CET) を得るために必要となる実効膜厚を示すことになる。ドーピング量増大にも限界があり、0.3nm のポリ空乏化抑制効果がある metal gate は要求される EOT を実現する手段として期待されている。

ITRS2004 Update では long-term に 2011、2014、2017 年を追加した以外、変更はなかった。High performance は 2007 年に metal gate と high-k を同時に要求しているが、low power への High-k 導入時期より早まる可能性も指摘されており、実用化における困難さが強く懸念されている。

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	MPU
<i>Gate depletion: required EOT based on gate choice [V]</i>								
For the case of 1E20/cm <sup>3</sup> poly doping [V]	1.42	1.32	1.09	0.97	0.88	0.41	0.41	MPU/ASIC
For the case of 2E20/cm <sup>3</sup> poly doping [V]	1.69	1.59	1.38	1.25	1.15	0.74	0.74	MPU/ASIC
For the case of metal gate [V]	2.04	1.94	1.74	1.64	1.54	1.15	1.15	MPU/ASIC

(a) Near-term

Year of Production	2010	2011	2012	2013	2014	2015	2016	2017	2018	Driver
Technology Node	hp45			hp32			hp22			
MPU Physical Gate Length (nm)	18	16	14	13	11	10	9	8	7	MPU
<i>MPU gate depletion: required EOT based on gate choice [V]</i>										MPU/ASIC
For the case of 1E20/cm <sup>3</sup> poly doping [V]	0.33	0.33	0.33	0.23	0.23	0.23	0.13	0.13	0.13	
For the case of 2E20/cm <sup>3</sup> poly doping [V]	0.63	0.63	0.63	0.5	0.5	0.5	0.39	0.39	0.39	
For the case of metal gate [V]	1.05	1.05	1.05	0.95	0.95	0.95	0.85	0.85	0.85	

(b) Long-term

図表 5-17 ゲート電極に対する要求値<sup>1</sup> (青字が新たに加わった)

Metal gate の IEDM での動向を見ると 2003 年に 15 件であったものが、2004 年には 25 件と大幅に増え、しかもその 84% が Hf 系を主とする high-k との組み合わせであった。これは ITRS 2003 を強く意識していることが否めない。

Metal gate を CMOS に適用するには PMOS、NMOS トランジスタのゲート電極に別の材料を用いる必要がある。即ち PMOS ゲート電極はフェルミ準位がシリコンの価電子帯付近、NMOS ゲート電極は伝導帯付近に存在する材料を選択しなければならない。ITRS 2003 では PMOS には Ni、Ir、Ru、Pt、NMOS には TaSiN<sub>2</sub> を候補としている。NMOS に Ru 上 Ta、PMOS に Ta 上 Ru の 2 層にして熱処理し合金化することで仕事関数を変化させるという方法も挙げている<sup>15</sup>。

ところが、図表 5-18 に示すように発表された metal gate を材料別にみると TaN、FUSI、TiN、TaSiN 等と多岐にわたり、ITRS の候補とは大きく異なっているのがわかる。そこで、FEP WG では広島大学の芝原先生から、Full

<sup>14</sup> Based on Modeling done by H.Gossmann, Axcelis Technologies Inc.

<sup>15</sup> International Technology Roadmap for Semiconductors 2003, p.344.

Silicide (FUSI) ゲート、他のプロセスとの整合性 (特に High-k) などメタルゲートの技術動向に関して見解を伺い、metal gate の方向性に関して議論した。

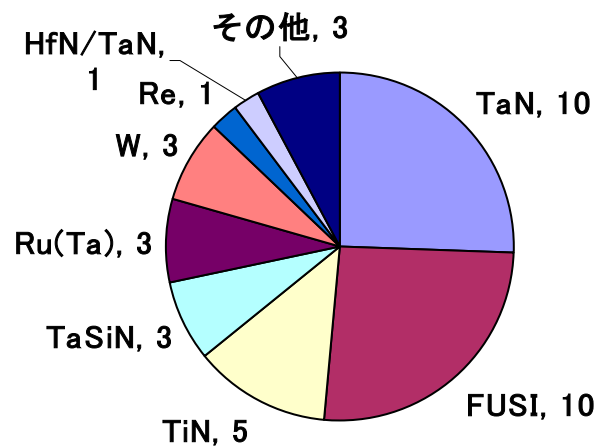
Metal gate はプロセス的に①既知メタル、②FUSI、③Mo 仕事関数変調、④新規メタル、⑤ダマシンに分類される。

既知メタルには既存の金属窒化物バリアメタルとして用いられている TaN や TiN がよく研究されている。TaN、TiN 系はサリサイドプロセスと適合させるため、poly Si/薄メタルの構造に対してサリサイド化するのが現実的である。窒化物系メタルだけでは抵抗が高く、S/D 注入時のチャネリングを回避するのにも poly Si が必要となる。ゲート加工を容易にするため、ゲート絶縁膜との選択比確保が重要である。TaN は 4.4eV という大きな仕事関数をもつので、しきい値制御が課題となる。Metal gate/high-k 構造では移動度の影響も重要な要素であり、Intel は TiN/HfO<sub>2</sub> で poly Si/HfO<sub>2</sub> よりも移動度を向上できることを示している<sup>16</sup>。この現象の理論的な裏付けも行われていて、フォノン散乱を抑制するため high-k を用いるなら metal gate にすべきとの考えもある。

FUSI はゲート絶縁膜上に堆積した poly Si をすべてシリサイド化する方法である。材料としては NiSi が最も進んではいるものの、他の材料も検討の余地がある。poly Si に事前に不純物を導入しておき、雪搔現象により不純物が界面に集まる性質を利用し仕事関数を変える。しかしドーズを増やしても仕事関数のシフトが飽和するといった現象も報告されている<sup>17</sup>。広島大学はシリサイド化条件が雪搔現象に重要な役割を果たしているとの指摘をしており<sup>18</sup>、今後、十分なプロセス検討が求められる。HfO<sub>2</sub> と組み合わせた場合にはフェルミ・レベル・ピンニングが起き、pMOS のしきい値を上げるといった問題が生じる。原因としては酸素空孔モデル<sup>19</sup>や Hf-Si モデル<sup>20</sup>が提唱されている。NiSi への Al 事前導入<sup>21</sup>や、界面から Hf を遠ざける<sup>22</sup>と改善するとの報告もある。

Mo 仕事関数変調技術は窒素導入で仕事関数を変調する。窒素イオンを注入するイオン注入法では大きく仕事関数を振れるが、ダメージが大きいといった欠点がある。TiN/Mo をアニールする固相拡散法<sup>23</sup>はその逆である。窒素は外方拡散するので、カバーを必要とする。TiN/Mo 法の今後としては ON や high-k との組み合わせが考えられる。Midgap 中心に変可なら、UTBSOI 等への応用に芽がある。

以上、述べたように metal gate の精力的な研究が推し進められる中、材料が集約されつつある状況にある。羅列気味であった potential solution を ITRS2005 では見直す必要がある。



図表 5-18 VLSI2004 と IEDM2004 で発表された metal gate 材料と件数 (注: 同一論文で複数カウントしている場合もあり論文件数よりカウント数が多い)

<sup>16</sup> Robert Chau et al., High-k/Metal-Gate Stack and Its MOSFET Characteristics, IEEE Electron. Dev. Lett., VOL. 25, NO. 6, p.408, 2004.

<sup>17</sup> D. Aimé et al., Work function tuning through dopant scanning and related effects in Ni fully silicided gate for sub-45nm nodes CMOS, IEDM2004, 4.3.

<sup>18</sup> Kousuke Sano et al., Workfunction Tuning Using Various Impurities for Fully Silicided NiSi Gate, SSDM2004, p. 456.

<sup>19</sup> K. Shiraishi et al., Physics in Fermi Level Pinning at the Poly Si/Hf-based High-k Oxide Interface, VLSI Technology 2004, p.108.

<sup>20</sup> C. Hobbs et al., Fermi Level Pinning at the PolySi/Metal Oxide Interface, Symposium on VLSI Tech, 2003.

<sup>21</sup> E.P. Gusev et al., Advanced Gate Stacks with Fully Silicided (FUSI) Gates and High-κ Dielectrics: Enhanced Performance at Reduced Gate Leakage, IEDM2004, 4.1.

<sup>22</sup> Masato Koyama et al., Careful examination on the asymmetric V<sub>th</sub> shift problem for poly-Si/HfSiON gate stack and its solution by the Hf concentration control in the dielectric near the poly-Si interface with small EOT expense, IEDM2004, 20.1.

<sup>23</sup> Masaki Hino et al., Influence of Nitrogen Profile on Metal Workfunction in Mo/SiO<sub>2</sub>/Si MOS Structure /Si MOS Structure, SSDM2003, p. 494.

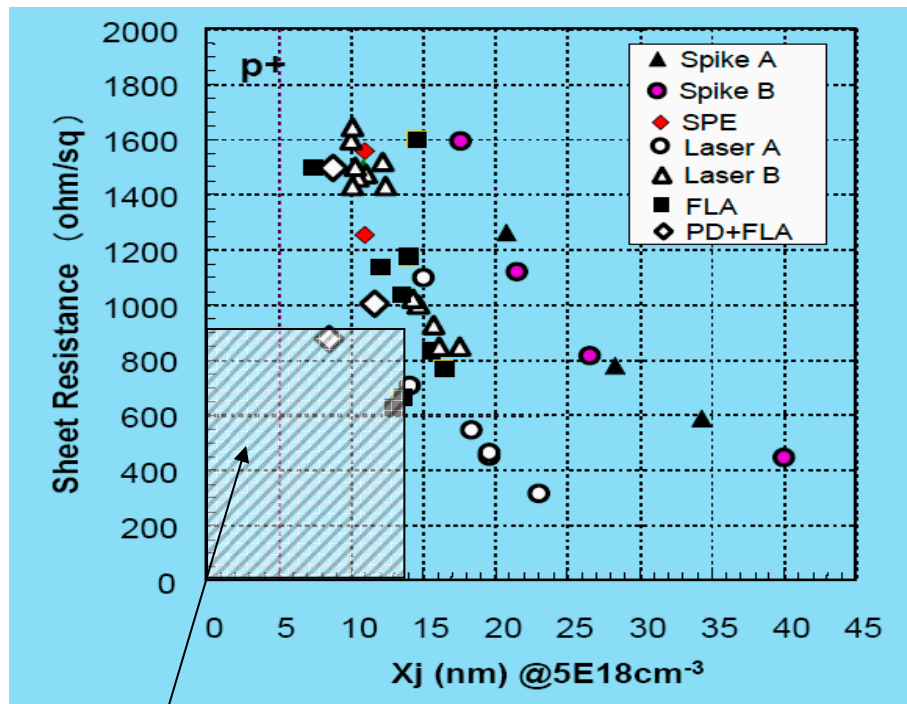
### 5-7 ドーピング

ドーピング技術は MOSFET のスケーリング則に従い、浅く、低抵抗な拡散層を実現することでその進歩が図られてきた。近年は、イオン注入と RTA との組み合わせがその基本であったといえる。MOSFET の拡散層を精度よく形成するという目的のために、ドーズ量の精密制御が可能である点でイオン注入に代わる方法は見当たっていない。イオン注入の課題は低加速化により浅いドーパントプロファイルの実現することであるが、実用的な側面から言えば低加速化にはさまざまな困難が伴う。一つは低加速化することでビーム電流の引き出しが困難になり、ビーム電流が低下してスループットが低下することである。イオン注入装置自体の改善により低加速領域でもビーム電流が取りやすくなってはいるものの、低加速領域ほど相対的にビーム電流が低下してしまうことには変わりはない。この解決方法として古くから用いられているのが、B であれば B に代わり BF<sub>2</sub> を用いる方法である。しかしながら必然的に F が B の 2 倍導入されてしまうことが、拡散層自体が浅くなることによって高抵抗化等の問題を引き起こすことから、決して今後に対して満足のできる解とはいえない。これに代わる方法として、F を含まない、より高質量数のクラスターイオンを用いる方法が提案されている。具体的には B10H14、あるいは B18H22 などを用いる方法であり、これらは質量数が単体の B の 10 倍以上となるため、例えば単体 B では 200eV まで加速電圧を低減させなければ実現できないプロファイルを、2keV という桁高い加速電圧で実現することができる。このような新しいイオン種を用いた方法は開発途上にはあるが、従来通りの方法でビームを高電流化する方法を含め、注入技術に関しては着実な技術の連続的進歩により、当面は必要なプロファイルを実現していくことができるものと考えられる。

	2004	2007	2010	2013	2016	2019
Technology Node	hp90	hp65	hp45	hp32	hp22	hp16
SHALLOW JUNCTION ION DOPING						
Ultra low energy (beamline) ion implantation						
Plasma doping	■					
ACTIVATION OF USJ ION DOPING						
Spike (~1 second) anneal						
Msec anneal (flash, non melt laser)	■					
Solid phase epitaxy	■					
µsec anneal (melt laser)	■					
LOW RESISTANCE DEPOSITED AND THERMAL DOPING						
Undoped/doped selective epi (raised source/drain, HDD, other)	■					
Other, e.g. solid/gas phase doping, MBD/ALE	■				■	

図表 5-19 ドーピングに関する技術候補

一方熱処理手法に関しては、スパイクアニールを含む RTA による限り、接合深さをイオン注入直後の状態から増加させるものとなっており、したがって、接合深さを増加させずに済む熱処理手法の開発が、接合技術開発における最大の課題となっている。図表 5-19 はドーピング技術における要素技術とその世代を示したものである。hp65 以降においてはフラッシュアニール、non-melt のレーザーアニール、あるいは solid phase epitaxy (固相成長) が候補技術として挙げられている。p+n 接合に関してこれらの候補技術を用いて接合を形成した場合の接合深さとシート抵抗との関係を、図表 5-20 に示した。ハッチングした領域は、hp65 において要求されている接合深さとシート抵抗との関係を示している。hp65 においては接合深さ 13.8nm 以下で 884Ω/sq 以下のシート抵抗が、extension 領域に必要な条件として求められている。このターゲットに対しては、適切なプロセス条件を選択することにより、フラッシュアニール、レーザーアニール等の技術を用いて、要求された条件を満足する拡散層を形成できることがわかる。



### Requirement for hp65 (p<sup>+</sup>n extension)

図表 5-20 hp65 の p<sup>+</sup>n extension をターゲットとした接合形成の例

これらの候補技術のうち、フラッシュアニール、レーザーアニール等はいずれも極短時間の高温プロセスであり、昇温、及び降温の精密制御が実用化のための重要な課題となる。例えばレーザーアニールでは、基板上一部の加熱を繰り返し行うことにより、基板全面の加熱を行う。したがって局所的な温度差が必然的に発生することになる。このような温度差に起因した欠陥発生は接合リークを増大を引き起こす。またフラッシュアニールは基板全面を一度に加熱するために上記問題は発生しないが、しかし逆に基板全面の極めて均一性のよい加熱が必要となる。スパイクアニールであればモニターされた温度をフィードバックすることが可能であったが、フラッシュアニールはフィードバックができないほどの短時間処理であるがゆえに、ハード面からの十分な配慮が必要となる。またレーザーアニールやフラッシュアニールは、加熱を基板上面側からの熱輻射により行うため、パターンニングされた基板では局所的な温度分布が発生する。この解決策として加熱時には前面に熱を吸収する層を設けるなどの方法が取られるが、加熱方法に対して最適な膜構成などが今後の検討課題となっている。

一方固相成長はイオン注入層を結晶化するのに必要十分な、600°C程度での熱処理を行うことによる方法であり、イオン注入による点欠陥を起因した増速拡散を抑止さえすれば、イオン注入プロファイルをほぼそのまま維持できる点で、拡散層を浅く保つための最適な方法と言える。しかしながら点欠陥起因の接合リークを抑止することが困難であり、その対策の確立できていない現時点では実用化には遠いと考えざるを得ない。なおこの点においてフラッシュアニール、non-melt のレーザーアニールのいずれも高温熱処理を用いるという点で、固相成長では避けられなかった課題は解決できる。逆に言えば固相成長の利点は、ドーピングをイオン注入によらずに行った場合に発揮されることになる。例えば in-situ dope のアモルファスシリコンを固相成長により結晶化することで、拡散層としては理想的に急峻なプロファイルを実現することができる。しかしながらこのようなプロセスを実際に MOSFET に適用するためには、拡散層領域にアモルファスシリコンを選択堆積する等の技術との組み合わせが必要となるため、関連技術も含めた開発が必要である。



また浅い拡散層を形成するためのドーピング技術としては、プラズマドーピングも候補技術の一つとして挙げられている。しかしながらプラズマドーピングは、上述した手法に比較してドーパント濃度の制御が困難であり、単純に MOSFET の S/D 形成手法としての代替技術とはなりにくい。しかしながらイオン注入と違ってエネルギー分離を行わずにドーピングが可能であること、三次元的な構造を持つ領域へのドーピングが容易であること等は他の手法にはない利点であり、このような利点を生かせる領域への適用を探索する方向で、実用化が進むものと考えられる。

その他、拡散層形成に関連する重要技術としては、削り量の少ないウェットエッチング、ゲート電極加工時のオーバーエッチング抑止、拡散層領域の選択成長等が挙げられる。ウェットエッチングやゲート電極加工はいずれも MOSFET 形成のために不可欠なプロセスであるが、拡散層プロファイルを MOSFET の一部として見た場合には、イオン注入時に加速電圧制御以上に精密に制御することが必要な要素技術である。また拡散層領域の選択成長は、シリサイド領域と接合深さと距離を保つことや、SOI における寄生抵抗低減のために必須となる。このような周辺技術の進歩なくして必要な拡散層を実現することはできないことは自明であり、接合形成技術の開発においては、さまざまな構造、アプリケーションに応じて、あるべきドーパントプロファイルを実現するために必要な手法を探索・開発していく必要がある。

## 5-8 Etching

ゲート CD 制御は、FEP のみならず ITRS 全体の活動の中でも関心が高く注視されている課題である。ゲート CD 制御におけるプロセス目標性能の指標として、ITRS2003 では線幅の 10% の制御を必要とする前提においてリソグラフィ4:エッチング1とする線幅制御の数値目標が採用された。しかしながらリソグラフィとエッチングプロセスの相関やレジスト形状に起因する課題などの考慮が必要であり、2004 年は関連する各 WG において本課題に対する継続的な検討がなされてきた。検討の結果は 10% 3 $\sigma$  の寸法制御は現状で未達成であることを再確認し、2005 年に WG 相互の協力のもとに要求値・目標性能を見直す共同検討を行うとするに留まった。このため 2004 年アップデート版における改訂は long-term (2011 年、2014 年、2017 年) への追記以外はなされなかった。

FEP WG ではゲート CD 制御のプロセス性能目標値化を複雑にしている2つの要因(計測の再現性、パターンエッジ荒れ)に着目し、そのうち測定の見点で課題を整理し、議論を行った。CD 制御に関する課題のうち寸法測長精度の実情を各測定方法別に図表 5-21 にまとめた。安定性と精度の点においては AFM 方式が最も優れていると考えられているが、実用上の検査工程に適用するには計測時間が他方式に比べて劣っている。また AFM は維持管理の点においても課題が残されている。一方、CD-SEM と光学式計測(Scatterometry)は計測時間が短時間であるため実用上の点において優れており、このため現状の寸法計測方法の主流となっていることは周知のとおりである。ここで精度の点に目を向けてみると、CD-SEM は測定バラツキ、長期短期の安定性の点において Scatterometry より劣っている。測定バラツキを総合すると CD-SEM 方式では hp90 世代で要求されるゲート長(Lg)のバラツキ(3 $\sigma$ )3.3nm を議論する上で不十分な性能とも考えられる。一方、Scatterometry は局所的な寸法の測定が困難、測定用のパターンを必要とするなどの短所はあるものの、安定性・再現性に優れており、プロセスの仕上がり検査や、寸法精度の絶対値を求める時に有効である。ロードマップ上の数値指標を与える基準の一つとして捉えて支障ないであろう。しかしながら、デバイス開発・製造時に特定パターン部分における寸法管理を必要とする場合も多く、CD-SEM と Scatterometry は相補的に適所に使用されると考えられる。

CD 制御の議論を煩雑にしているもうひとつの課題がパターンのエッジ荒れ、いわゆる LER (Line Edge Roughness) と LWR (Line Width Roughness) である。上述したように特定パターンの一定の領域部分における平均的 CD 値は Scatterometry 法によって精度良く計測されるが、LER/LWR は局所的な寸法計測結果の集合を統計的にあつかう必要がある。局所的寸法値は CD-SEM で計測された数値が該当するが、従来 LER/LWR

に關しての計測方法の明確な定義がなされていなかった。2004 年の活動ではこの測定に關する方法が WG を横断して議論されてきた。また 2003 年～2004 年にかけてでは実効的なトランジスタ特性に影響する接合の LER/LWR に關する研究の報告がなされている<sup>24,25,26</sup>。これらの状況を踏まえて、FEP WG としては、実パターンの LER/LWR が接合の LER/LWR に与える影響、さらにはそれによるトランジスタ特性の変化を関連付けて、今後継続した議論を行っていきたいと考える。

	CD-SEM	Scatterometry	AFM
計測精度(3 $\sigma$ ):nm	0.7	0.3	1nm 以下
短期安定性:nm	0.4	0.2	~1nm
長期安定性:nm	0.6	0.2	-
計測時間:s/point	5~7	3	60

図表 5-21 各 CD 計測方式の特徴

## 5-9 DRAM

ITRS のテクノロジーノードを定義する汎用 DRAM の微細化は、0.7 倍/3 年で推移している。しかしながら、容量増加に關しては、チップサイズの拡大が経済的に困難で、セルフファクター(セルの a-factor)の改善がレイアウトの物理的限界に近づいたこと等により、従来の 4 倍/3 年から 2 倍/3 年へと鈍化している<sup>27</sup>。

大容量化が至上命令の汎用 Flash に対して、今日のデジタル化社会においては DRAM に対する要求は多様化しており、単に容量や速度だけでなく、低消費電力など使用される商品の機能に即した性能の向上が求められている。SoC 化のため、混載メモリに対する要求も強い。

DRAM に対する性能要求は、大きく分けて以下の 4 つがある。全ての要求を同時に満たすことは技術的にほとんど不可能であり、例えば低消費電力性と高速性は現在の技術力では両立しない。カッコ内にはその特性が求められる代表的な製品を記した。

- 低消費電力性 (携帯機器)
- 大容量&高速性 (mobile PC)
- 大容量&高信頼性 (High-end server)
- 高機能性 (デジタルコンシューマ)

### 技術開発の現状

DRAM の技術開発の多くは、性能の中でも最も重要な特性である、リフレッシュ特性(データ保持特性)の改善に關している。この特性を悪化させる原因に応じて種々の改善策が講じられている。

まず、原因に關して整理する。図表 5-22 中の数字は下記の数字に対応している。

#### ① 選択トランジスタのチャネルリーク

ワード線がオフ時のソース・ドレイン間リークにより、キャパシタの電荷がビット線へ流出する。

#### ② 選択トランジスタの接合リーク

接合のリークにより、キャパシタの電荷が基板へ流出する。

<sup>24</sup> S.Xiong, et.al: IEEE Trans. Semi. Manu. , VOL. 17, 2004, 357.

<sup>25</sup> S.D.Kim, et al.: IEEE Trans. Semi. Manu. , VOL. 17, 2004, 192.

<sup>26</sup> M.Hane et.al: Int. Conf. SISPAD, Sept. 2003, Boston, 2003, 99.

<sup>27</sup> International Technology Roadmap for Semiconductors 2003, p.352.

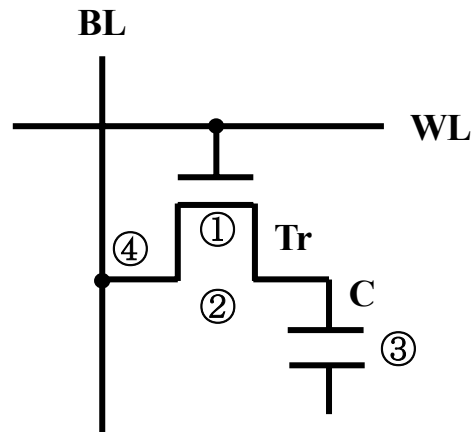
③キャパシタの電荷リーク

キャパシタ電極間で誘電膜を通したリークにより、電荷が失われる。

④コンタクト抵抗の増大

選択トランジスタの接合へのコンタクト抵抗が高いと、ビット線の電位の上昇(低下)が遅くなり、所定の読み出し時間内に正しくデータが読み出せず、結果的にデータ不良となる。

④の高コンタクト抵抗は、①～③の種々のリークに比較してあまり議論されないが、データ保持特性を決める重要な要因の1つである。



図表 5-22 DRAM のデータ保持低下原因箇所

次に、上記した各リフレッシュ特性悪化原因に対して、改善に有効なプロセス技術を述べる。

まず、①選択トランジスタのチャネルリークについては、基本的にソース・ドレイン間の相互作用を小さくする。例えば、トランジスタのゲート長を長くする、 $V_{th}$ の制御(高くする)、Negative word lineの採用等が有効である。

②選択トランジスタの接合リークに対しては、接合の電界緩和とストレス、汚染抑制が有効で、非対称接合、IG (Intrinsic Gettering)、エピ等の手法がある。なお、近年トランジスタの移動度向上技術として盛んに研究されている歪 Si の採用は考えていない。これは、ストレス起因による結晶欠陥で接合リークが上昇するリスクを犯してまで、DRAM では高性能のトランジスタを必要としないことによる。

③キャパシタの電荷リークに対しては、容量膜改善が主である(膜種の選択、製膜法、製膜後の工程の工夫等)。ただし、キャパシタに関しては工夫の余地が少ないのが現状である。構造、材料の変更が 90nm より後の世代で必要になると思われるが、少なくとも 90nm 世代までは変えない方向である。

④高コンタクト抵抗については、コンタクトのシリサイド化が有効である。

その他検討されているプロセス技術としては、高速化のためワード線を低抵抗化する Poly Metal ゲート、微細化に伴うデュアルゲート化、低温プロセス等がある。

## 2004Update

DRAM ロードマップの 2004Update は、図表 5-23 に示すように Long-Term の表に年度を追加したこと以外の変更はなかった。ただし、セルの a-factor 等、見直しが必要と思われる数値もあるので、PIDS WG が中心となり製造メーカー各社にアンケート調査中である。ITRS2005 ではその結果を踏まえ、より現実的な予測となるように改訂を行う予定である。

Table 72b DRAM Stacked Capacitor Films Technology Requirements—Long-term

Year of Production		2010	2011	2012	2013	2014	2015	2016	2017	2018
Technology Node		hp45			hp32			hp22		
DRAM ½ Pitch (nm)		45	40	35	32	28	25	22	20	18
Cell size factor a	WAS	6		6	6		6	6		5
	IS		6			6			5	
Cell size (µm <sup>2</sup> )	WAS	0.012		0.007	0.006		0.004	0.003		0.0016
	IS		0.010			0.005			0.002	
Storage node size (µm <sup>2</sup> )	WAS	0.004		0.002	0.002		0.001	0.001		0.0005
	IS		0.003			0.002			0.0006	
teq@25fF (nm)	WAS	0.7		0.6	0.5		0.4	0.4		0.25
	IS		0.7			0.5			0.3	
HAC diameter (µm)	WAS	0.05		0.04	0.04		0.03	0.03		0.02
	IS		0.05			0.03			0.02	

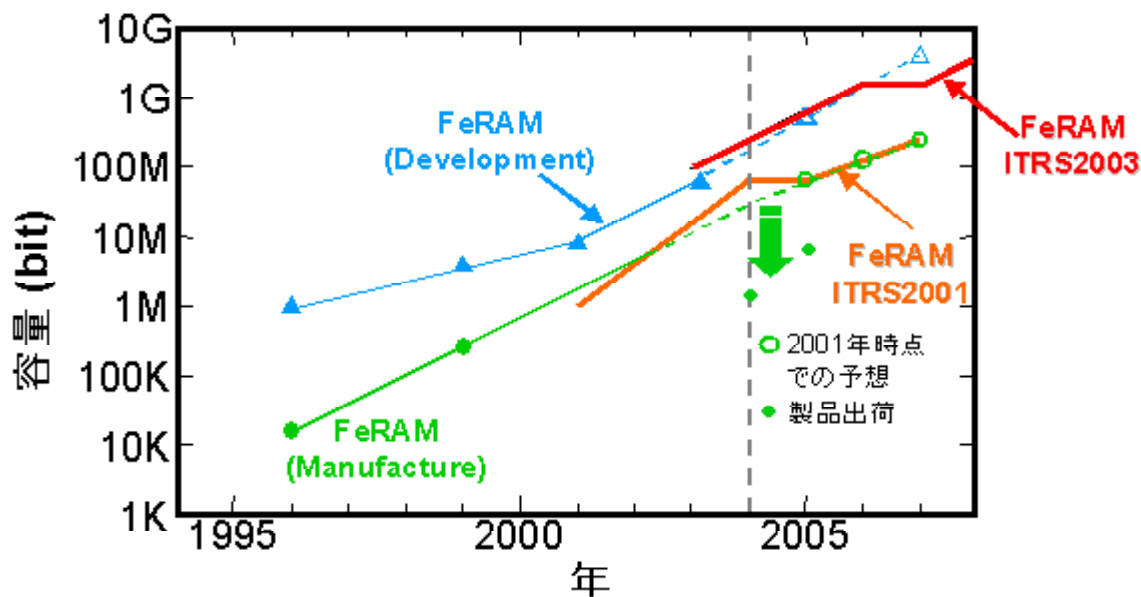
図表 5-23 DRAM の Update (Long-Term)

## 5-10 FeRAM

2001 年版より登場した FeRAM の表は、2003 年版で改訂されたが 2004 年アップデート版では大きな変更はなかった。議論の中心となったのは、表の数字の位置づけである。2001 年版は製品出荷または製品出荷表明にほぼ沿ったロードマップであったが、2003 年版は学会発表を含めた技術発表に沿ったものとなっている。図表 5-24 は年ごとの容量の変化を示している。2003 年版が技術発表による傾向をロードマップとしたのはいくつかの理由が挙げられる。

1. ユーザー限定による出荷であるため、製品の詳細情報がつかみにくい。
2. 市場にあわせて低容量にシュリンクしており、そのまま表にすると技術ロードマップとして不自然。
3. 技術的には製品レベルであるが市場をにらんで出荷を見送っている場合が多い。
4. 2003 年版に、製品出荷をまだ行っていない MRAM が技術発表を元に表を掲載。MRAM との整合性を考えた。





図表 5-24 FeRAM の学会発表と製品出荷における容量の推移

このように、他のデバイスの表とは少し趣旨の異なるものになっているため、それがわかるよう明記する必要があり、2004年版は2003年版よりわかりやすい表記にした。いずれにしても、2005年版はどのような思想で表を作成するのか議論する必要がある。

次に、表の数字の正当性であるが、多くの項目に関しては現在の技術、今後の各社のロードマップと大きな相違はないと思われるが、セル面積およびそれに関連する項目は2005年版での見直しが必要であると思われる。また、FeRAMは混載が中心で用途が多種にわたると考えられるため、2003年版より単体メモリと混載メモリの項目を設けたが、現実には区別されておらず、今後の動向を見て2005年版で再検討する必要がある。また、容量についても混載が中心のFeRAMにとっては技術ロードマップとしてあまり意味を持たないと思われるため、今後の検討課題となる。

また、2003年版ロードマップでは2007年頃から3Dキャパシタへの移行が予想されている。一昨年ぐらいから3Dキャパシタの研究発表も見られ始めており、2007年の実用化は現実味を帯びてきている。しかし、Minimum Switching Chargeが $40\mu\text{C}/\text{cm}^2$ となる予想は厳しいと思われ、セルサイズとしては予想より大きい段階で3Dキャパシタへ移行していく可能性もある。

最後に、FeRAMの場合、他のメモリではすでに価格が下がってしまっている容量が現在の主戦場となっているため、技術的な面より市場性の問題が製品化の足かせになっている例が多い。低消費電力性を活かしたFeRAMとしてのキラーアプリが登場するか否かによりロードマップの内容も変わってくるといえる。キラーアプリが登場し、各社が揃って商品化をすることを期待したい。

## 5-11 まとめ

FEP WG の 2004 年度活動を STRJ ワークショップの報告とヒアリングから得られた技術動向を中心にまとめた。

ITRS2004 Update にも若干触れたが、FEP に関しては大きな変更は見られなかった。

300mm の次のウェーハはおそらく 450mm と思われるが、今回の報告が大口径化の技術課題について議論する際の参考になることを期待したい。なお、STRJ ワークショップではほとんど取り上げなかったが、High-k 等の新材料に関しては実用化に向け着実な進展が見られる。ITRS2003 の “Share the Pain” という指針に基づきデバイスの特性向上が図られる中、FEP の新材料開発はその期待に応えつつあると言えよう。その他のプロセス・測定・メモリ技術も先を見据えた技術開発が行われている。ITRS2005 にはこれらの調査結果を反映させて行きたい。

## 謝辞

最後になりましたが、お忙しい中ヒアリングで講師を務めて下さった方々のお名前を記して感謝の意を表します。ありがとうございました。

(ヒアリング順)

Emerging Research Devices	平本俊郎先生 (東京大学)
Emerging Research Materials	高木信一先生 (東京大学)
液浸リソグラフィ	龜山雅臣氏 (ニコン)
ウェーハフラットネス	福田哲生氏 (富士通)
DRAM	小山邦明氏 (エルピーダメモリ)
High-k	北島洋氏 (Selete)
浅接合技術	須黒恭一氏 (東芝)
Metal Gate	芝原健太郎先生 (広島大学)
Strained Si、Si-Ge	杉山直治氏 (MIRAI-ASET / 東芝)
FeRAM	中村孝氏 (ローム)
CD 計測技術	山崎裕一郎氏 (東芝)
SOI (ウェーハ)	小椋厚志先生 (明治大学)
SOI (デバイス)	吉見信氏 (SOITEC Asia)
洗浄技術	今井正芳氏 (大日本スクリーン)