

## 第 6 章 配線

### 6-1 はじめに

2004 年度の配線 WG4 の活動は、2003 年度で掲げた「論理的根拠に基づいた、合理的かつ現実的な配線技術 Roadmap」と言うコンセプトを踏襲し数値の見直しを実施した。先ず ITRS 活動として、【配線の  $\rho / \rho_{\text{eff}}$  の数値見直し】・【Low-k 材の k 及び keff 値の進捗度見直し】・【Jmax 決定】・【DRAM 向けの Contact 及び Via の抵抗値見直し】に関しては Regional-TWG との合意が得られた。その他【LM、IM 配線ピッチの見直し】や【洗浄仕様の見直し】などについては 2005 年への課題とした。また STRJ 独自の活動として【ダマシンモジュールの強度解析】を実施した。以下それぞれの活動内容に関して報告する。

### 6-2 WG4 活動経緯

ITRS2004 配線技術に関する WG4 活動経緯は以下の通りである。

- ・ 2004 年 4 月 アムステルダム/ITRS Spring Meeting
- ・ 2004 年 6 月 サンフランシスコ/ITRS TWG
- ・ 2004 年 7 月 サンフランシスコ/ITRS Summer Meeting
- ・ 2004 年 12 月 東京/ITRS Winter Meeting

2004 年度改定は 2003 年度に発行したロードマップに大きく関与するので、2003 年度の結果と比較して 2004 年度を報告する。

2003 年度は「論理的根拠に基いた、合理的かつ現実的な配線技術 Roadmap の改訂まとめ」というコンセプトで以下の項目に関して改修した。

#### ○ Low-k 材の k 及び keff 値

性能律速経路における遅延モデルの R・C スケーリング及び現実的に開発可能な Low-k 材料を用いた、ILD 構造の容量計算から導出した keff へ変更を実施した。結果的には ITRS2002 に比べて約 3 年後ろ倒しとなってしまった。また母材のみならず DCL(Dielectric Cap layer)や DPL(Dielectric Protection Layer)の k 低減や薄膜化が重要であることを明記した。

#### ○ 配線実効比抵抗 ( $\rho_{\text{eff}}$ 値)

界面での電子散乱効果を考慮した計算結果と実測データを掲載し、2003 年度は警告を促す意味で 32nm Node 以降を RBW とした。

#### ○ 配線層数

論理的なアプローチ(Davis の配線長分布モデル)により算出した。結果的には ITRS2002 に比べて 1-3 層増加した。

#### ○ 配線/Via 最大電流密度

IM 信号線を通る平均電流を最新パラメータを用いて再計算し、現実に即した Jmax へ変更した。Via を通る電流値は Via 複数取りが標準であるために表から削除した。

2004 年度は「論理的根拠に基いた、合理的かつ現実的な配線技術 Roadmap の改訂まとめ」というコンセプトを踏襲し、具体的に改修を進める活動を以下の通り実施した。

- 配線の  $\rho / \rho_{\text{eff}}$  の数値見直しを実施し決定した。
- Low-k (k 及び keff 値) の進捗度を見直し、色分けを決定した。
- Jmax を決定した。
- DRAM 向けの Contact 及び Via の抵抗値見直した。
- LM、IM 配線ピッチの見直した。

□ その他(2005 年への検討課題)

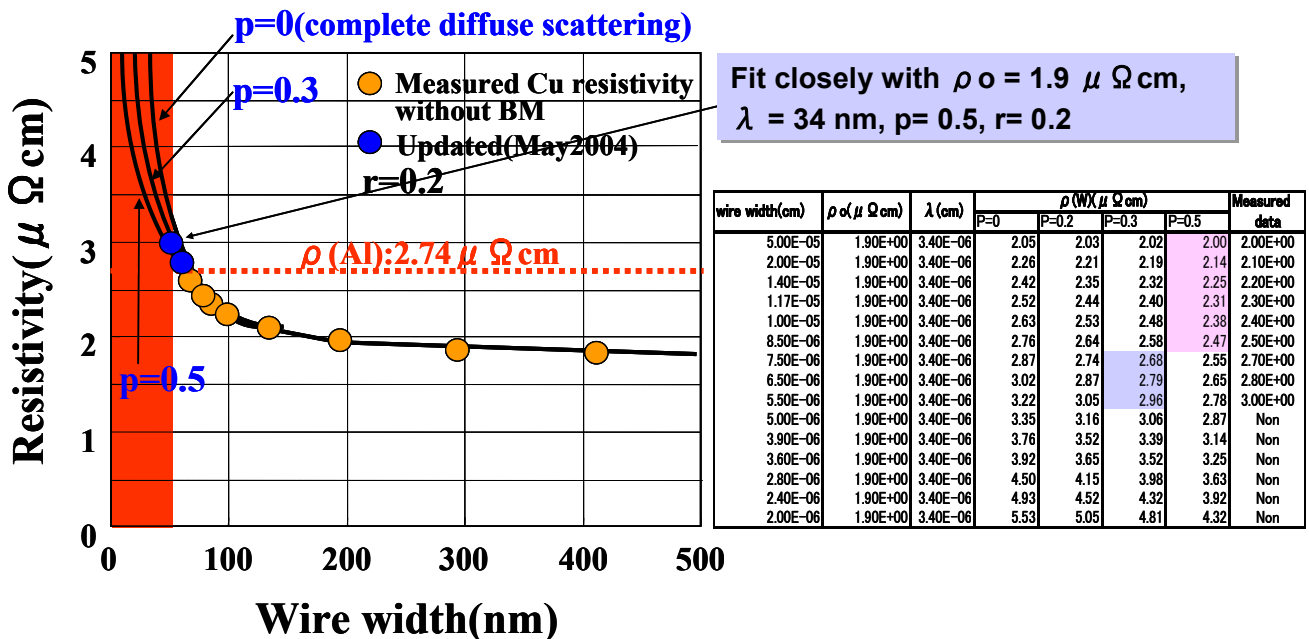
### 6-3 電子散乱効果を考慮した Cu 配線比抵抗の見直し

Cu 配線幅が Cu 中の電子の平均自由行程と同程度まで微細化されてくると、ダマシン配線溝における各種界面(溝加工面を介したバリアメタルと Cu の界面、Cu 拡散防止膜と Cu の界面)や Cu の結晶粒界での電子の非弾性散乱による抵抗上昇の影響が顕在化してくる。こうした電子の散乱効果を考慮した Cu 配線比抵抗( $\rho$ )の配線幅(W)依存性は以下のモデルで表現することができる。

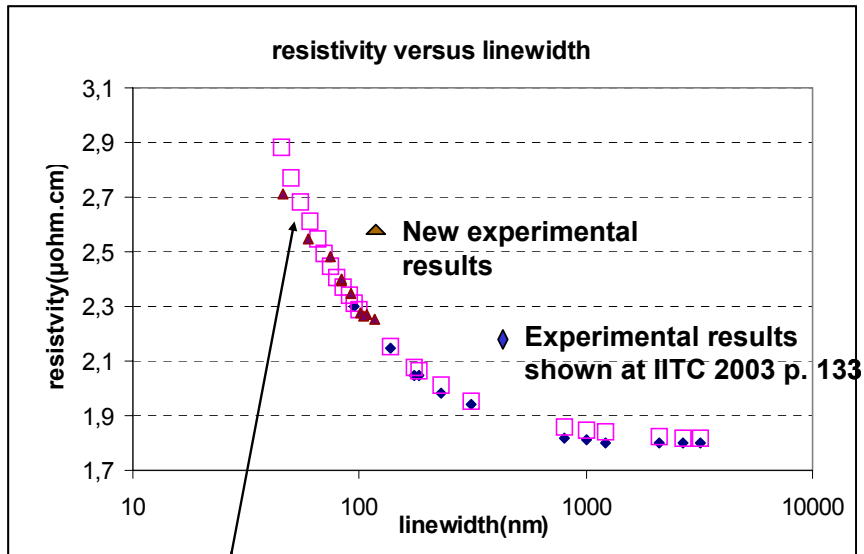
$$\rho(W) = \rho_0 \{1 + (\lambda/W)[3/4(1-p) + 3/2(r/1-r)]\}$$

ここで、 $\rho_0$ はフォノン散乱と膜中の不純物、空孔、転位によって決まる W に依存しない抵抗成分(=1.9 $\mu\Omega\text{cm}$ )、p は界面で弾性衝突する電子の割合、r は結晶粒界での電子の反射確率、そして $\lambda$ は電子ガス理論から決まる電子の平均自由行程(=34nm)である。

この式からわかるように、電子の非弾性散乱効果による Cu の比抵抗上昇の程度は、界面での電子の弾性衝突割合(p)や結晶粒界での電子の反射確率(r)に強く依存する。したがって、Cu 配線抵抗の実測データに基いて p 値と r 値を精度良くフィッティングさせることが重要である。図表 6-1 は、2003 年度の活動を通して WG4 で取得した配線比抵抗の配線幅依存性に関する実測データである。ここで微細配線のサンプル作成には、TEOS 絶縁膜の成膜後に EB 直描と溝加工を行った後、再度 TEOS 絶縁膜を成膜して配線幅を縮小するいわゆる埋め戻し法を用いて 50nm 幅付近までの微細化に対応した。これらの実測値を最も精度良くフィッティングできる p 値と r 値の組み合わせとしては、p=0.5、r=0.2 であることがわかった。一方、図表 6-2 に示したように、Leti でも同様の検討が行われ、彼らは p=0.6、r=0.2 の時に実測データを最も精度良くフィッティングできることを示した。さらに、Infineon から詳細な抵抗上昇モデルと実測データとの比較検討結果が示された。しかしながら、ITWG の方針として、報告されている実測データの中で最も低い比抵抗に適合する p 値と r 値を採用することを確認し合った結果、最終的には WG4 からの提案モデルが正式に採用された。



図表 6-1 WG4 が提示した Cu 配線比抵抗の配線幅依存性とパラメータフィッティング



□ Fit closely with  $\rho_0 = 1.8 \mu \Omega \text{ cm}$ ,  
 $\lambda = 40 \text{ nm}$ ,  $p = 0.6$ ,  $r = 0.2$

図表 6-2 Leti が提示した Cu 配線比抵抗の配線幅依存性とパラメータフィッティング

図表 6-3 は、WG4 提示の抵抗上昇モデルを用いて計算した技術要求テーブルの抜粋版である。2004 年度では、電子散乱効果を考慮しない従来の Cu 実効比抵抗 ( $\rho_{\text{eff}} = 2.2 \mu \Omega \text{ cm}$  一定) やこれを基に計算した RC 遅延、RC 遅延を一定にした場合の限界配線長に加えて、電子散乱効果と Barrier Metal (BM) の厚みを考慮した場合の Cu 実効比抵抗 ( $\rho_{\text{eff}}$ )、RC 遅延、限界配線長を M1、Intermediate 配線、Global 配線それぞれについて計算した結果をテーブルに追加した。これまでの技術要求テーブルに比べてより現実的な数値となっているので将来の配線性能を議論する上で大いに参考になることを期待したい。

		191	224	284	355	384	477	595
WAS	Interconnect RC delay (ps) for 1 mm Metal 1 line	191	224	284	355	384	477	595
IS	Interconnect RC delay (ps) for a 1 mm Cu Metal 1 line. <u>assumes no scattering and an effective <math>\rho</math> of <math>2.2 \mu\Omega\text{-cm}</math></u>	191	224	284	355	384	477	595
ADD	Interconnect RC delay (ps) for 1 mm Cu Metal 1 line. <u>assumes width-dependent scattering and a conformal barrier of thickness specified below</u>	254	304	3.95	502	553	714	930
ADD	Conductor effective resistivity ( $\mu\Omega\text{-cm}$ ) Cu Metal 1 wiring <u>including effect of width dependent scattering and a conformal barrier of thickness specified below</u>	2.93	2.99	3.06	3.11	3.22	3.35	3.5
ADD	Barrier/cladding thickness (for Cu Metal 1 wiring) (nm) [3]	9	8	7	6	5.4	4.9	4.5
WAS	Line length (mm) where $\tau = \text{RC delay}$ (Metal 1 wire)	79	65	55	46	41	34	28
IS	Line length ( $\mu\text{m}$ ) where $\tau = \text{RC delay}$ (Metal 1 wire) <u>no scattering</u>	79	65	55	46	41	34	28

図表 6-3 比抵抗上昇を考慮した技術要求テーブルの抜粋版

#### 6-4 Low- $\kappa$ 材の $\kappa$ 及び $\kappa_{\text{eff}}$ 値の進捗度見直し

2004 年度における主な改訂点は、Low- $\kappa$ プロセス開発に伴う $\kappa$ 値の進捗に基づくところであり、現状の技術到達レベルに応じて見直しを実施した。その骨子は以下の 3 点である。

- 90nm テクノロジーノード向け実効誘電率 3.1~3.6 の絶縁膜形成技術は量産技術となり、Yellow Brick (Solution are known)から White Brick (Solutions exist or being optimized)に変更した。
- 同時に 65nm テクノロジーノードに適用される実効誘電率 2.7~3.0 の絶縁膜形成技術は、既にいくつかの技術が報告され、Red Brick Wall (Solutions are NOT known)から Yellow Brick に変更した。
- さらに、技術開発の進展がロードマップの要求値と良好な一致を見せ、ここ 10 年間で初めて、ロードマップテーブル上の $\kappa$ 値を改訂せず、前年どおりの数値を用いた。

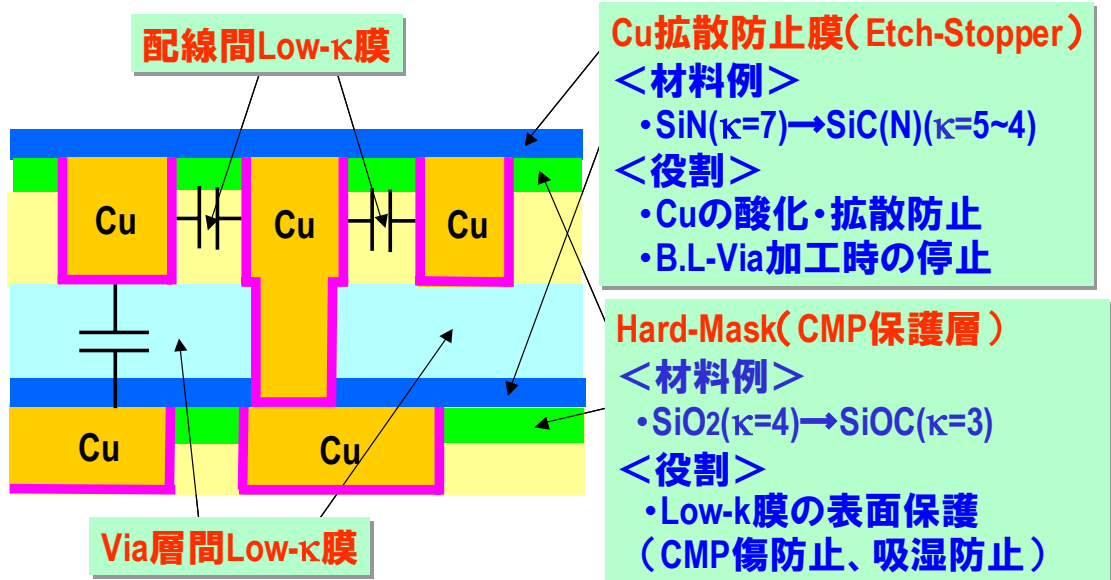
	YEAR TECHNOLOGY NODE	2003	2004	2005	2006	2007	2008	2009
	<b>DRAM ½ PITCH (nm)</b>	100	90	80	70	65	57	50
<b>Is</b>	<b>MPU/ASIC ½ PITCH (nm)</b>	120	107	95	85	76	67	60
<b>Is</b>	<b>Number of metal levels</b>	9	10	11	11	11	12	12
<b>Is</b>	<b>Metal 1 wiring pitch (nm)</b>	240	214	190	170	152	134	120
<b>Was</b>	<b>Interlevel metal insulator (minimum expected) — effective dielectric constant (<math>\kappa</math>)</b>	3.3-3.6	3.1-3.6	3.1-3.6	3.1-3.6	2.7-3.0	2.7-3.0	2.7-3.0
<b>Is</b>	<b>Interlevel metal insulator (minimum expected) — effective dielectric constant (<math>\kappa</math>)</b>	3.3-3.6	3.1-3.6	3.1-3.6	3.1-3.6	2.7-3.0	2.7-3.0	2.7-3.0
<b>Is</b>	<b>Interlevel metal insulator (minimum expected) — bulk dielectric constant (<math>\kappa</math>)</b>	<3.0	<2.7	<2.7	<2.7	<2.4	<2.4	<2.4

図表 6-4 絶縁膜の誘電率( $\kappa$ )及び実効誘電率( $\kappa_{\text{eff}}$ )の技術的難易度の変更

この変更の要因は、すでに 90nm プロセスでは実効誘電率 3.1~3.6 の絶縁膜が量産レベルにあること、さらに、昨年度の検討で現実的に入手可能であろうとされた Low- $\kappa$ 材料が現実に台頭し、 $\kappa$ 値 2.7~3.0 を実現できる Low- $\kappa$ 材料の開発が進んでいるだけでなく、昨年度からの取り組んだ、 $\kappa$ 値の導出に論理的な裏づけを行ったことが挙げられる。

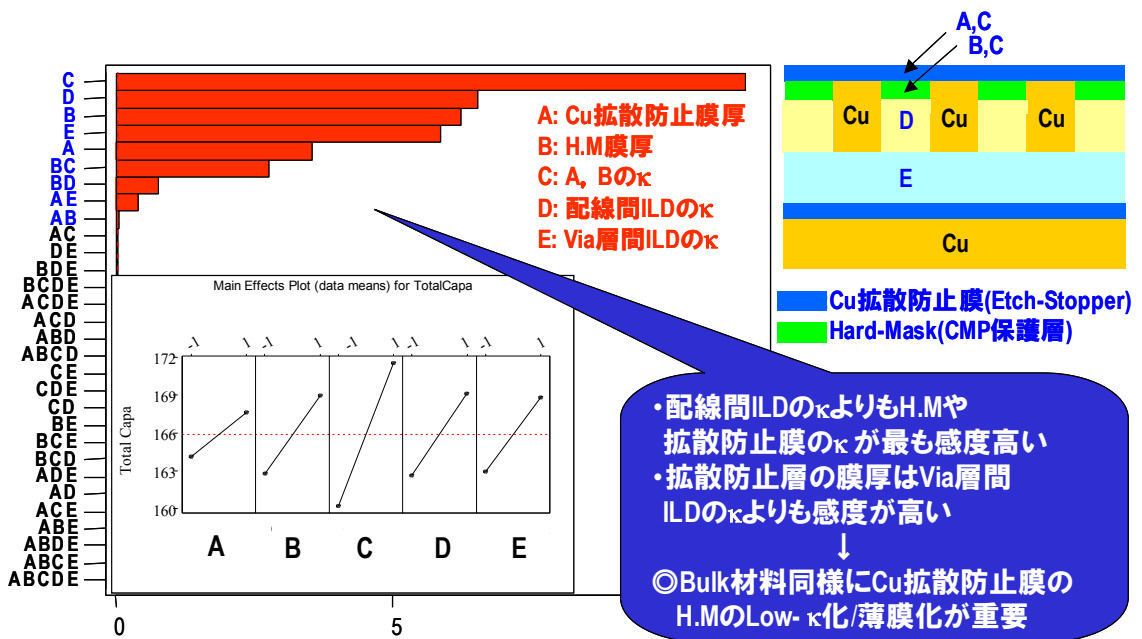
Low- $\kappa$ 膜が現実に近いものとなった理由としては、同様に昨年度報告に示した Cu 配線に用いられる Low- $\kappa$ 膜及び関連の絶縁膜キャップ、Cu 配線キャップなど、材料の誘電率の感度を詳細に分析した結果、キーとなる絶縁膜構造とその因子を明らかにできたことにある。これらの結果、Low- $\kappa$ 膜へのターゲットが非常に明確になったといえる。

図表 6-5、6-6 には Cu/Low- $\kappa$ 配線における各種絶縁膜の役割と、それらの容量に対する感度解析結果を示す。この感度解析から得られた各絶縁膜構造パラメータの感度係数を用いて、配線容量との線形近似式を立て、これを $\kappa_{\text{eff}}$ のスケールリングモデルに取り込んだ結果、図表 6-4 の $\kappa_{\text{eff}}$ を 3.7@130nm、3.3@90nm、2.9@65nm、2.5@45nm のようにスケールリングしていく妥当性が示され、同時に、配線間や Via 層間に用いる Low- $\kappa$ 母材の $\kappa$ 、Cu 拡散防止膜の $\kappa$ と膜厚、絶縁膜キャップ、Cu 配線キャップの $\kappa$ と膜厚についての指針が明らかになった。



実際のCu配線構造では、配線間やVia層間に用いるLow-κ膜以外に比誘電率の高い絶縁膜を用いる必要があるため、実効κ値が高くなる

図表 6-5 Cu配線に用いられているLow-κ膜とその役割



<配線容量と各パラメータとの線形近似モデル化>

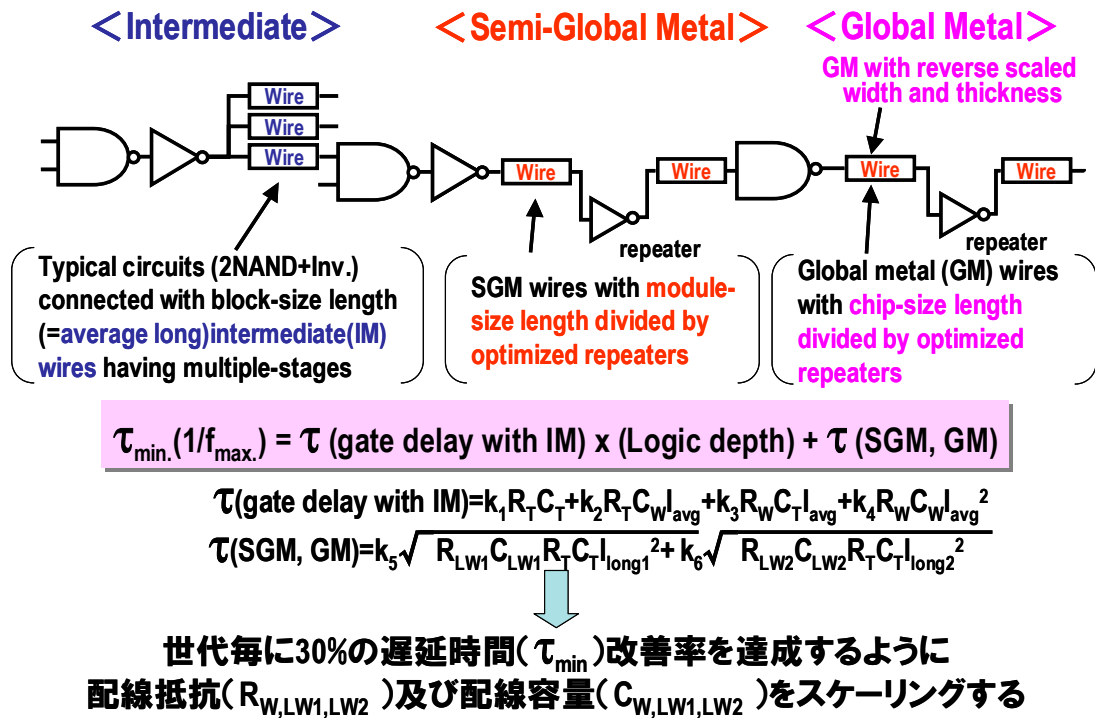
→  $Cap. = \alpha_1[\text{配線間ILDの}\kappa] + \alpha_2[\text{Via層間ILDの}\kappa] + \alpha_3[\text{H.Mの}\kappa] + \dots$

図表 6-6 絶縁膜構造パラメータの容量に対する感度解析結果

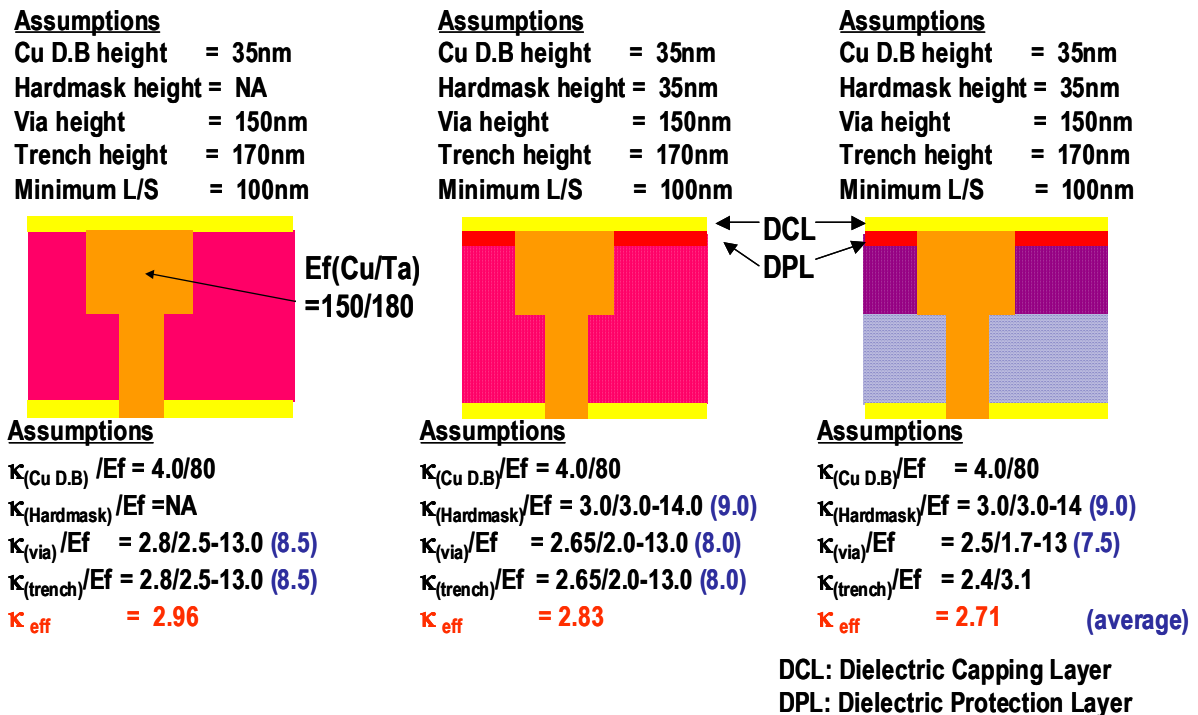
κ値の見直しは、単に、配線技術の進展によるLow-κ材料への要求値の明確化とその実現性の考慮だけでなく、昨年から検討した、現実的な配線遅延モデルと配線構造モデルの評価結果に基づいている。

図表 6-7 に示したように、配線遅延モデルは世代ごとに30%の遅延時間改善を達成するように配線抵抗と

配線容量をスケールングすること、また、配線構造は、図表 6-8 に示したように、トレンチエッチストップ有無2通りの場合のホモジニアス構造と、トレンチ部にビア部より誘電率の低い Low-κ膜を用いたハイブリッド構造を前提としており、量産、開発の現場での実際に即したモデルでの論理的裏づけを行っている。

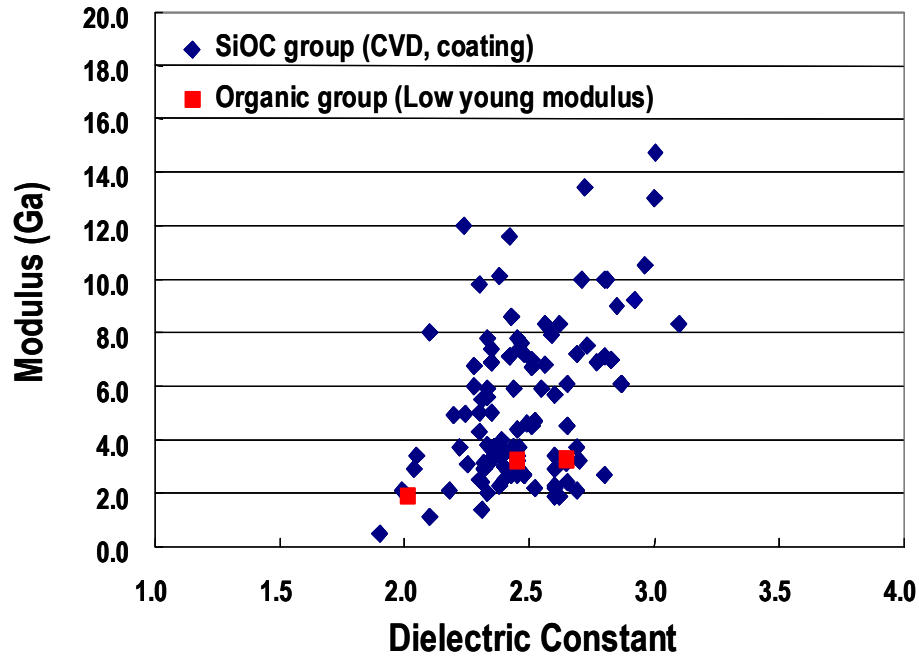


図表 6-7 実効誘電率( $\kappa_{eff}$ )の論理的導出に用いた配線遅延モデル



図表 6-8 65nm Node (2004) で想定される ILD 構造の $\kappa$ と $\kappa_{eff}$

また、この $\kappa$ 値だけでなく、実装を含めたプロセスインテグレーションに必要な熱膨張係数、弾性率を含めた機械的強度の観点からも、 $\kappa$ 値 2.7~3.0 を実現できうる Low- $\kappa$ 材料の開発が進んでいることも、実現性のある Low- $\kappa$ ロードマップの策定に寄与している。図表 6-9 は、現在知られている各種 Low- $\kappa$ 膜の機械的強度と誘電率の関係をその個体を特定せずに示したものである。機械的強度 8MPa 以上が現時点での目安となっており、これを具現する材料が出てきたことから、65nm ノードのブリックの色を変えるに至った。



図表 6-9 各種 Low- $\kappa$ 膜の誘電率とモジュラスの関係

材料の機械的強度については、Cu-CMP 工程及び実装工程の両観点からの要求を満たさねばならない。前者に関しては、今年度の取組みとして後述されるが、後者は実装 WG とのクロスカットを通して、その目標値を明らかにしていくことになる。

### 6-5 配線最大電流密度 Jmax 決定

ITRS2004 アップデートでは、2003 年版のクロック周波数の変更を反映した値に修正するとともに、Long-term で飛んでいた年(2011 年、2014 年、2017 年)も表記する変更を行った。ただし、Jmax の計算方法は、ITRS2003 年版と同じである。Jmax の具体的計算方法は、昨年 STRJ 報告書に記載したのと同じであるが、再度ここに記載する。

図表 6-10 に用いた計算モデルを示す。Fan out(N)=3 の単純な Inverter 回路に接続された信号線に流れる平均電流密度(Jmax)を、Roadmap のパラメータを用いて計算した。モデルに使用した前提条件は以下の通り。

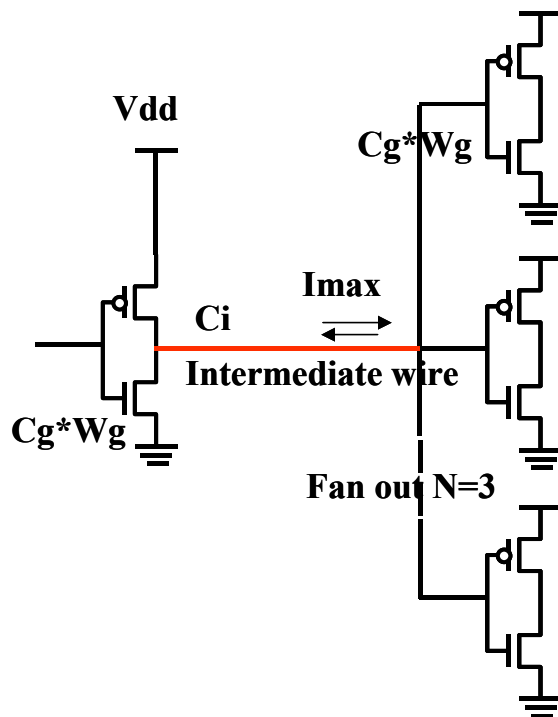
- (1) 最小のトランジスタ幅(Wmin)として、NMOS=(ASIC の Half-pitch)×4、PMOS=(NMOS のゲート幅)×2 を仮定
- (2) モデル回路のトランジスタ幅(Wg)は、Wg=Wmin×8 を仮定し、このゲート容量(Cg)の算出には、2003 年版 ITRS の記載値(Table35a、35b)を使用
- (3) 信号線は最小 Pitch で置かれた最小線幅の Intermediate 配線が使われるとして、その配線長(L)は、L=配線ピッチ×200 と仮定
- (4) 配線容量(Ci)の算出は、2003 年版 ITRS の配線パラメータ(Keffを含む)を使用
- (5) 周波数(f)の値は、2003 年版 ITRS の Table. 4cの値を使用。

これらの前提条件の下で信号線に流れる平均電流値(I<sub>max</sub>)および電流密度(J<sub>max</sub>)を以下の式によって算出した。

$$I_{max} = f \cdot (C_g \cdot W_g \cdot N + C_i) \cdot V_{dd}$$

$$J_{max} = I_{max} / (W \cdot H)$$

ここで、f: 周波数、N: Fan out、  
V<sub>dd</sub>: 電源電圧、W: 配線幅、H: 配線厚である。



図表 6-10 配線最大電流密度の計算モデル

#### Jmax の計算結果と改訂内容

上述のモデルに基づいて Jmax を計算した結果及び ITRS2003 との比較を図表 6-11/12 に示す。周波数の増加と配線断面積の縮小を反映して、毎年電流密度が上昇するトレンドに変化はない。2010 年以降のインターミディエート配線幅が 67nm 以下(コマーシャルノードで、45-32nm ノード相当)では、現状の Cu 配線でもエレクトロマイグレーション耐性が厳しくなることが予測され、課題を克服するための技術開発が必須になってくる。



電流密度対策としては、プロセス的には、Cu 合金やメタルキャップといった Cu 配線の EM 耐性向上技術の導入があり、また、設計面ではより精度の高い寿命予測や信頼性保証方法の確立が課題である。

Based on 2003 road map(Rev.1)

Year	2003	2004	2005	2006	2007	2008	2009
Tech node	hp90			hp65			
MPU/ASIC 1/2pitch	100	90	80	70	65	57	50
Width(nm) @Intermediate	160	137.5	120	107.5	97.5	87	78
Height(nm) @Intermediate	272	233.75	204	182.75	175.5	156.6	140.4
Vdd (V)	1.2	1.2	1.1	1.1	1.1	1	1
×1 Gate Width(um)*	1.2	1.08	0.96	0.84	0.78	0.684	0.6
×8 Gate width = Wg (um)	9.600	8.640	7.680	6.720	6.240	5.472	4.800
Physical gate length (um)**	0.045	0.037	0.032	0.028	0.025	0.022	0.020
Inversion Gate Dielectric Value(nm)**	2.100	2.000	1.800	1.700	1.300	1.200	1.200
Parasitic Fringe/Overlap Cap(fF/um)	0.240	0.240	0.240	0.230	0.220	0.200	0.190
Cg at W=1um(fF/um)	0.979	0.878	0.853	0.798	0.883	0.833	0.765
Cg ·Wg (fF)	9.401	7.588	6.554	5.364	5.513	4.555	3.672
Frequency(MHz)***	2976	4171	5204	6783	9285	10972	12369
Fan out : N	3.000	3.000	3.000	3.000	3.000	3.000	3.000
Wire capa. (fF/um)	0.199	0.199	0.199	0.198	0.174	0.174	0.174
Wire length :Pitch*200(um)	64.000	55.000	48.000	43.000	39.000	34.800	31.200
Total Wire Cap(fF)	12.729	10.939	9.547	8.509	6.790	6.059	5.432
Total Cap(fF)	40.933	33.704	29.208	24.602	23.328	19.725	16.448
Average I <sub>max</sub> (nA)	146180	168693	167198	183560	238262	216421	203443
Average J <sub>max</sub> (MA/cm <sup>2</sup> )	0.336	0.525	0.683	0.934	1.392	1.589	1.858
Ref. J <sub>max</sub> (MA/cm <sup>2</sup> ) in ITRS2003	0.37	0.5	0.68	0.78	1	1.4	2.5

\* Minimum NMOS gate width= (ASIC half pitch)\*4, Minimum PMOS gate width=NMOS gate width\*2

\*\* from Table 47a and 47b

\*\*\*from Table 4c

図表 6-11 Table 47a

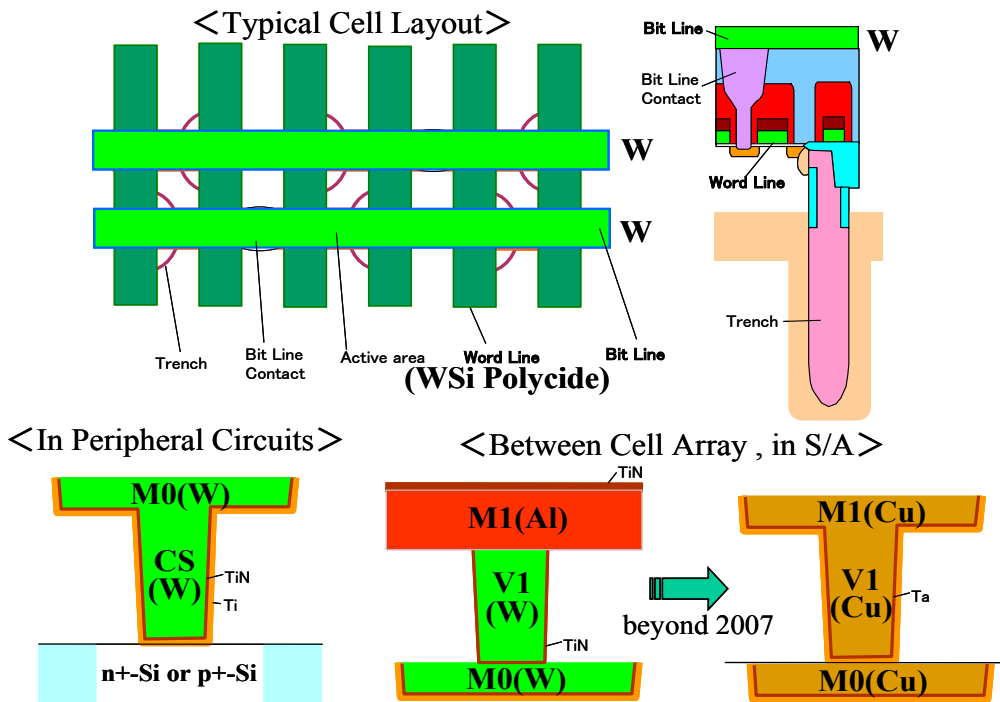
Based on 2003 road map(Rev.1)

Year	2010	2011	2012	2013	2014	2015	2016	2017	2018
Tech node	hp45		hp32			hp22			
MPU/ASIC 1/2pitch	45	40	35	32	28.5	25	22	20	18
Width(nm) @Intermediate	67.5	61.3	55	47.5	43.3	39	32.5	30	27.5
Height(nm) @Intermediate	121.5	113	104.5	90.25	82.2	74.1	61.75	58.4	55
Vdd (V)	1	0.9	0.9	0.9	0.8	0.8	0.8	0.7	0.7
×1 Gate Width(um)*	0.54	0.48	0.42	0.384	0.342	0.3	0.264	0.24	0.216
×8 Gate width = Wg (um)	4.320	3.840	3.360	3.072	2.736	2.400	2.112	1.920	1.728
Physical gate length (um)**	0.018	0.016	0.014	0.013	0.012	0.010	0.009	0.008	0.007
Inversion Gate Dielectric Value(nm)**	1.100	1.100	1.100	1.000	1.000	1.000	0.900	0.900	0.900
Parasitic Fringe/Overlap Cap(fF/um)	0.180	0.165	0.150	0.140	0.130	0.120	0.100	0.090	0.080
Cg at W=1um(fF/um)	0.745	0.667	0.589	0.589	0.527	0.465	0.445	0.397	0.348
Cg ·Wg (fF)	3.216	2.561	1.979	1.808	1.441	1.116	0.940	0.762	0.602
Frequency(MHz)***	15079	17572	20065	22980	28192	33403	39683	46445	53207
Fan out : N	3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000
Wire capa. (fF/um)	0.150	0.152	0.154	0.138	0.138	0.138	0.130	0.130	0.130
Wire length :Pitch*200(um)	27.000	24.520	22.000	19.000	17.320	15.600	13.000	12.000	11.000
Total Wire Cap(fF)	4.041	3.727	3.390	2.629	2.390	2.159	1.685	1.560	1.425
Total Cap(fF)	13.690	11.409	9.328	8.053	6.714	5.507	4.504	3.845	3.231
Average I <sub>max</sub> (nA)	206434	180428	168453	166546	151419	147150	142989	125000	120345
Average J <sub>max</sub> (MA/cm <sup>2</sup> )	2.517	2.605	2.931	3.885	4.254	5.092	7.125	7.135	7.957
Ref. J <sub>max</sub> (MA/cm <sup>2</sup> ) in ITRS2003	3		3.7	4.3		5.1	5.8		6.9

図表 6-12 Table 47b

6-6 DRAM 向けコンタクト及びビアホール接触抵抗率の見直し

2004 年度版では、DRAM 向けのコンタクト及びビアホール接触抵抗率の大幅改定を行った。これまでの技術要求テーブルにはコンタクト径、ビアホール径の欄がないばかりか、”Specific contact resistivity”欄に拡散層種別(n+, p+)もなく、抵抗値自体もその根拠に乏しいものであった。そこで、今回、図表 6-13 に示したように、典型的なトレンチ型 DRAM セルを前提とした場合の拡散層と M0 とのコンタクト構造(これはセル内には存在せず、周辺回路部のみ存在する)及び M1 と M0 とのビアホール構造を想定し、2006 年度までは 100-90nm 世代の DRAM の実構造(M0/CS/拡散層;W/TiN/Ti/n+-Si or p+-Si, M1/V1/M0;TiN/Al/W/TiN/Ti/W)に基いた実測値を表記するとともに、2007 年度以降は M0 と M1 が Cu 配線に置き換わることを想定した上で、2 年で 30%のペースで接触抵抗率を低減していくシナリオに基いた要求値を表記することにした。図結果を表 6-14 に示す。



図表 6-13 典型的なトレンチ型 DRAM セルレイアウトとコンタクト及びビアホール構造

Table 82a DRAM Interconnect Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
IS Contact size(nm)	140	130	120	110	100	90	80
IS Via-size(nm)	140	130	120	110	100	90	80
WAS Specific contact resistance (Ω-cm <sup>2</sup> )	1.00E-07	8.50E-08	7.00E-08	5.00E-08	4.00E-08	3.50E-08	3.00E-08
IS Specific contact resistance (Ω-cm <sup>2</sup> ) for n+-Si	3.80E-08	3.20E-08	2.50E-08	2.30E-08	2.00E-08	1.70E-08	1.40E-08
IS Specific contact resistance (Ω-cm <sup>2</sup> ) for p+-Si	8.20E-08	6.10E-08	4.50E-08	3.80E-08	3.20E-08	2.70E-08	2.20E-08
WAS Specific via resistance (Ω-cm <sup>2</sup> )	1.10E-09	9.00E-10	7.50E-10	5.80E-10	5.00E-10	4.00E-10	3.50E-10
IS Specific via resistance (Ω-cm <sup>2</sup> )	7.00E-10	7.00E-10	7.00E-10	6.00E-10	5.00E-10	4.00E-10	3.50E-10

<contact and via structure>

コンタクト構造

n+-----W/TiN/Ti

p+-----W/TiN/Ti

ビア構造

-2006 W/TiN on W

2007- Cu/Ta on Cu

Table 82b - DRAM Interconnect Technology Requirements—Long-term

Year of Production	2010	2011	2012	2013	2014	2015	2016	2017	2018
Technology Node	hp45			hp32			hp22		
DRAM ½ Pitch (nm)	45	40	35	32	28	25	22	20	18
IS Contact size(nm)	70	65	57	50	45	40	35	32	28
IS Via-size(nm)	70	65	57	50	45	40	35	32	28
WAS Specific contact resistance (Ω-cm <sup>2</sup> )	2.30E-08	1.60E-08	1.20E-08			7.70E-09	5.50E-09		3.90E-09
IS Specific contact resistance (Ω-cm <sup>2</sup> ) for n+-Si	1.20E-09	9.80E-09	8.20E-09	6.90E-09	5.80E-09	4.80E-09	4.00E-09	3.40E-09	2.80E-09
IS Specific contact resistance (Ω-cm <sup>2</sup> ) for p+-Si	1.80E-08	1.50E-08	1.30E-08	1.10E-08	9.20E-09	7.40E-09	6.20E-09	5.10E-09	4.30E-09
WAS Specific via resistance (Ω-cm <sup>2</sup> )	3.20E-10		2.20E-10	1.60E-10		1.00E-10	7.60E-11		5.00E-11
IS Specific via resistance (Ω-cm <sup>2</sup> )	2.90E-10	2.50E-10	2.10E-10	1.70E-10	1.40E-10	1.20E-10	1.00E-11	8.40E-11	7.00E-11

図表 6-14 DRAM 向けコンタクト及びビアホールの接触抵抗率に関する技術要求テーブル

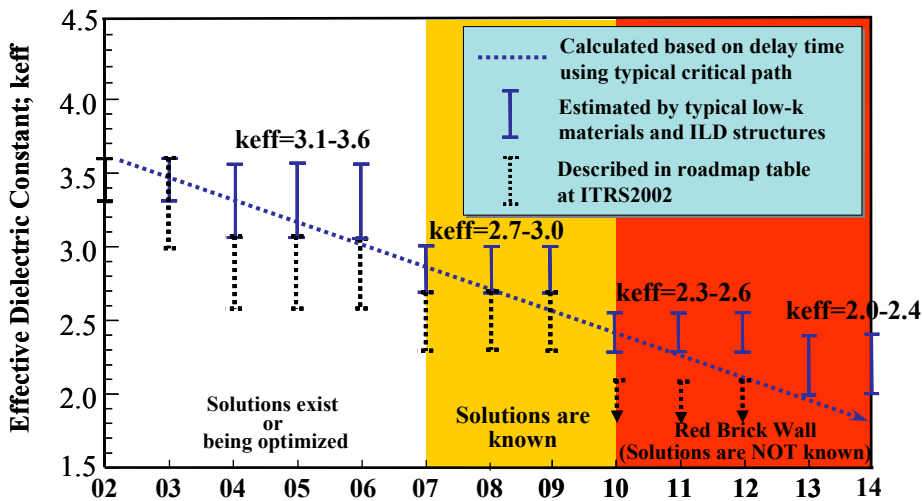
## 6-7 ダマシンモジュールの強度解析

### 6-7-1 強度解析の背景と目的

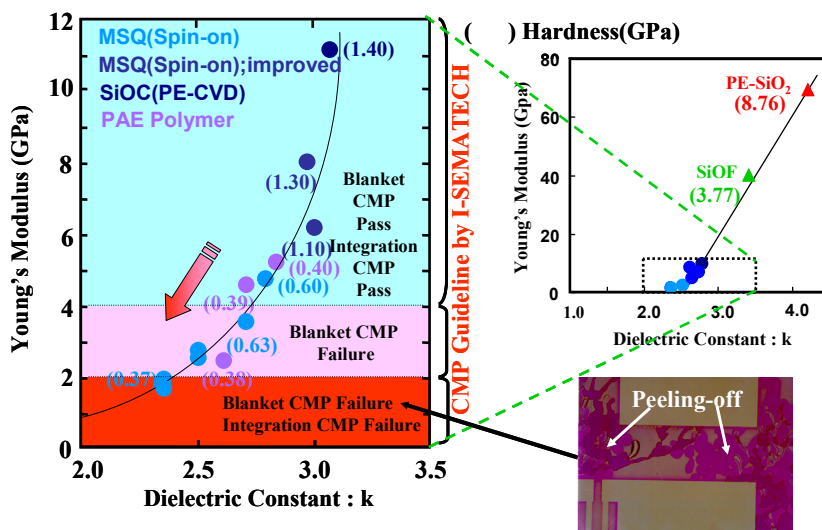
ITRS2003 では絶縁膜 Low-k 材料の誘電率  $k$  及び  $k_{eff}$  を、典型的なダマシン構造と共に示した。これらのデータはデバイスメーカーのみならず装置・材料メーカーにとって良い指標となった。STRJ では 2004 年に、Low-k 材料のその他の特性値即ち強度(ヤング率)、硬度、密着性、ポアソン比、膨張係数、熱貫流係数などをロードマップで示すべきかどうかを検討した。その一貫としてまずは昨今の Lowk 強度低下に伴う CMP 低圧化要求を強度解析で検討することから始めた。

図表 6-15 に示すように Low-k 材料の強度はその  $K$  値の低減と共に低下する。そのために図表 6-16 に示すように強度の弱い Low-k 材料を用いたダマシン構造は CMP 耐性に問題があると言われ、CMP の低圧化が要求されてきた。

それではどの程度の低圧化が必要なのか？ その疑問に答えることは難しいが、研磨圧力が Integration 構造に与える影響を解析し、論理的根拠と共に Low-k 材の特性値を提示することにより、少なくとも何らかの示唆を与えることは可能であると考えた。



図表 6-15 実効誘電率  $K_{eff}$



Low-k 材料の機械的強度は  $k$  低減と共に急激に低下していく



図表 6-16 Low-k 材料の機械的強度と CMP 耐性

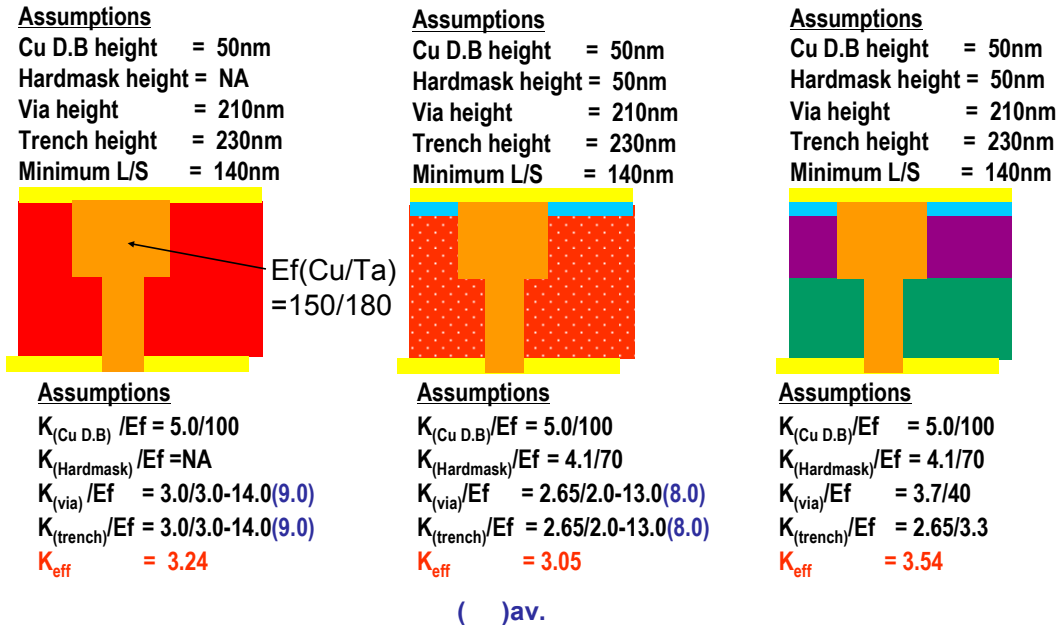
### 6-7-2 解析方法

構造解析の手法は、日本機械学会関東支部 2005—機械工学が支援する半導体薄膜製造技術で発表された FEM による解析手法を採用した。

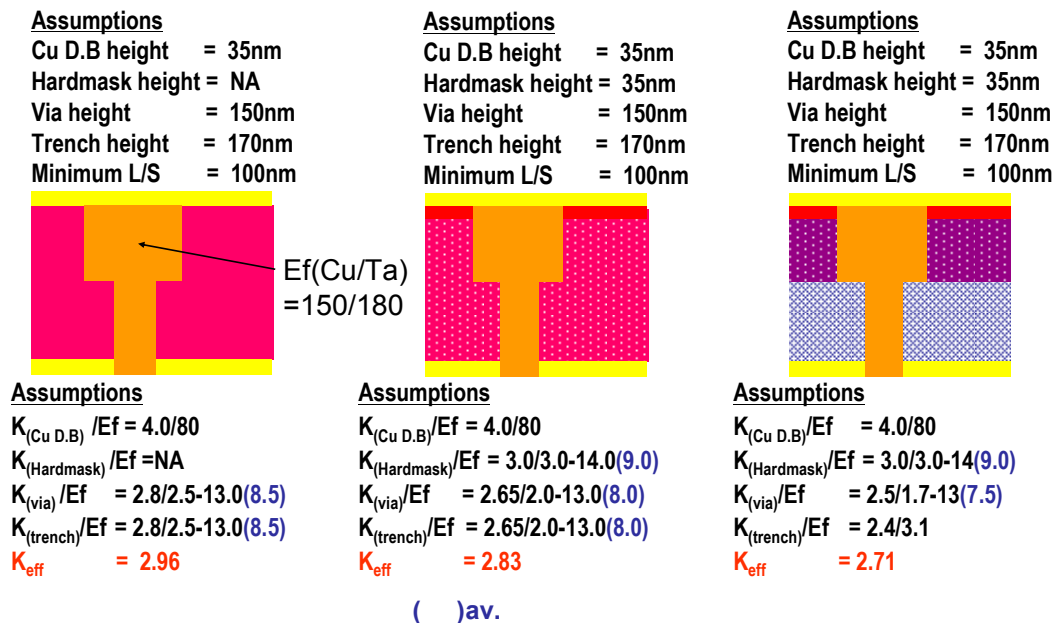
#### (1) ダマシン構造とその特性値

先ず計算に使用したダマシン構造とその特性値は図表 6-17~20 に示す通りである。

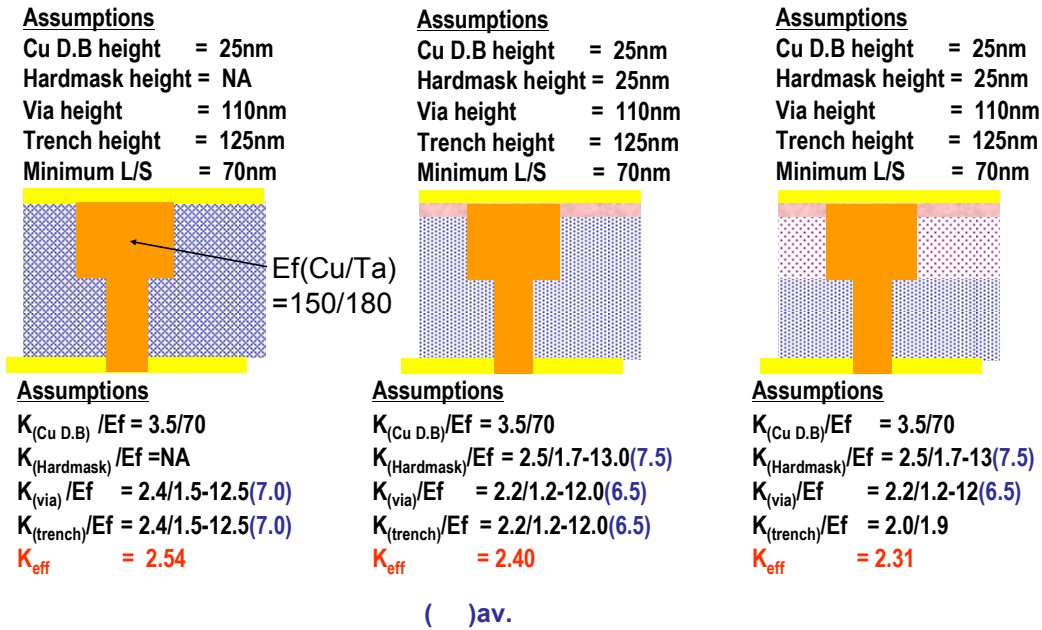
#### <Homogeneous-type w/o cap> <Homogeneous-type with cap> <Hybrid-type with hard mask>



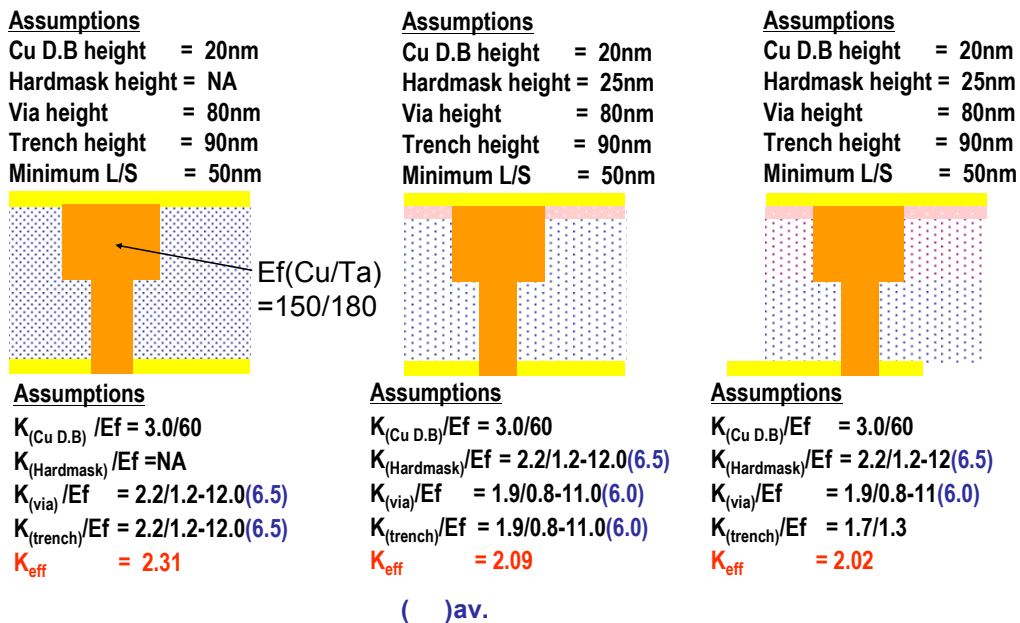
図表 6-17 90nm Node(2004) で想定される ILD 構造の k と keff



図表 6-18 65nm Node(2007) で想定される ILD 構造の k と keff



図表 6-19 45nm Node(2010)で想定される ILD 構造の k と keff



図表 6-20 32nm Node(2013)で想定される ILD 構造の k と keff

(2) 解析モデル

解析モデルを図表 6-21 に示す。

Case1 は HM(ハードマスク)無しで、配線部と Via 部の Low-k 材が同じものとする。

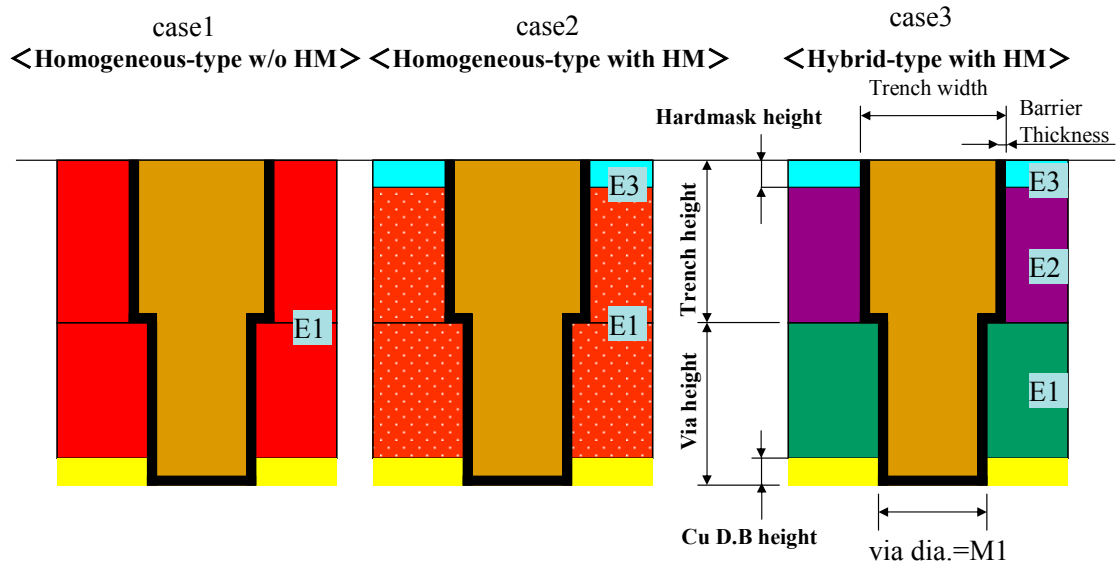
Case2 は HM(ハードマスク)有りで、配線部と Via 部の Low-k 材が同じものとする。

Case3は HM(ハードマスク)有りで、配線部と Via 部の Low-k 材が異なるものとする。

(3) 解析メッシュと荷重条件

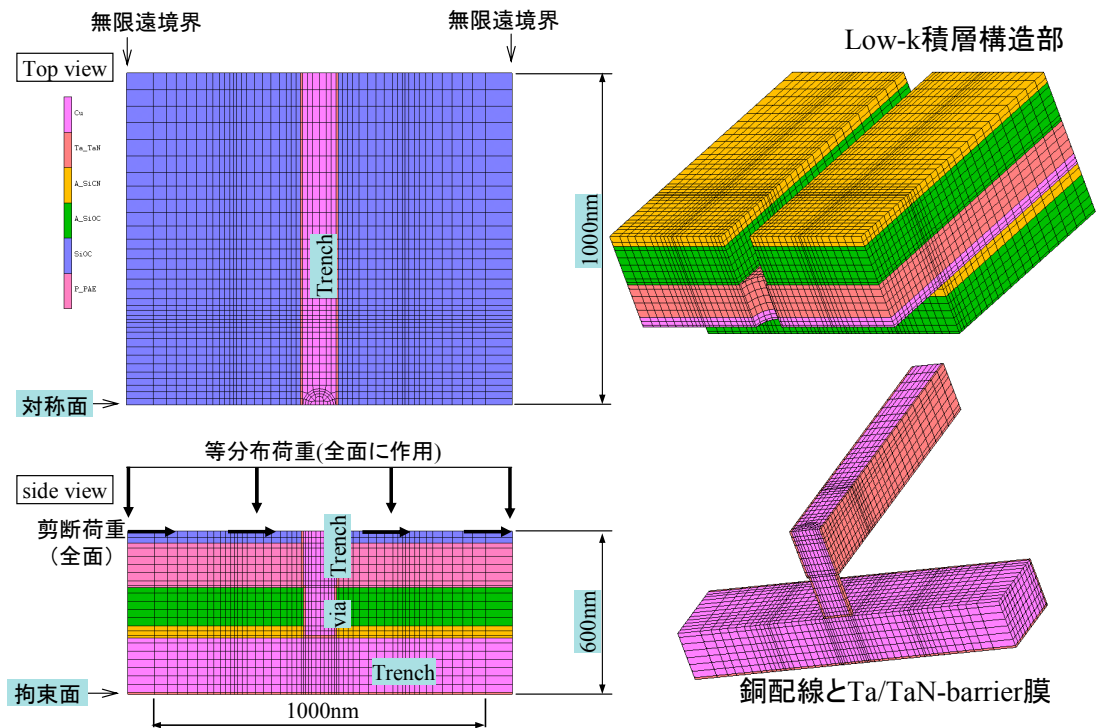
デュアルダマシン法によって形成された配線構造に対して CMP による平坦化プロセス中に発生する応力を、将来的な絶縁材料の機械的特性と、配線の寸法、構造を仮定して、有限要素法によって解析した。解析モデルは、図表 6-22 の配線(最小幅)と via に加えて、最大幅の配線を下層に模擬した 1 層半に相当する 3

次元モデルとする。via 部の中心を対称軸とし、解析モデルの最下層は拘束されているものとした。解析メッシュの両端には無限遠方向を模擬する半無限要素を用いた。CMP 時に作用する負荷荷重として、解析モデルの上面全体に 3.45kPa(0.5psi)の垂直荷重と摩擦係数 0.43 の剪断応力を均等に作用させた。



図表 6-21 解析モデル:3ケース

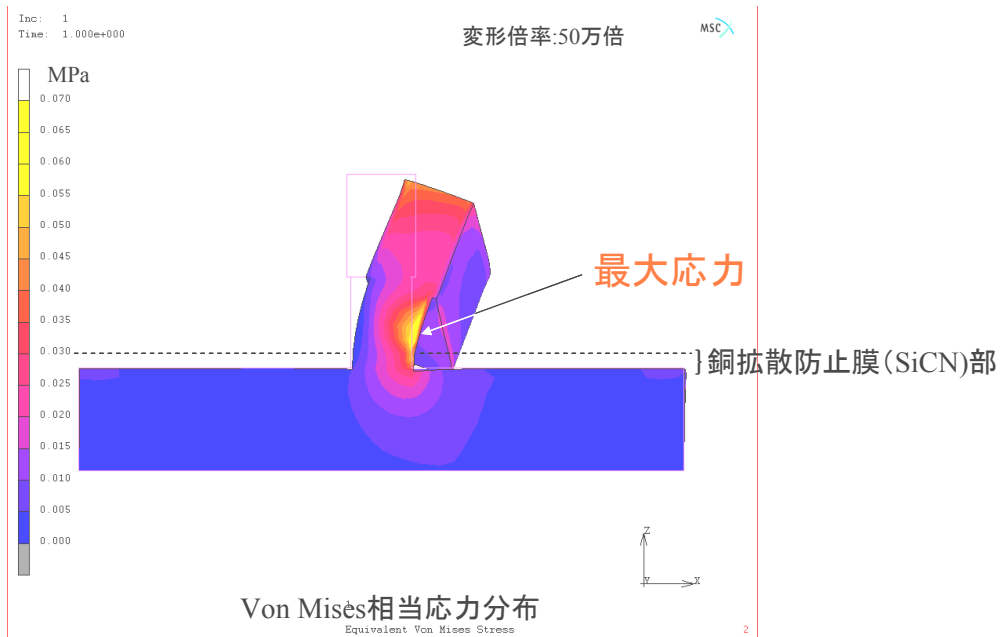
銅配線側と Low-k 材料側の解析メッシュ例を図表 6-22 に示す。ダマシンモジュールの上面図・断面図・Low-k のみを抜き出した図・配線部のみ抜き出した図が示されている。



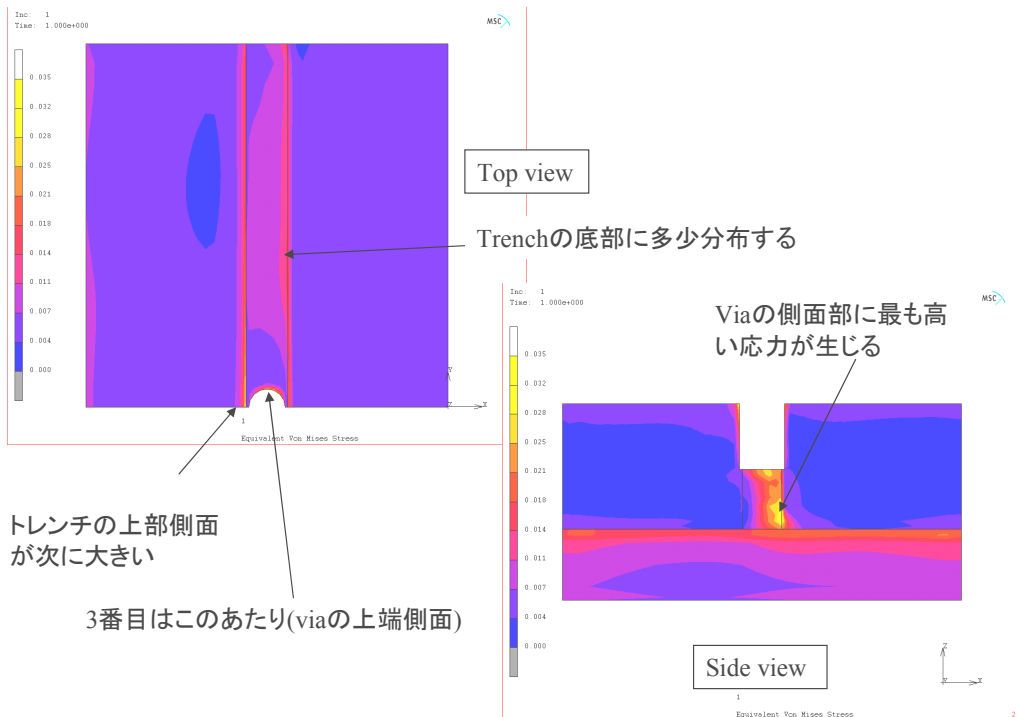
図表 6-22 解析メッシュ例

### 6-7-3 解析結果

銅配線構造部の via 中心の対称軸面から見た von Mises 相当応力分布とその時の変形状態の一例を図表 6-23 に、Low-k 材料側の解析結果を図表 6-24 にそれぞれ示す。



図表 6-23 銅配線側解析結果例

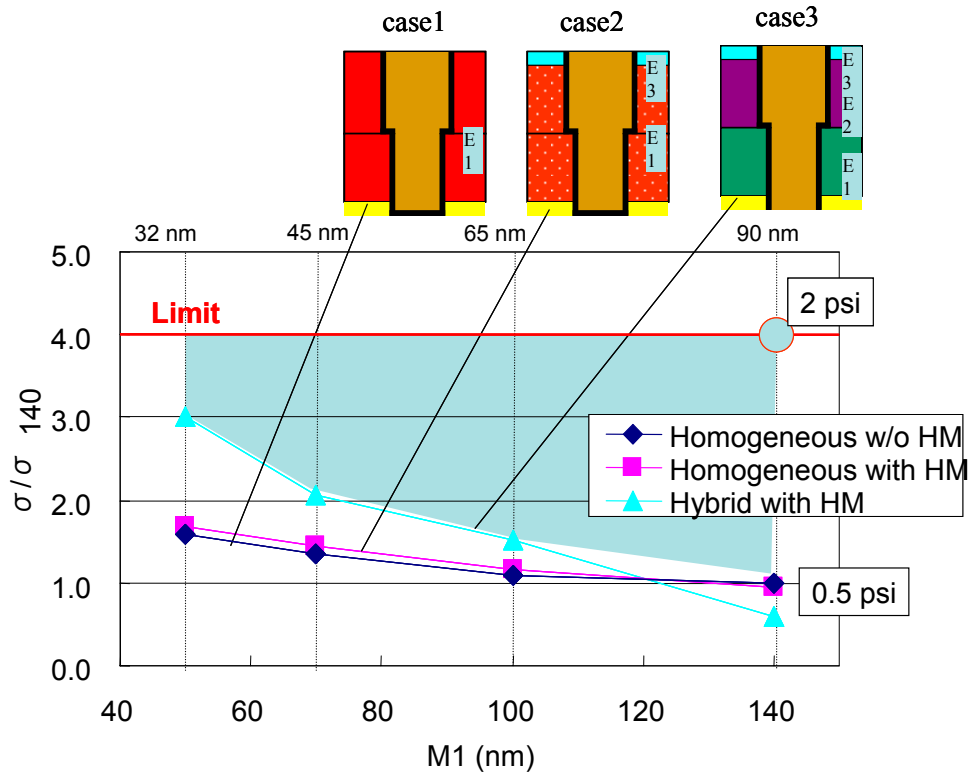


図表 6-24 Low-k 材料側解析結果例

図表 6-25 に各ノード毎の銅配線側の応力を示す。90nm 世代でのモチーフでは Case3 の有効誘電率  $k_{eff}$  が一番大きかったため、ヤング率も大きく、結果として応力は 3 ケースのうち一番小さい。これは Case によら

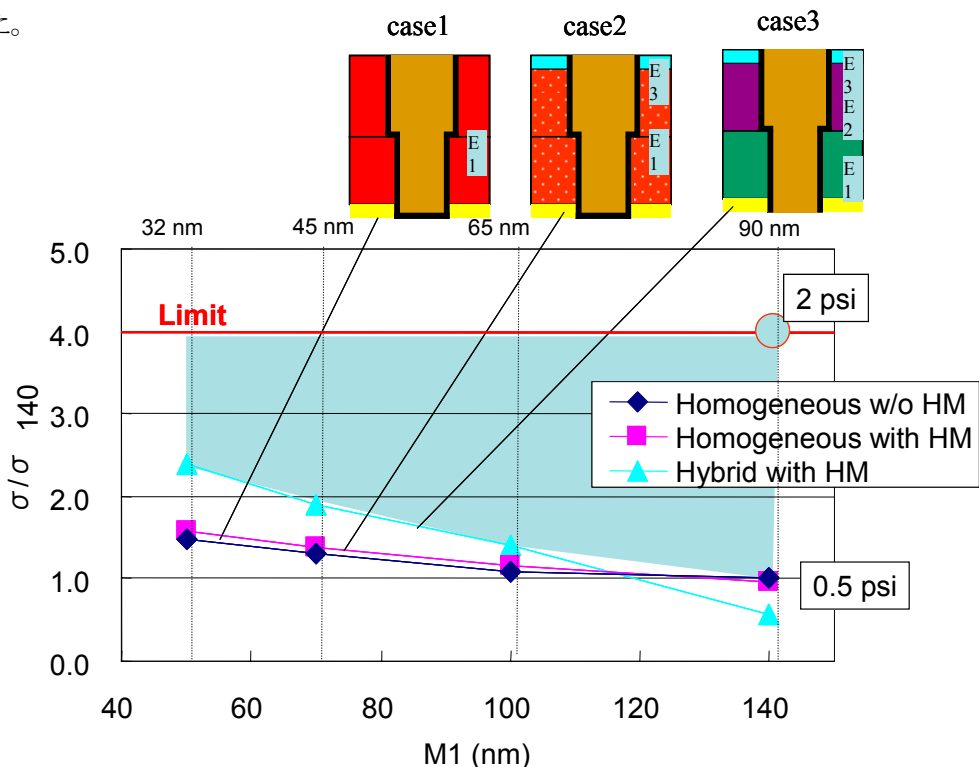


ず Low-k 材の選定によって強度が決定されることを意味している。図からは配線幅がノード共に微細化されるが、その微細化が及ぼす応力への影響が約 1.5 倍程度であることを示している。それに Low-k 材の各 Case を加味すると 3 倍程度になることを示してある。



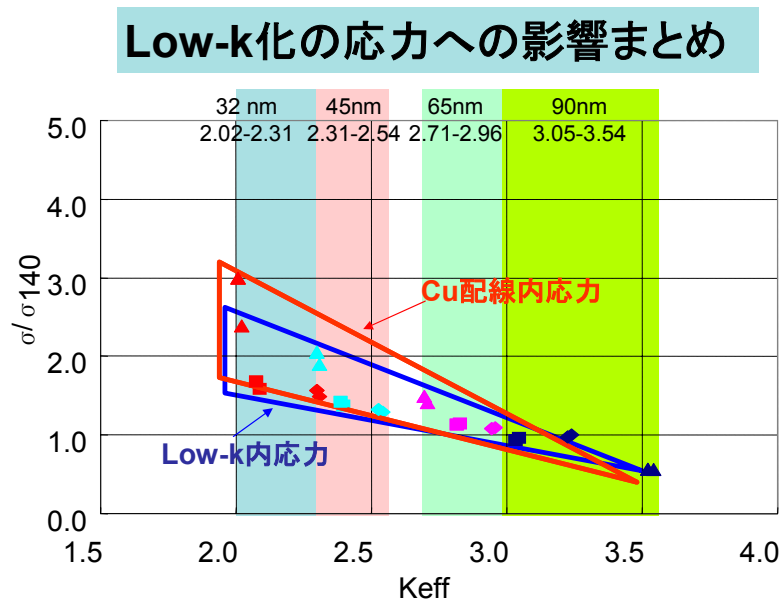
図表 6-25 各ノード毎の銅配線応力

図表 6-26 に各ノード毎の Low-k 材料側の応力を示す。Low-k 材の応力は配線部の応力とほとんど同様の結果を示した。



図表 6-26 各ノード毎の Low-k 材料応力

図表 6-27 に配線の応力と Low-k 材の応力を  $k_{eff}$  で整理して示す。応力はヤング率によって決定され、ヤング率は Low-k 材の  $k_{eff}$  に関与している。よって、各応力は  $k_{eff}$  との相関が取れている。



図表 6-27 Keff で整理した応力

#### 6-7-4 解析結果の考察

解析結果をまとめると以下の通りである。

1. 有効誘電率  $k_{eff}$  がノードと共に小さく選択されるために、ヤング率だけから評価される強度には余裕がなくなってくる。
2. また許容値はCu配線の降伏点や Low-kの強度(ヤング率)だけでいえるものではなく破壊靱性値(Fracture Toughness)の大きい有機膜を選んだり、密着性などいろいろな物性値を考慮して決定すべきと判断する。
3. 今回の解析では、STRJ の求める“論理的に説明できる数値の提供”の一環として、まずはヤング率で代表される強度対 CMP 圧力の結果を解析したものであるが、密着性などの強度と応力との相関を今後調査することにより本解析はその場合にも拡張可能である。

#### 6-8 まとめと今後の課題

2004 年度の活動は、2003 年度で掲げた「論理的根拠に基づいた、合理的かつ現実的な配線技術 Roadmap」というコンセプトを踏襲し数値の見直しを実施した。結果を以下にまとめる。

- 配線の  $\rho / \rho_{eff}$  の数値見直しを実施し決定した。
- Low-k (k 及び  $k_{eff}$  値) の進捗度を見直し、色分けを決定した。
- $J_{max}$  を決定した。
- DRAM 向けの Contact 及び Via の抵抗値見直し、決定した。
- LM, IM 配線ピッチの見直しに関しては、2005 年度に本委員会で全WG横断的に対応することとしたが、断面図の修正だけは実施した。

また STRJ 独自活動としてダマシンモジュールの強度解析を実施し、Low-k 強度特性値と研磨圧力との関係を示すことができた。

2005 年度は改訂版を発行するので、2004 年度に実施した改定のさらなる見直しと、TBD となっている洗浄などの項目に関して活動を実施する予定である。