

第 8 章 WG6 PIDS(デバイス)

8-1 はじめに

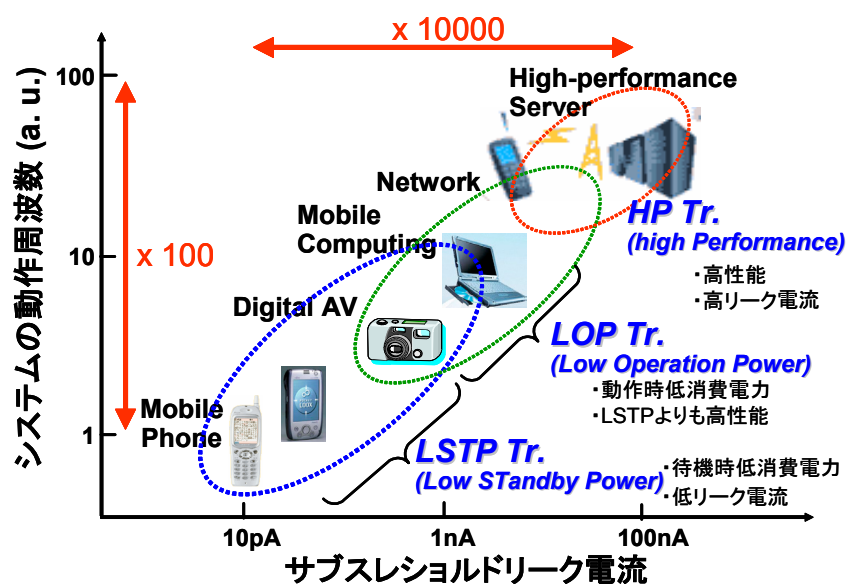
2004 年度における WG6 (Process Integration, Devices and Structures-WG; PIDS)の主な活動は、1)2005 年版 ITRS 作成に向けて、ロジック用トランジスタ(図表 8-1)、DRAM、不揮発性メモリ(Flash、FeRAM、MRAM)の現状調査、2)ロジック用トランジスタロードマップ作成のベースとなる性能指標算出のためのトランジスタ容量モデルの精度アップ、3)今後ますます深刻になるトランジスタ特性のばらつきに関して、SRAM のノイズマージンへの影響調査、4)2005 年版に向けて ERM (Emerging Research Material)と AMS (Analog & Mixed Signal)の現状調査、などである。

ロジック用トランジスタの現状調査を踏まえて、待機時低消費電力用トランジスタ(Low Standby Power, LSTP)のロードマップを WG6 独自に見直した。作成したロードマップを各極の PIDS メンバーと議論し、2005 年版を作成していく予定である。高性能用途向けトランジスタ(High Performance, HP)については、2003 年版では 2008 年から SOI 構造を想定している。しかし、薄膜 SOI 層や 3 次元構造の 2008 年からの導入に疑問の声が多く聞こえ、米国と日本の PIDS では 2008 年以降もプレーナバルク構造を採用するシナリオを検討し始めた。2005 年版では従来の SOI 構造に移るシナリオに加えて、プレーナバルク構造で進むというパラレルパスのロードマップになるかもしれない。

DRAM のロードマップは WG6 が中心となってこれまで作成してきた。この体制は 2005 年版に向けても同様である。2004 年度は世界の主な DRAM チップメーカーに対してアンケートを実施した。この結果を踏まえて 2005 年版ロードマップ案を作成した。今後、各極の PIDS メンバーと協議してフィックスしていく。

FeRAM に関しても日本の PIDS と FEP が共同でロードマップを作成してきたが、2005 年版もこの体制で進める。MRAM については 2003 年版と現状との大きな乖離が見られないため、2005 年版での変更は少ないと考えている。

Emerging Research Material(ERD)、ERM、AMS については、他極での活動をウォッチするレベルの活動に留まった。



図表 8-1 ロジック用トランジスタの分類

8-2 2005 年版作成に向けたロジック用トランジスタの再考

8-2-1 LSTP トランジスタ RM の再考

2003 年版 ITRS では、HP/LOP と同様に LSTP においても、年率 17% の性能向上目標を達成するためのシナリオが描かれている。しかしながら、LSTP ではリーク電流の制約が大きいため、しきい値電圧やゲート絶縁膜のスケールリングがすでに限界に達している。その上で年率 17% を達成しようとする、本来の LSTP に要求されるべきリーク電流スペックを緩和せざるを得なくなるばかりか、高コストのプロセスの導入が必要となってしまう。

2005 年版の LSTP ロードマップ作成に向けて、実際の LSTP の性能向上率を再調査して性能向上目標を再設定し、より現実的なシナリオを提案する。

図表 8-2 は、学会等で報告されているリングオシレータの遅延時間とテクノロジーノードの関係をプロットしたものである。リングオシレータ遅延時間の向上係数は、ロードマップ性能指標である CV/I の向上係数とほぼ同等とみなすことができる。この図から、性能向上係数は 37%/ノードとなっていることがわかる。大手ファンドリの 1 ノード (90nm ノードから 65nm ノード) は、約 3 年であるから、実際の性能向上は年率 11% となっていることがわかる。図表 8-3 は、第一層配線 (M1) のハーフピッチが 120nm となるテクノロジーノードに対応する LSTP CMOS のゲート長、および M1 ハーフピッチ 90nm に対応するゲート長を、学会および Web サイトから調査した結果である。これらのゲート長の平均値を 2003 年版 ITRS のターゲット値と比較してみると、ゲート長のスケールリングスピードはロードマップよりも遅くなっていることが判る。もともと 2003 年版 ITRS の LSTP CMOS のゲート長スケールリングスピードは、HP CMOS のゲート長から単純に 3 年後ろ倒したものを使用しているため、LSTP に実際に要求されるものとのギャップが生じていると考えられる。さらに 2003 年版 ITRS では、LSTP のサブスレッシュホールドリク電流は 2005 年から徐々に上昇するシナリオになっているが、これも実際には受け入れ難い。

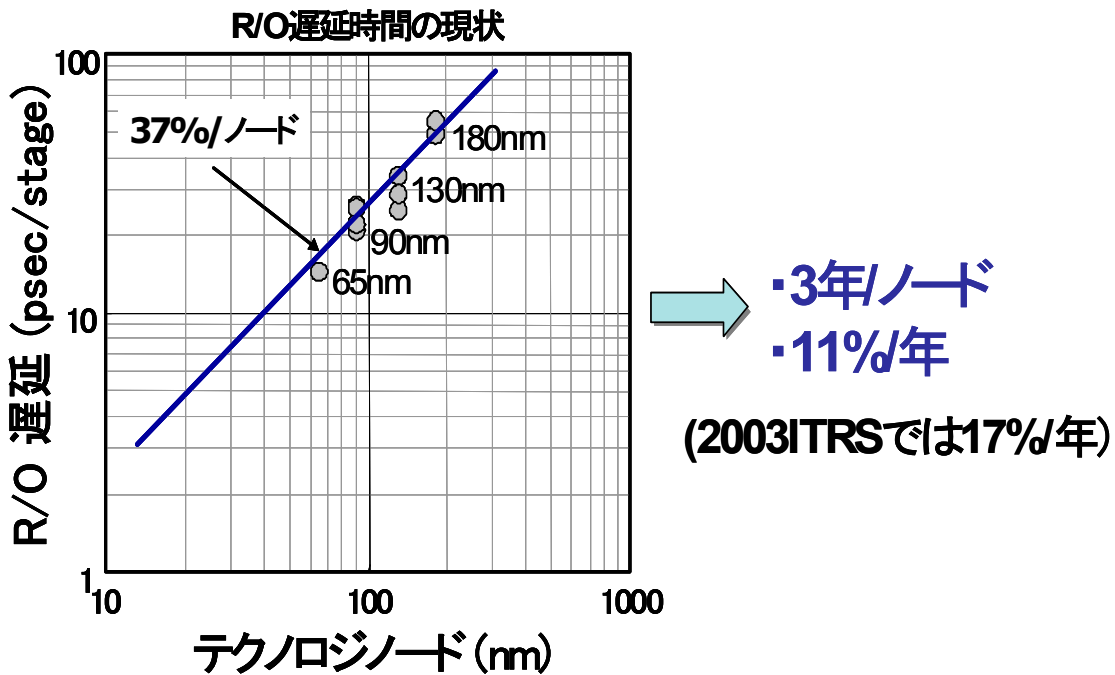


図 8-2 リングオシレータの遅延時間とテクノロジーノードの関係

M1ハーフピッチ: 120nm	三菱 (VL02)	Motorola (VL02)	TSMC (IEDM02)	Samsung (IEDM02)	富士通 (Web)	NEC_EL (Web)	Average
ゲート長 (nm)	90	80	80	80	80	85	80
M1ハーフピッチ: 90nm	STM/Philips/Motrola (VL04)		TSMC (VL04)	東芝 (VL04)	IBM (IEDM04)		Average
ゲート長 (nm)	60		55	50	55		55

量産開始年		2003	2004	2005	2006	2007	2008	2009
ITRS 2003	M1 ハーフピッチ (nm)	120	107	95	85	76	67	60
	ゲート長 (nm)	75	65	53	45	37	32	28
LSI ベンダ	M1 ハーフピッチ (nm)	120	3年で		90			
	ゲート長 (nm)	80	← x 0.7 →		55			

→ **ゲート長スケールリングは鈍化**
x 0.7 / 3年 (ITRSではx0.6 / 3年)

図表 8-3 学会、Web で発表された第一層配線 (M1) のハーフピッチとゲート長の関係

以上の調査結果から、2005 年版 ITRS に向けて現実を踏まえた以下のようなシナリオを提案した。

- 1) 性能向上は 11%/年とする (ITRS2003 では 17%/年)。1 ノード (3 年) で 40% の性能向上。
- 2) ゲート長スケールリングスピードを $\times 0.88$ /年とする (ITRS2003 では $\times 0.84$ /年)。また、2003 年における LSTP のゲート長を 80nm とする (ITRS2003 では 75nm)。
- 3) サブスレッシュホールドリーク電流は $10\text{pA}/\mu\text{m}$ に固定 (ITRS2003 では 2005 年より上昇)。
- 4) 2006 年に High-k ゲート絶縁膜を導入するタイミングで電源電圧を 1.2V から 1.1V に低下、2008 年にメタルゲート電極を導入するタイミングで電源電圧を 1.1V から 1.0V に低下 (テクノロジーブースター導入に連動して低電圧化するシナリオ)。

上記のシナリオにしたがって、MASTAR を用いてオン電流、CV/I などのスペックを見積もった結果を図表 8-4 に示す。

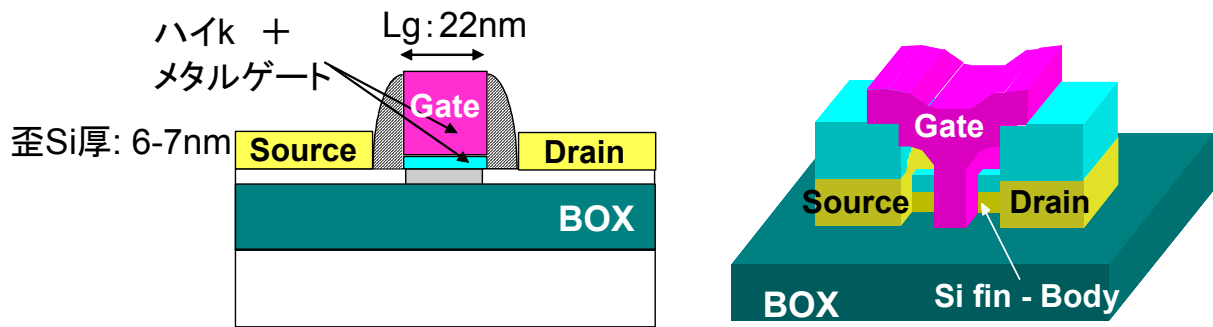
Year of Production Technology Node		2003	2004 hp90	2005	2006	2007 hp65	2008	2009
ゲート長 (WG6)		80	70	63	55	49	44	39
ゲート長 (ITRS2003)		75	65	53	45	37	32	28
電源電圧 (V) (WG6)		1.2	1.2	1.2	1.1	1.1	1.0	1.0
電源電圧 (V) (ITRS2003)		1.2	1.2	1.2	1.2	1.1	1.1	1.1
loff (pA/μm) (WG6)		10	10	10	10	10	10	10
loff (pA/um) (ITRS2003)		10	10	15	20	25	30	40
Relative CV/I improvement (WG6)		1	1.11	1.23	1.37	1.52	1.69	1.90
テクノロジー ブースター	ハイk メタルゲート 移動度向上							

図表 8-4 性能向上を年率 11%とした場合の LSTP CMOS スケールリングシナリオ

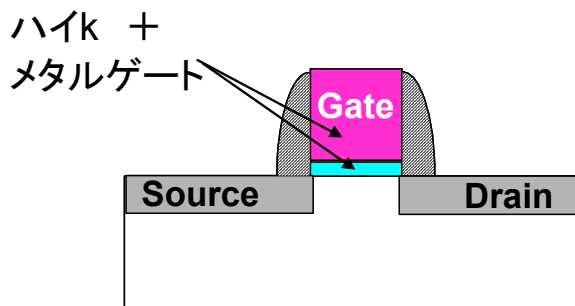
8-2-2 高性能(High Performance, HP)トランジスタロードマップの平行パス

2003 年版 ITRS では 2008 年から HP トランジスタは SOI 構造を想定している。ハイ k ゲート絶縁膜とメタルゲートの導入はその前の 2007 年である。このロードマップのシナリオで行くと、2008 年以降の HP トランジスタ構造は図表 8-5 のようになる。プレーナ型 SOI の場合、2008 年以降のゲート長で短チャネル効果を抑制するためには Si 層は 6-7nm 以下の薄膜化が必要になる。更に、年率 17% の性能向上率(CV/I で)を維持するため Si に歪を加え、キャリア移動度は歪無しでの 100% アップを想定している。過去のトレンドとおりの性能向上率を維持していくために、数年前のようなアグレッシブなゲート長のスケールアップがもはや使えなくなったために、Technology Booster に頼ったシナリオである。ITRS のトランジスタロードマップは要求値であり、最先端のテクノロジーを採用しやすい環境にある HP トランジスタのロードマップの考え方として妥当である。但し、全ての HP トランジスタが図表 8-5 のような構造になるとは考えにくく、もう少し現状の構造に近い HP トランジスタの平行パスを提示することが重要である。

2004 年度の活動として、SOI 構造を採用しないプレーナバルク構造の HP トランジスタの検討を行った(図表 8-6)。ハイ k ゲート絶縁膜とメタルゲートはロードマップとおりに導入して、プレーナバルク構造でどこまで性能が出るかを見積もった。性能見積もりはこれまでロードマップの作成に用いてきたものと同様の手法で行った。



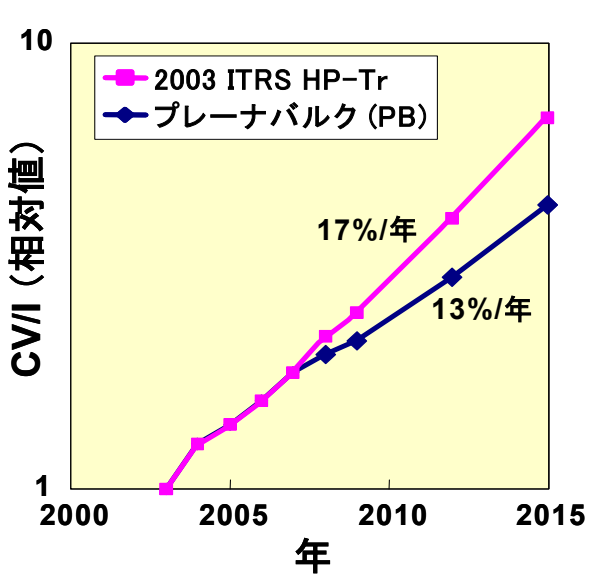
図表 8-5 2008 年以降の HP トランジスタ構造 (2003ITRS より)



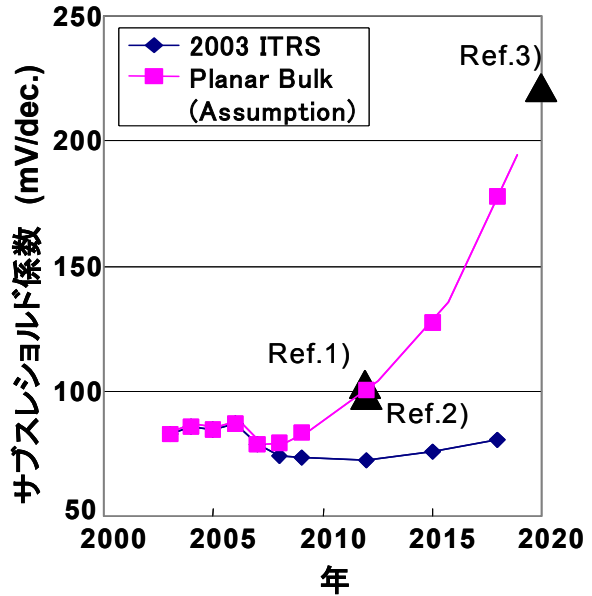
図表 8-6 HP トランジスタの平行パスに用いたプレーナバルク構造

図表 8-7 に 2003 年 ITRS の HP トランジスタと今回求めたプレーナバルク構造の CV/I のロードマップを示す。プレーナバルク構造の CV/I は 2008 年からも SOI 構造を導入しないため、2003 年 ITRS の CV/I と乖離していく。これはゲート長のスケールアップに伴いチャネル濃度を濃くする必要があること、その結果、サブスレショルド係数が増大(図表 8-8)、縦方向電界が増大。また、SOI 構造でないために寄生容量が増大したことによる。

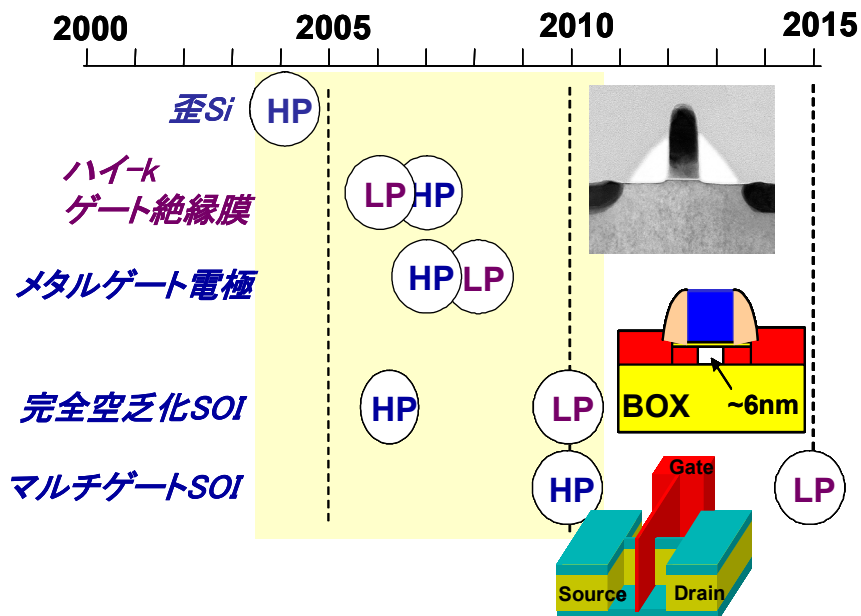
結果として CV/I の年率の向上率は 13%となった。この向上率の絶対値の良し悪しは各 LSI チップメーカーの方針次第であるが、図表 8-9 に示すように 2003 ITRS では今後数年間に次々と Technology Booster を取り入れて量産するシナリオである。プレーナバルク構造で 13%の性能向上でも適当な市場が存在すると思われるため、継続してパラレルパスを検討し、2005 年度版では併記することで各極の委員と議論中である。



図表 8-7 2003 ITRS の HP トランジスタと今回求めたプレーナバルク構造の CV/I のロード



図表 8-8 サブスレシヨルド係数が増大
 Ref.1) Hokazono 2002 IEDM 27.1
 Ref.2) Doyle 2002 Intel Tech. Journal, p.42
 Ref.3) Wakabayashi 2003 IEDM 20.7



図表 8-9 2003 ITRS での Technology Booster 導入、量産シナリオ

8-2-3 寄生容量のモデリング

本ロードマップの MOSFET の性能予測にはマスター・プログラムが使われている。そこで使われているモデル式を精査する中で MOSFET の性能指標である CV/I の寄生容量の扱いが不十分であることが解った。2003 年度版では、ゲート・オーバーラップ容量とゲート・フリンジ容量が過小見積もりであり、さらに、MOSFET に必然的に寄生する接合容量が取り込まれていない。CV/I は、基本回路であるインバータの回路速度算出に使われている。よって、この寄生容量の過小見積もりは、ロードマップに記載される回路速度、システム・速度などを過大な数値にしてしまい現実的な数値とのギャップを生むことになる。さらに、CV/I の年あたり 17% 向上が MOSFET のスケーリング性能目標となっており、この CV/I の数字がロードマップの言わば根幹を成す重要な指標である。寄生容量を正しく取り込むことで、MOSFET の各パラメータのスケーリングファクタの修正、Vdd, Tox, Lg などのスケーリングトレンドの修正にも繋がる可能性がある。

以上の重要性を鑑み、WG6 では、今年度、CV/I の寄生容量のモデリング修正を国際大会の場(7 月のサンフランシスコ大会、12 月の東京大会)で提案し、各極の支持を取り付け、結果としてマスター・プログラムの修正に繋げた。さらに、寄生容量の CV/I スケーリングに与える影響、SOI, double gate 導入時の接合容量低減の影響を簡単に見積もり、MOSFET の各パラメータ・スケーリングの見直しの余地があることを示した。

図表 8-10 は、今回、提案した寄生容量見直し案である。ゲート・オーバーラップ容量とゲート・フリンジ容量はミラー効果も考慮し定式化した。2003 年のモデルでは、両者の扱いが不明瞭であったが、今回は、両者を分離し、より正確に定式化したことになる。接合容量については、基本回路のインバータのレイアウトから簡単なモデルを作成した。トランジスタの単位幅あたりの接合幅は、コンタクトが入るので 2*F とした。さらに、線成分の寄与が面成分と同等と仮定し 4*F とした。F 値は、ロードマップに書かれるメタルピッチの 1/2 が、接合の幅とほぼ合うと想定できるので、その値を採用した。

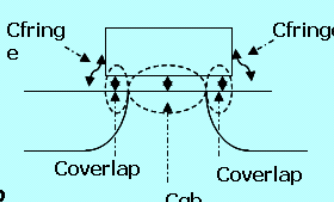
1. ミラー容量を考慮し、 $C_{outerfringe}$ と $C_{overlap}$ を再度、定式化する。

01RM: $C_{total} = C_{gate} + 3C_{fringe}$

03RM: $C_{total} = C_{gate} + C_{ov\&f}$

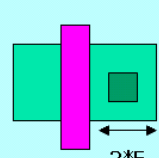
提案: $C_{total} = C_{gb} + 2(C_{overlap} + C_{fringe}) + C_{overlap} + C_{fringe}$
 $= C_{gate} + C_{overlap} + 3C_{fringe}$

miller effect of overlap & fringe capacitance



2. C_j は INV Layout を考慮し以下で定式化する。

$C_j : C_j0 * 4 * \text{half of Metal Pitch}$ **C_{j0}: 面成分の接合容量**



Background of 4

Area: $2*F$

Peripheral: Contribution is same of Area (assumption)

Half of Metal pitch determines the active area.

図表 8-10 寄生容量の修正提案

以上のモデル修正を行うことで、実際に報告されているリング発信器の速度とどれくらい合うか検証した。図表 8-11 は、報告されているゲート・オーバーラップ容量、ゲート・フリンジ容量、接合容量である。この値をベースに矢印の下に示した数値を検証では使った。

Reference	Cgd0 (fF/um)	Cj(fF/um2)
VL2001 3A-3 Infineon & IBM "Shallow S/D CMOS by plasma immersion"	0.22 - 0.3	
VL2001 3A-1 Intel "Asymmetric S/D Below 50nm Tr."	0.19 - 0.3	
VL2001 6A-2 Toshiba "Performance improvement of Metal Gate CMOS Tech"	-	0.8/0.73 @0.7V
VL2001 8B-2 Hitachi "0.12CMOS with 0.18 technology"	SiN Fringing=0.15fF/um, SiO2 Fring=0.09fF/um, Double SideW=0.11fF/um (outerfringe sim.)	
VL2002 2.3 Motorola Inc. "100nm Cu/low K CMOS"	0.31/0.28	0.8
VL2002 7-2 TSMC "Extended 0.13 CMOS,,"		1.18/1.37
VL2002 13.1 Fujitsu "0.65V 90nm CMOS,,"	0.2	
VL2002 13.2 TI "60nm gate in 0.13CMOS"	0.29	
VL2003 6A-1 IST&Phi&Mo&Leti "65nm CMOS Platform"	0.3/0.29	0.9

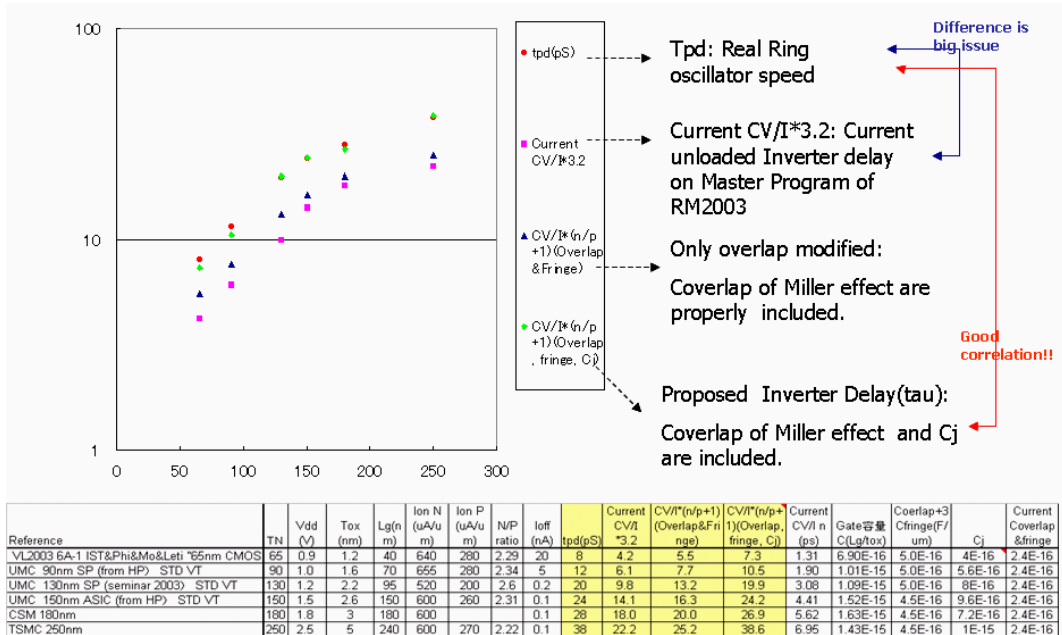


- Couterfringe 0.1fF/um
- Coverlap (Cgd0-Couterfringe) 130-65 TN ~0.2fF/um
- 250-180TN(maybe) ~0.15fF/um
- Cj Roughly 1fF/um2

図表 8-11 寄生容量の文献値

上記の寄生容量の数値を使い、報告されているリング発信器の実測データと CV/I から計算したスピードの比較を実施したのが図表 8-12 である。2003 年モデルでは、実測と CV/I からのスピードに大きな乖離がある。CV/I からのスピードは過大(早い)見積もりとなっている。今回提案した寄生容量モデルを取り込むと、非常に簡単なモデルではあるが、実測と CV/I からのスピードは非常に良く合うことが確認できる。

以上のデータから CV/I の数値の重要性を鑑み、7 月の国際大会にてマスター・プログラムに本提案の修正を加えることで、各極と合意した。この修正によりロードマップで提示される CV/I から算出される回路スピードは、より妥当な数値となる。



図表 8-12 リング発信器の実測報告例と CV/I から求めた値の相関

図表 8-13 は、今回の寄生容量の修正が回路スピード(インバータの遅延時間)に与える影響を試算した結果である。ゲート・フリンジ容量を 0.08fF/um, ゲート・オーバーラップ容量をゲートの 20%, 接合容量を 1fF/um2 とした場合、回路スピードの改善トレンドが、現ターゲットの 17%/年から若干悪くなる。

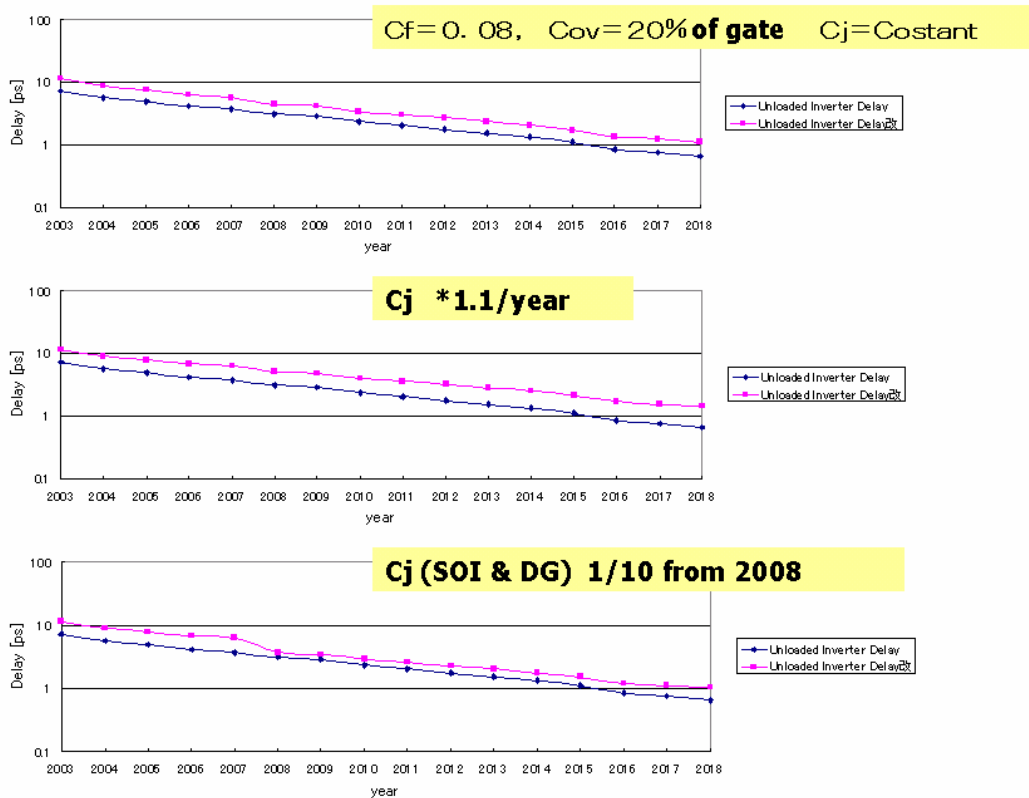
接合容量は微細化と共に基板濃度が上がりトランジスタ構造を工夫しないと上がってしまう。接合容量が年

率 10%増大すると仮定した場合の試算が 2 番目の図である。この場合、明らかに回路スピードの改善率が悪くなる。17%/年の改善率を維持させるには、トランジスタのドライブ電流向上のため L_g , T_{ox} , モビリティ等のスケールアップ加速が必要となる。

SOI の導入、さらに、ダブルゲート構造の導入の効果を試算したのが 3 番目の図である。これらの技術は接合容量を大幅に小さくできるため(ここでは、1/10 と仮定)、導入の段階で回路スピードが向上し、スピードの改善率が非連続となる。これは、逆に、SOI、ダブルゲートの導入により、他のトランジスタ・パラメータのスケールアップを緩和できることを示唆する。

ただ、実際のLSIを想定した場合、配線容量の割合が大きくなる。この場合、接合容量の割合は小さい。これは、ロードマップの性能改善の指標として CV/I の改善率を採用して妥当なのかについての疑問を提示する。配線容量が主体的なLSI一般を論じる場合、回路スピードは CV/I よりむしろ単純にドレイン電流の逆数で論じた方が良い。

以上から、今回の寄生容量モデル修正から各トランジスタ・パラメータのスケールアップ・ファクタの修正をどう実施するかについては、ロードマップの根幹である性能指標の妥当性に立ち戻り、今後、各極の PIDS メンバと議論を継続する予定である。



図表 8-13 寄生容量修正が遅延時間改善率に与える影響

8-3 RM をベースとした SRAM SNM の検証

MOS トランジスタの微細化が進むにつれて、さまざまな特性ばらつきの問題が顕在化しつつある。ばらつきには、ある程度規則性のあるばらつき(システムティックな成分)と、完全にランダムなばらつき(ランダム成分)に一般に大別される。システムティックな成分については、今後のプロセス技術の進歩によりある程度改善が見込まれるが、ランダムな成分はデバイスサイズが小さくなればなるほど特性に大きな影響を与えることになる。本節では、ランダムなばらつき成分のうち、不純物の統計的揺らぎによるばらつきと、ラインエッジラフネス(Line Edge Roughness, LER)に焦点を当てる。また、デバイス特性としては、最もランダムなばらつきの影響を受ける

とされている SRAM のスタティックノイズマージン(Static Noise Margin, SNM)に関して評価を行った。

8-3-1 不純物ばらつきによる SRAM SNM への影響

不純物ばらつきが SRAM の SNM に与える影響については、以前に Meindl らのグループが論文を発表している[1]。ただし、この論文では、デバイスパラメータに比較的古いロードマップ(1997 年版)が使用されているだけでなく、SNM を解析的な手法で予測しているため誤差が大きいことが懸念される。そこで今回、最新の ITRS である 2003 年版の LOP デバイスをパラメータとして用い、また SPICE シミュレーションによって SNM を求めることにより、より正確な議論を行った。SPICE モデルには、カリフォルニア大学バークレー校の PTM (Predictive Technology Model) [2]を用い、電流値等のパラメータが 2003 年版 ITRS に合うように調整を行った[3]。シミュレーションにで使用したパラメータを図表 8-14 に示す。また、シミュレーションは 90nm, 65nm, 45nm の 3 世代に対して行った。

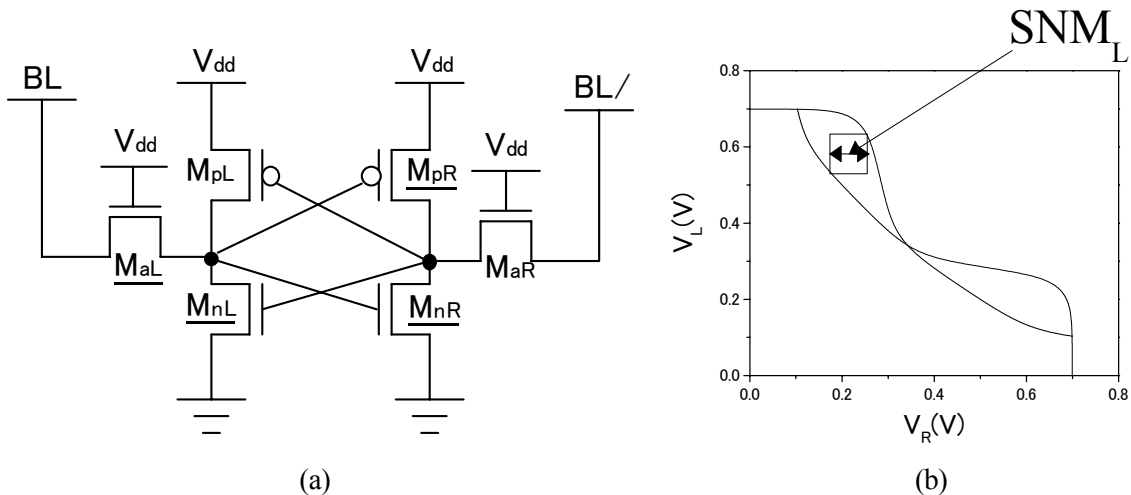
図表 8-15 に 6 個のトランジスタから構成される通常の SRAM の回路図と、いわゆるバタフライカーブの模式図を示す。SNM は図のように定義する。不純物ばらつきのモデルは Meindl らと同じモデル[1]を用いた。このモデルにより、まず不純物によるしきい値電圧 V_T のばらつき (σV_T) を求める。次に、SPICE シミュレーションによって、それぞれのトランジスタの V_T ばらつきに対する SNM の感度を求める。SRAM の SNM は、セル中の 4 個のトランジスタによって決定される。トータルの SNM のばらつき (σSNM) は、次式で与えられる。

$$\sigma SNM_L = \sigma V_{th} \sqrt{\left(\frac{\partial SNM_{nR}}{\partial V_{T_{nR}}}\right)^2 + \left(\frac{\partial SNM_{nL}}{\partial V_{T_{nL}}}\right)^2 + \left(\frac{\partial SNM_{pR}}{\partial V_{T_{pR}}}\right)^2 + \left(\frac{\partial SNM_{pL}}{\partial V_{T_{pL}}}\right)^2} \quad (1)$$

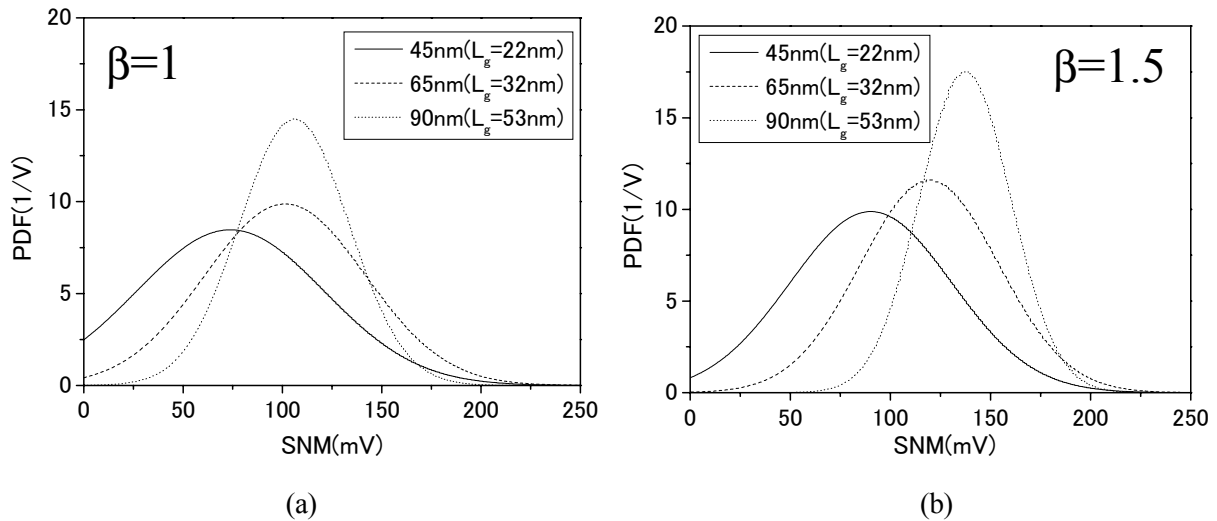
ここで、平方根の中の各項は、各トランジスタの V_T ばらつきに対する SNM の感度を表している。

図表 8-14 SRAM SNM の計算に用いた主なデバイスパラメータ

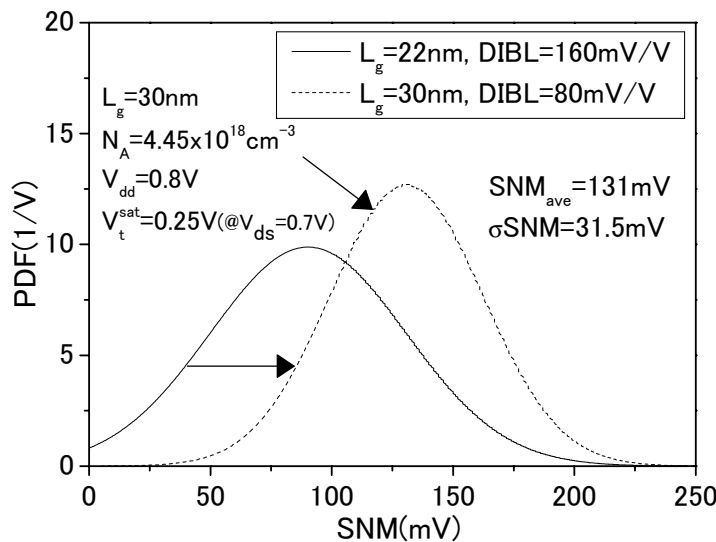
node	L_g (nm)	T_{oxc} (nm)	N_A (cm^{-3})	V_{dd} (V)	I_{on} ($\mu A/\mu m$)	V_t^{sat} (V)	DIBL(mV/V)	$\gamma = -dV_{th}/dV_{bs}$
90nm	53	2.3	1.84e18	0.9	530	0.26	100	0.1
65nm	32	1.9	3.82e18	0.8	570	0.26	140	0.09
45nm	22	1.3	6.69e18	0.7	770	0.22	160	0.07



図表 8-15 (a) SRAM の回路図、(b) SRAM のスタティックノイズマージンの説明図



図表 8-16 SRAM SNM のばらつきのシミュレーション結果。(a) $\beta=1$ の場合、(b) $\beta=1.5$ の場合



図表 8-17 改善したデバイスパラメータによる SRAM SNM のばらつきのシミュレーション結果

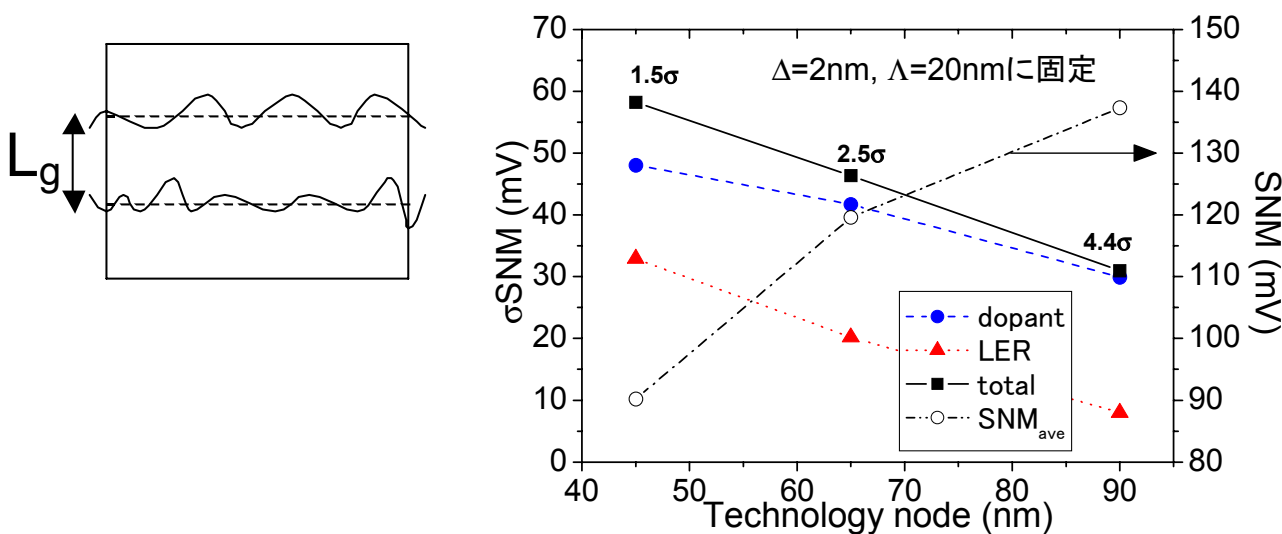
図表 8-16 に、SNM ばらつきのシミュレーション結果を示す。 β 比が 1 の場合は、SNM は不純物の統計的揺らぎにより大きくばらつき、65nm や 45nm ノードでは SNM が 0 のセルが大量に存在することがわかる。SNM がゼロでは SRAM セルはデータを保持することができず不要となる。一方、 β 比を 1.5 にすると、SNM ばらつきはだいぶ改善する。しかし、45nm では SNM の平均値と σ_{SNM} の比が 2.2 程度である。1M ビットのメモリで不良を起こさないためには、この比が 6 程度であることが要求される(すなわち、 6σ を確保する必要がある)。したがって、現在の ITRS のパラメータで 45nm の SRAM を試作すると、不純物ばらつきにより良品を得ることが極めて困難であることが明らかとなった[3]。

そこで、SNM の平均値と σ_{SNM} の比を改善させる方策について検討した。電源電圧およびしきい値電圧を調整すると、SNM の平均値を改善させることができる。また、MOS トランジスタの DIBL を抑制すると SNM の平均値が大きく向上することが明らかとなった。一方、上記の計算では 45nm ノードのゲート長を 22nm としていたが、SRAM は一般にゲート長の微細化が緩やかであるので、少々長いゲート長を仮定してもよい。すると、SNM の平均値が向上するだけでなく、デバイスサイズが大きくなるので SNM ばらつきが抑制される。これらのパラメータを修正して再度シミュレーションを行った結果を図表 8-17 に示す。SNM の平均値と σ_{SNM} の比は 4.2 である。まだ、大規模な SRAM を構成するには比が小さいが、冗長回路を設ける等の方策により、ある程度

歩留まりの高い SRAM が作製できる可能性がある。

8-3-2 ラインエッジラフネスによる SRAM SNM への影響

同様のシミュレーションは、ラインエッジラフネス(LER)についても行うことができる。図表 8-18(a)に LER の模式図を示す。このようにゲート電極形状がランダムに変化したと仮定し、そこからトランジスタの σV_T をもとめ、上記と同じ方法で SNM ばらつきを計算した。LER の大きさは 2nm (標準偏差)と仮定した。図表 8-18(b)にシミュレーション結果を示す。SNM ばらつきの世代依存性を不純物ばらつきの影響と併せて示している。45-90nm 世代では、LER の影響より、不純物ばらつきの影響の方が大きいことがわかる。しかし、世代が進むにつれて LER の影響が急激に増している。不純物ばらつきは、完全空乏型 SOI デバイスを用いるなどしてある程度回避することが可能であるが、LER はその大きさが抑制されない限り、世代が進むほど影響が急激に増してくる。SRAM 設計の観点から、LER の抜本的な改善が強く求められる。



図表 8-18 (a) LER の模式図、

(b)不純物ばらつきと LER による SRAM SNM ばらつきの世代依存性

参考文献

- [1] A. J. Bhavnagarwala X. Tang, and J. D. Meindl, “The Impact of Intrinsic Device Simulations on CMOS SRAM Stability” IEEE J. Solid-State Circuits, vol.36, pp.658-665, 2001.
- [2] <http://www-device.eecs.berkeley.edu/~ptm/>
- [3] F. Tachibana and T. Hiramoto, “Re-examination of Impact of Intrinsic Dopant Fluctuations on SRAM Static Noise Margin”, International Conference on Solid State Devices and Materials, pp. 192 – 193, September, 2004.

8-4 2005 年版作成に向けた DRAM-RM の再考

2005 年版の改訂に向けて、2002 年度の活動と同様、DRAM の主な大手メーカーにアンケートを送付することにより、2004 年及び 2005 年以降のノード及び DRAM の技術動向調査を行った。また、2003 年度の調査結果をもとに作成した ITRS の 2003 年版の数値との比較も行った。

(1) DRAM 技術の調査項目及び結果

アンケート項目

2003 年度の調査と同様 Overall Table、PIDS Table、FEP Table 及び DRAM の技術に関する重要な項目を抽出した。図表 8-19 にアンケート項目を示す。

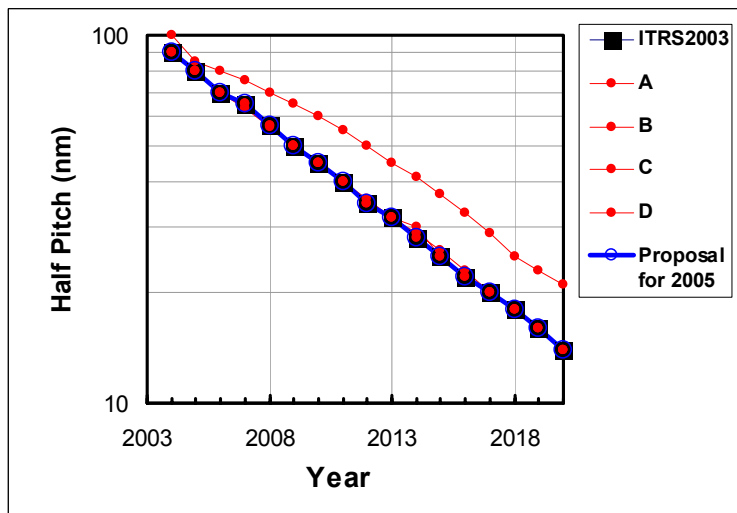
調査項目

- | | | | | | | | | |
|-------|---|---|---|---------------|---|------------|---|-----------|
| ● ● ● | 1. DRAM half pitch (minimum feature size : F) | <table border="1"> <tr> <td>●</td> <td>Overall Table</td> </tr> <tr> <td>●</td> <td>PIDS Table</td> </tr> <tr> <td>●</td> <td>FEP Table</td> </tr> </table> | ● | Overall Table | ● | PIDS Table | ● | FEP Table |
| ● | Overall Table | | | | | | | |
| ● | PIDS Table | | | | | | | |
| ● | FEP Table | | | | | | | |
| ● ● ● | 2. Cell size : A_{cell} | | | | | | | |
| ● ● ● | 3. Cell area factor : a [$A_{cell} = a F^2$] | | | | | | | |
| ● ● ● | 4. DRAM Product (bit) : b | | | | | | | |
| ● ● ● | 5. Chip size : A_{chip} | | | | | | | |
| ● ● ● | 6. Area factor [$= A_{cell} \times b / A_{chip}$] | | | | | | | |
| ● ● ● | 7. Retention time | | | | | | | |
| ● ● ● | 8. Storage Capacitance : C_s | | | | | | | |
| ● ● ● | 9. Voltage of capacitor | | | | | | | |
| ● ● ● | 10. Gate oxide thickness of cell transistor | | | | | | | |
| ● ● ● | 11. Maximum word-line level | | | | | | | |
| ● ● ● | 12. Effective electric field of gate insulator | | | | | | | |
| ● ● ● | 13. Negative word-line use | | | | | | | |
| ● ● ● | 14. Capacitor structure | | | | | | | |
| ● ● ● | 15. Capacitor insulator material | | | | | | | |
| ● ● ● | 16. Effective capacitor insulator thickness | | | | | | | |
| ● ● ● | 17. Physical capacitor insulator thickness | | | | | | | |

図表 8-19 アンケート調査項目

a) DRAM ハーフピッチ

ITRS 2003 年版では、ITRS のノードは、DRAM のハーフピッチとなっており、その数値は 2 番目にアグレッシブな会社が 10kp/M を引続き生産した時の数値と定義されている(2 番手ルール)。調査結果を図 8-20 に示す。1 番手、2 番手の数値とも 2003 版 ITRS の数値と一致していた。



DRAM Half pitch

	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
ITRS2003	80	70	65	57	50	45	40	35	32	28	25	22	20	18		
Proposal for 2005	80	70	65	57	50	45	40	35	32	28	25	22	20	18	16	14

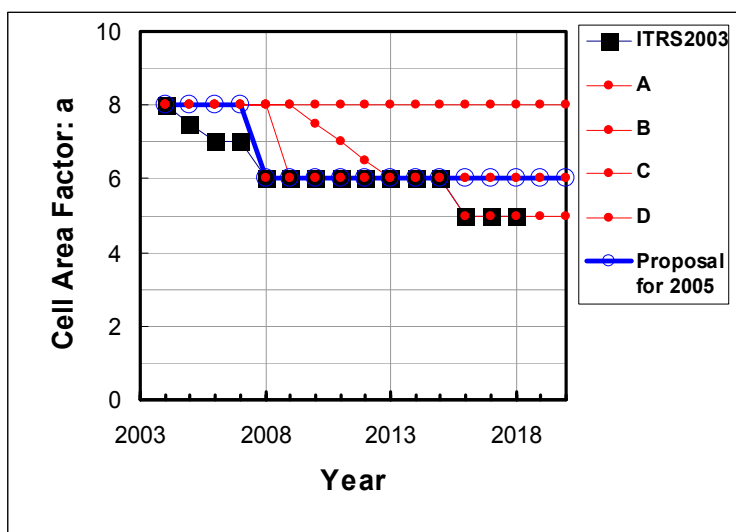
図表 8-20 DRAM ハーフピッチ

b) セル・エリアファクター

セルサイズは、DRAM ハーフピッチ“F”とセル・エリアファクター“a”により次式で与えられる。

$$\text{Cell size} = a * F^2 \quad (\text{F:DRAM ハーフピッチ})$$

2003 年版では 2004 年の“a”値は 7.5、2008 年の“a”値は 6 となっており、8F²から 6F²レイアウトへの移行が今回の調査の大きなポイントのひとつであった。2004 年において、すでに 1 社が 6F²のレイアウトを有する DRAM を量産していることと今回の調査結果から、“a”の“6”化の時期は 2008 年とした。“4”化の時期に関しては、4F²のセルを導入する時期を示した会社はなかった。そのため、2003 年版では 2016 年以降“5”としていたが、2005 年版での提案は“6”とした。



Cell Area Factor : a	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
ITRS2003	7.5	7	7	6	6	6	6	6	6	6	6	5	5	5		
Proposal for 2005	8	8	8	6	6	6	6	6	6	6	6	6	6	6	6	6

図表 8-21 セルエリアファクター “a”

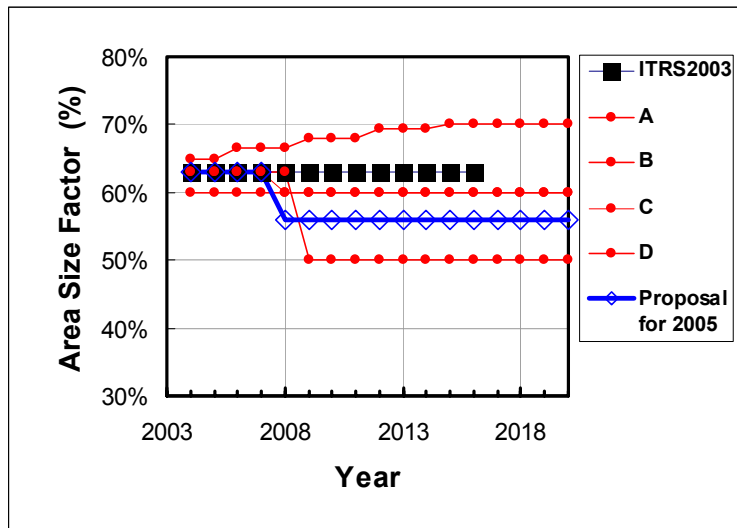
c) エリアサイズファクター

ビット容量を“b”とすると、チップサイズは次式で与えられる。

$$\text{チップサイズ} = \text{セルサイズ} * b / (\text{エリアサイズファクター})$$

$$\text{ここで、セルサイズ} = a * F^2 \quad (\text{a:セルエリアファクター})$$

2003 年版では、エリアサイズファクターは、セルエリアファクターによらず、63%で一定としていたが、セルサイズがセルエリアファクターが 8 から 6 へ移行しても周辺回路部の面積が小さくなる理由は無いことから、セルエリアファクターの移行にあわせ、エリアサイズファクターの数値の見直しを提案した。その結果 2008 年から 56% とすることにした。



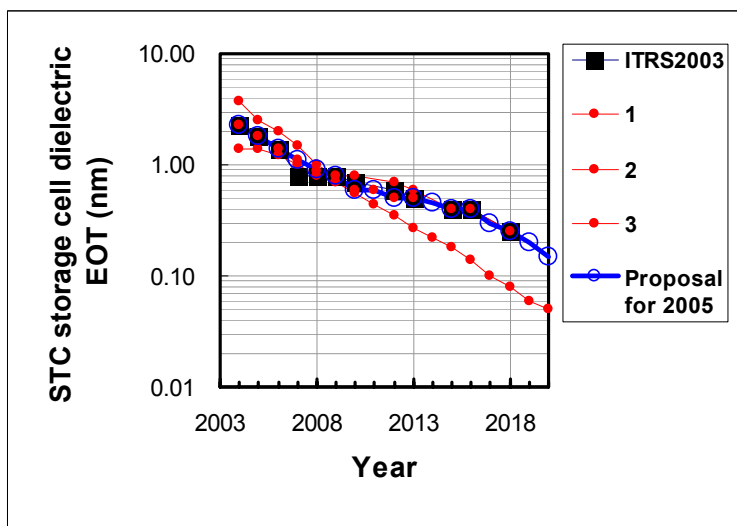
Area Size Factor

	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
ITRS2003	63%	63%	63%	63%	63%	63%	63%	63%	63%	63%	63%	63%	63%	63%		
Proposal for 2005	63%	63%	63%	56%	56%	56%	56%	56%	56%	56%	56%	56%	56%	56%	56%	56%

図表 8-22 エリアサイズファクタ

d) ストレージセルキャパシタ絶縁膜

DRAM セルのストレージキャパシタ容量のターゲット値は、セルシグナル確保のため各社ともどの世代においても 25fF となっている。そのため、いかに 25fF の容量を実現するかが、DRAM のセルサイズを決定するための大きな要素となっている。アンケートの結果を図 8-23 に示した。2003 版とほぼ同等の数値が得られた。



図表 8-23 ストレージセルキャパシタ絶縁膜

e) DRAM アンケートのまとめ

①DRAM ハーフピッチ

2004 年版と同じ

②セル・エリアファクターとセルサイズ

2 社目が $6F^2$ レイアウトを採用する時期は 2008 年、 $4F^2$ の登場は無し。

③エリアサイズファクター

セルエリアファクター縮小の遅れにともない縮小。

2007 年まで 63%、2008 年以降 56%。

④TC キャパシタ絶縁膜

キャパシタ絶縁膜の薄膜化は 2004 年版と同等。

8-5 不揮発性メモリの開發現状調査と 2003 年版との比較

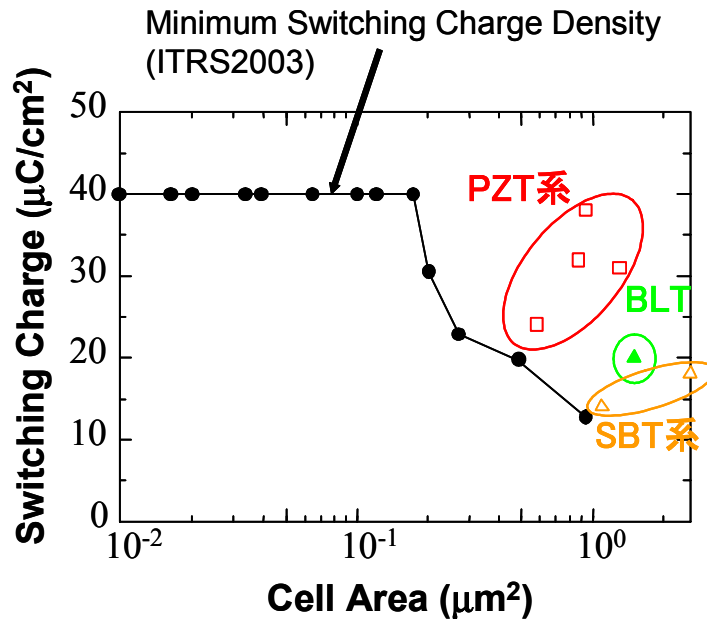
8-5-1 FeRAM

FeRAM の表は、2004 年版では大きなアップデートはなかった。2001 年版と 2003 年版を比較すると、2001 年版は製品出荷または製品出荷表明にほぼ沿ったロードマップであったが、2003 年版は学会発表を含めた技術発表に沿ったものとなっている。ITRS は製品出荷のデバイスについて表を作成するのが原則であるが、2003 年版が技術発表を元に行っている理由はいくつかある。もっとも大きな理由としては、現在、もっとも大きな容量(64Mb)ではコストに見合った市場が小さいため製品化を見送っている場合が多いと予想される。その場合、製品出荷のみを拾っては、技術の進歩が表に現れず、技術ロードマップとは言えなくなる。また、将来の市場形成を予測するのは困難であるし、ITRS の趣旨から外れると思われる。また、同様の観点から MRAM は技術発表を元にした表を 2003 年版から掲載している(米国サイドで作成)。

このような理由より、2004 年版も 2003 年版を受継いだため大きな変更はなかった。しかし、学会などの技術発表と比較しても、2005 年で既にずれが生じるであろう項目も見受けられる(セル面積など)。これらの検討を行い 2005 年版でアップデートする必要があると考えられる。

技術的な動向で問題になるのは、Minimum Switching Charge であろう。Switching Charge が 2007 年には $40 \mu C/cm^2$ になりそれが材料の限界としてキャパシタの 3D 化が始まると予想している。しかし、現実には図表 8-24 に示すように、一番大きな PZT 系材料でも $30 \mu C/cm^2$ 台にとどまっており、キャパシタの縮小に伴うエッチングダメージなどの影響や低電圧化などの影響で逆に Switching Charge は小さくなってきている。もちろん材料研究も進んでおり、バルクでは $100 \mu C/cm^2$ 近い値を示す PZT 系では $40 \mu C/cm^2$ 以上の Switching Charge を持つキャパシタの発表も期待できるが、Fatigue や Imprint 特性などすべての要求を満たすためには、現状この値は少し難しいといえる。一方、2003 年ごろから 3D キャパシタの研究発表が目立つようになり、すでにプレーナーに比べ 1.5 倍程度の Switching Charge を測定している例もある。3D キャパシタの研究動向を見て Minimum Switching Charge の値も再検討する必要がある。

また、Minimum Switching Charge はセル動作に必要な最小限な電荷量を計算により求めた値である。これは 2001 年版作成時に、1999 年版の DRAM における発生電荷量を計算したものを元に行っている。その結果ビットラインの電圧変化 $\Delta V_b = 140mV$ をセル動作の条件とした。しかし、2003 年版の DRAM の表で計算すると値がずれてきていることがわかった。これは、DRAM が長い Retention Time を要求されつつあるため、放電による損失を考慮しているためだと考えられる。しかし、FeRAM の場合、データ保持には電荷量が必要でないためこのような損失によるマージン増加は考慮する必要がない。センスアンプの能力+マージンを考えると $\Delta V_b = 140mV$ は妥当であると考えられる。



図表 8-24 Minimum Switching Charge とセル面積

動作電圧については、キャパシタの低電圧動作が進んでおり、予想を若干上回るペースで低電圧化している。しかし、1V 以下にするのは技術的にかなり難しくなると予想される。薄膜化することにより分極飽和電圧は下がるが、飽和分極値自体が下がってしまう傾向がある。Bi 系は PZT 系より薄膜化による飽和分極値の減少が小さいといわれているが、分極値そのものが小さいため前述の Minimum Switching Charge とあわせて考えると両立は難しい。解決策としては PZT 系で分極値の減少無しに薄膜化をするか、Bi 系の飽和分極値を大きくするか、全く別の材料が開発されるかである。この種の研究報告はいくつか聞かれるが、今のところ明確な答えは見えていない。メモリセル内の昇圧も考慮に入れる必要が出てくる可能性もある。

Endurance に関しては、ロードマップでは 2006 年より $1\text{E}16$ 回以上となっている。書き換え無制限の製品も出ているが、他のすべての項目を満たしての書き換え無制限はまだ実現していない。キャパシタの実力としては不可能ではないが、問題となるのは評価方法である。Endurance に関しては温度加速係数が小さいため加速試験が難しい。試験方法の確立がこの項目を左右すると思われる。

最後に、FeRAM の場合、他のメモリではすでに価格が下がってしまっている容量が現在の主戦場となっているため、技術的な面より市場性の問題が製品化の足かせになっている例が多い。低消費電力性を活かしたような FeRAM としてのキラーアプリが登場するか否かによりロードマップの内容も変わってくるといえる。キラーアプリが登場し、各社が揃って商品化をすることを期待したい。

8-5-2 MRAM 開発の現状

不揮発性 RAM への期待

携帯電話や PDA に代表されるモバイル機器の普及により、場所や時間を気にせず情報にアクセスすることが可能になっている。微細化が進むにつれ SRAM のリーク問題が顕在化しており、その対策が急務となっている。それらのシステムニーズや微細化 SRAM の課題に応えるために不揮発性 RAM が検討されている。MRAM (Magnetic RAM) はその有望な候補のひとつであり、高速性、大容量性、低電圧性、高書き換え耐性などのポテンシャルの高さから、各社が研究開発を進めている。図表 8-25 に各社の MRAM 開発の比較を示す[1-6]。

現在、MRAM の開発状況は、Freescale がサンプルを提供開始するなど、実用化にむけ着実に基盤技術が

構築されている。しかしながら量産化に対応するには、セル設計技術、作製技術など、さらなる高度化が必要である。特に磁性薄膜の多層構造からなる MTJ は従来の半導体 LSI とは全く異なる材料系であるため、その成膜技術や加工技術の高度化は重要である。ここでは MRAM 開発の現状とその技術ロードマップについて述べる。

MRAM 開発の現状

MRAM は磁気トンネル接合 (MTJ: Magnetic Tunneling Junction) を基本とするメモリである。MTJ の構造は自由強磁性層 (フリー層) と固定強磁性層 (ピン層) と呼ばれるふたつの磁性層の間に薄い絶縁膜 (トンネルバリア層) を挟んだもので、トンネルバリア層として一般的にアルミニウム酸化膜が用いられる。ふたつの磁性層は外部磁界により磁化され、その磁化方向は磁場を加えない限り安定に保存され、不揮発性メモリとして機能する。フリー層の磁化方向を、ふたつのデータ "1" と "0" に対応させる。MTJ のピン層の磁化方向とフリー層の磁化方向が、平行か反平行かの違いによって、MTJ の垂直方向に流れる電子のトンネル確率に違いが生じ、結果として磁気抵抗値に違いが生じる。この抵抗値の変化率を磁気抵抗比 (MR 比) と呼ぶ。MTJ の磁気抵抗値の違いを検知することで、データが "1" か "0" か、を読み出すことができる。

MRAM の基盤技術として重要なものは、①MTJ 作製技術、②集積化プロセス/回路技術、③書き込み電流低減技術、④ディスタブプロバスト技術、などである。

①MTJ 作製技術

MTJ の課題としては、スイッチング磁界や抵抗値のバラツキ抑制、MR 比の向上、耐熱性の向上などがあげられる。MRAM を大容量化するためには回路パラメータのバラツキをいかに小さくするかが非常に重要である。MTJ の場合、磁化反転するスイッチング磁界がばらつくと、同一電流で正しくデータを書き込むことが出来なくなり、歩留まりの低下につながる。バラツキの原因としては、MTJ 端部や磁性層界面での磁性膜の磁化特性の劣化や、MTJ 形状のバラツキなどが考えられる。読み出しの場合は、データ "1" とデータ "0" に相当する抵抗値のバラツキが読み出し時の動作マージンを決定する。均一なトンネルバリア膜厚を実現する手法が非常に重要である。トンネルバリアはアルミニウムを均一に酸化することで作られるので、アルミニウム膜を均一に作製する技術と均一な酸化膜を作製する酸化方法が重要になる。

MR 比は出力信号の大きさを決め、その向上はセンス回路の動作マージンを拡大し、さらにアクセス時間の短縮にも効果的である。通常用いられているアルミニウム酸化膜の MTJ の場合、最大で 70% 以上の MR 比が報告されていたが、最近、MgO バリアを用いて、最大 200% 以上の MR 比が可能であることが報告された[7]。ただし、MR 比はバリアの膜質とそのその上下の磁性膜により決定されるが、磁性膜はスイッチング磁界の大きさなどを決定するため、MTJ トータルとしての材料設計が重要であることは言うまでもない。

SoC 応用などを考えると、MTJ のプロセス温度耐性が重要となる。金属薄膜の場合、構成金属の拡散により膜質の低下が懸念されるが、最近では界面の平滑性向上、あるいは拡散防止膜の採用などにより図表 8-26 に示すように 300℃ 以上の温度耐性が示されている[8]。

②集積化プロセス/回路技術

MRAM の集積化プロセスで重要な課題は、素子分離技術である。半導体で一般的に用いられる RIE では磁性体加工は困難であるため現状では、イオンミリングが使用されている。イオンミリングは加工形状制御、微細化対応など LSI への適応には課題は多いが、ミリング条件の最適化などによりメガビットクラスに対応できる制御性が確立されている。

回路技術ではクロスポイント型での新しい報告がなされた。クロスポイント型セル構成は、配線の交点に MTJ を置くだけの構造であり、原理的には多層化も可能であり、大容量化の期待もある。しかし、読み出し時に内部でノイズが発生するため、出力信号を効率よく読み出す工夫が不可欠である。4つの MTJ に1個のトランジスタを配置した階層ビット線構造でこの問題の解決が図られ、アクセシブル時間 200 ナノ秒が実証された[1]。また高速型の 1MTJ1トランジスタ型のセルでは 143MHz という高速読み出しも確認され、MRAM の高速性が

実証されている[6]。

③書き込み電流低減技術

MRAM セルではフリー層の磁化反転のためにビット線、ワード線に流れる電流が誘起する磁界を用いて書き込みを行う。この電流-磁界変換効率を上げ、書き込みに必要な電流値を下げるのが重要な課題となっている。電流-磁界変換効率を上げる方法として、配線の周りを磁性体で被覆する磁性被覆配線(ヨーク配線)が提案されている。図表 8-27 はその配線の断面写真を示す。約 1/2 の電流低減効果が示されている[1,2]。

④ディスタブロボラスト技術

MRAM セルの書き込み動作は、MTJ フリー層のスイッチング磁界のしきい値特性(アステロイド曲線)を利用して行われる。しかしながら、MTJ スwitching磁界の特性バラツキにより、書き込み領域が狭まった場合には、ビット線あるいはワード線のみで磁界だけで磁化反転するセルが発生してしまい、歩留まりの低下につながる。これが書き込みの場合のディスタブと呼ばれ、MRAM の解決すべき大きな課題のひとつとなっている。

この課題の対策のひとつとして MTJ の形状を最適化し、書き込みマージンの広いアステロイド曲線を得ることが提案されている[9、10]。図表 8-28 に提案された MTJ 形状とその時のアステロイド曲線をします。また磁気結合の弱い積層フェリ構造をフリー層に用いるトグル方式の提案もある[2]。これらのディスタブロボラスト技術は大容量化のための MRAM 固有のキーテクノロジーである。しかしながらそれぞれに形状の制御性あるいは書き込み電流値の増大という課題があり、今後の課題解決が重要である。

MRAM ロードマップ

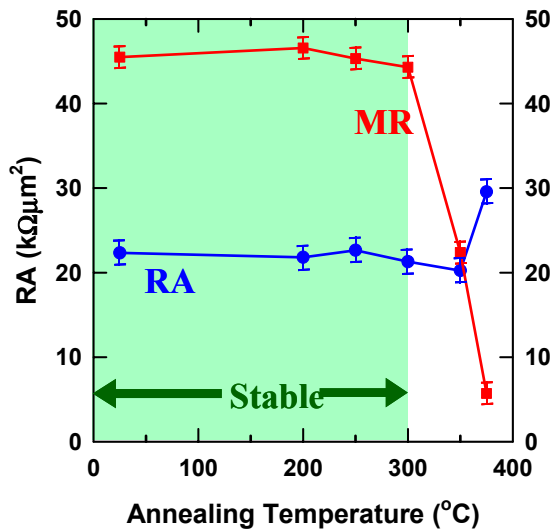
MRAM のロードマップを作成するにあたり、留意すべき点は、現状の性能を制限しているものが MRAM 自体の問題か、あるいは開発環境にあるのかという点である。製品化されていない新デバイスにとって、ロードマップは性能を予測するものであっても、それが実現されるか否かは技術以外の環境が大きく左右することを考慮せざるを得ない。従って、MRAMは4Mbitのサンプルが提供されているが、技術ロードマップ上で技術限界を議論するデータベースとしては、現段階ではサンプルデータよりも学会データが適当であると考えられる。その視点に立って見直したロードマップを図表 8-29 に示す。

参考文献

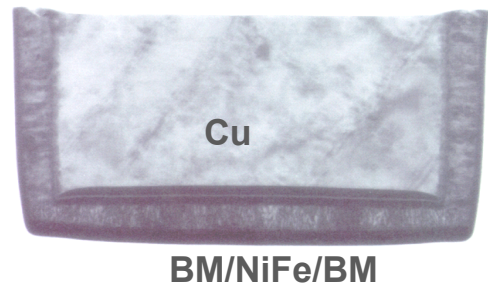
- [1] Y.Asao, et al., Technical Digests of International Electron Devices Meeting 2004.
- [2] B. N. Engel, et al., IEEE Trans. on Magn. Vol.41, NO. 1, 2005.
- [3] J. DeBrosse, et al., Digest of Technical Papers of Symposium on VLSI Circuits, 2004.
- [4] J. H. Park, et al., Technical Digest of IEEE International Electron Devices Meeting, 2003.
- [5] M. Motoyoshi, et al., Digest of Technical Papers of Symposium on VLSI Technology, 2004.
- [6] T. Tsuji, et al., Digest of Technical Papers of Symposium on VLSI Circuits, 2004.
- [7] S. Yuasa et al., Nature Materials 3, 868 - 871 (01 Dec 2004) Letters
- [8] S.Ikegawa et al., Technical Digest of SSDM 2004.
- [9] K. Ounadjela, et al., "Write Data Issues For Making Functional 256kb MRAM Parts", 9th Joint MMM/Intermag Conference, GE-01, 2004
- [10] T. Kai et al., Technical Digest of Technical Papers. International Electron Devices Meeting 2004

図表 8-25 各社の MRAM 開発状況

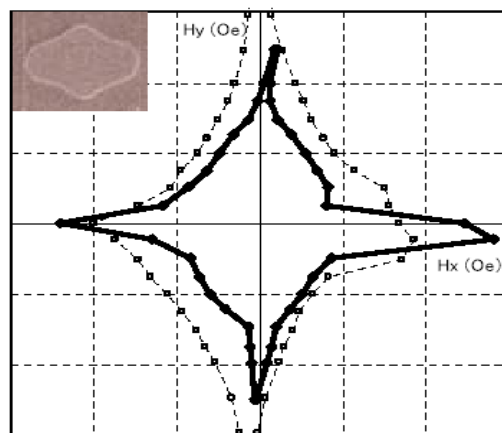
	技術レベル			
	セルサイズ ($\mu\text{m}^2/\text{bit}$)	容量	磁性体被覆 配線技術	Disturb Robust
NEC/東芝[1]	—	1M	yes	—
Freescall[2]	1.55	4M	yes	Toggle
IBM/Infineon[3]	1.4	16M	no	—
三星[4]	2.06	64K	no	C-S
Sony[5]	2.07	1M	yes	Toggle、C-S
ルネサス[6]	0.81	1M	no	No



図表 8-26 MTJ 特性(MR 比、抵抗値)のアニール温度依存性



図表 8-27 ヨーク配線構造の断面写真



図表 8-28 NEC/東芝から提案された MTJ 形状とその時のアステロイド特性

図表 8-29 MRAM ロードマップ *：FS社 #：R社

Year of Production	2003	2004	2005	2006	2007	2008	2009	2010	2013	2016
MRAM technology node - F (nm)	180	130 180* 130#	90	90	65	55	50	45	32	22
MRAM cell size -area factor a in multiples of F2	24.7	23.7 47.8 * 47.9 #	24.7	22.2	22.2	22.2	22.2	22.2	22.2	22.2
MRAM typical cell size (um2)	0.8	0.4 1.55 * 0.81 #	0.2	0.18	0.09	0.07	0.06	0.04	0.02	0.01
MRAM endurance (erase/write cycles)	>1E15	>1E15	>1E15	>1E15	>1E15	>1E15	>1E15	>1E15	>1E15	>1E15
MRAM nonvolatile data retention (years)	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10
MRAM switching field (Oe)	50	60	80	70	90	100	110	120	120	120
MRAM write energy (pJ)	150	100	70	70	50	45	40	35	25	20
MRAM active area per cell (um2)	0.28	0.2 0.4x1.0* 0.24x0.48#	0.11	0.1	0.05	0.04	0.03	0.03	0.01	0.01
MRAM magnetoresistance ratio (%)	45	45 40* ?#	50	50	60	60	60	60	70	70
MRAM endurance tunnel junction reliability	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10

8-6 Emerging Research Materials (ERM)

8-6-1 ERM のスコープと検討の背景 MOSFET の微細化限界が議論され、性能の飽和が懸念されている状況の中で、従来にない新しいデバイス構造やアーキテクチャの導入の必要性が指摘されている。これに応えるため、ITRS では、2001 年度版より PIDS の章の中に Emerging Research Devices (ERD) の章を設け、将来のデバイス技術の方向性を提示している。更に、2004 年版(2003 年度 Update 版)では、Emerging Research Materials (ERM) の節が、EDR の章の中に新たに設けられた。

ERM のスコープは、ERD を実現するために必要な材料物性・作製技術・評価技術を明確化することであると謳われている。ここで注意すべき点は、CMOS 技術の延長線上にある ERD メモリや ERD ロジックに関する材料技術は、ITRS の他のセクションで述べられるので、この ERM では扱わない、とされていることである。バルク Si CMOS の更なる微細化と性能向上を図るための新 CMOS 構造は、ノンクラシカル CMOS と呼ばれ、これまで、ERD のセクションで扱われてきた。しかしながら、90nm ノードでのひずみ Si の導入に代表されるように、ノンクラシカル CMOS は、今後のトランジスタ技術に重要な位置を占めることが予測されており、これを背景として、ITRS2005 年版では、ノンクラシカル CMOS は、PIDS や FEP で記述される予定となっている。このことから、ERM はノンクラシカル CMOS のための材料は扱わない。この他、浮遊ボディ DRAM などの CMOS 技術ベースの材料で実現できる素子や相変化メモリも、やはり他のセクションで扱われることから、対象外としている。結果として、ERM において対象とする主なデバイスは、以下のとおりである。

メモリ： ナノ浮遊ゲートメモリ、単一／少数電子メモリ、絶縁体抵抗変化メモリ、分子メモリ

ロジック： 高速単一磁束量子(RFSQ)、1次元構造素子、共鳴トンネル素子(RTD)、単一電子トランジスタ(SET)、分子デバイス、量子セルラーオートマタ(QCA)、スピントランジスタ

以上のことから、ERM では、CMOS を越える新しいデバイスのために最適な材料探索に対して、道筋をつけることが意図されている、と言える。CMOS 技術の限界が見え始め、何らかの点で CMOS を越えるようなデバイスを実現する上では材料による革新が不可欠と考えられる一方、新材料を実用的なデバイスとして使いこなすには多大な時間を必要とする。このため、系統的・組織的・効率的な探索を、国際的に行う必要があるという認識が背景にある。加えて、近年研究開発が活発になっているナノテクノロジー技術を、LSI の革新に効果的に

活用したいという狙いもあるものと思われる。

8-6-2 2004 年 update 版に盛り込まれた内容

2004 年 update 版に初めて設けられた Emerging Research Materials (ERM) の節は、背景説明に加え、“CRITICAL MATERIALS PROPERTIES”, “MATERIAL SYNTHESIS”, “CHARACTERIZATION”, “MODELING & SIMULATION”の各項目から構成され、それぞれの ERM での位置づけが簡単に述べられている。また、新たに 2 つの表、“Table ERM- 1 Emerging Research Materials Difficult Challenges” と “Table ERM-2 Critical Material Properties” が加えられている。図表 8-30 に、Critical Material Properties の表を示す。ERM での最も困難な課題は、ナノメートル領域でのデバイス動作を可能にする材料物性を特定することである、という認識から、この表では、まずメモリやロジック動作の実態を担う素子の内部状態の特定とその状態をスイッチすることを可能にする物理機構の整理を行っている。

Table ERM-2 Critical Material Properties ADDED

State Variable	Mechanisms to change state	Bulk Material Critical Properties	Interface Material Critical Properties
Charge transport or charge state	Bias voltage	Mobility, saturation velocity, density of states	Work function, interface energy barrier height, fixed charge, charge trapping, leakage current, interface scattering
Spin State	External magnetic field, electric field, polarized photons, chemical bonding, Rashba and or Dresselhaus effect, EM Pulses	<u>Semiconductor</u> : relaxation times, magnetic noise field, isotopic purity <u>Ferromagnet</u> : T_{Curie} , Spin intensity, minimum domain size	Spin relaxation at interface, spin selectivity of the interface barrier
Solid State Phase	Voltage, temperature, stress, Coulomb moderated Exchange interactions	Property change with phase, min. "domain" size, chemical constituents, reversibility and stability of phase change, transition temperature	Interface stability
Molecular charge transport configuration	Bias field, chemical environment, stress, EM radiation	Magnitude of conductance (charge transmission) change with stimulus, speed, length of property change, reversibility	Interface stability in process & use, contact resistance
Quantum State (Qbit)	wavefunction overlap, Magnetic Field, RF fields	Retention time of a qubit state, defect levels, isotopic purity, structural uniformity	Low decoherence from interface materials and defects
Magnetic Flux quanta (RSFQ)	Critical current	Critical temperature, T_c	Interface uniformity
Mechanical State	Voltage, Magnetic Field, stress	Young's Modulus, Fatigue resistance	Interface adhesion force, interface charge trapping

図表 8-30 ERM の節に初めて盛り込まれた「特徴的な材料物性」に関するテーブル

8-6-3 今後の課題

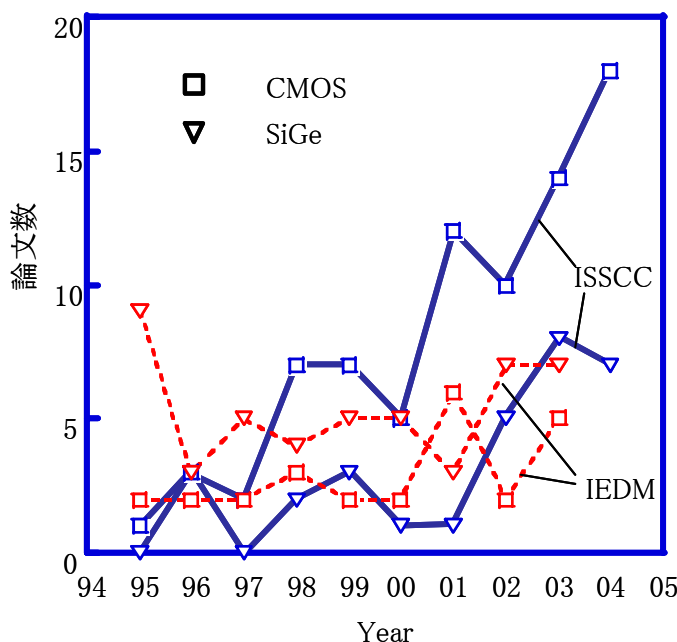
2004 年度の ITRS 活動の中では、ERD の個々の候補デバイスに対して、必要な材料物性、候補材料、鍵を握る材料物性、集積化上あるいは製造上の課題などが議論されたが、まだ十分議論が煮詰まっていない状況であり、2004 年版では抽象的な記述に留まっている。今後、ERD、ERM、ERA (Emerging Research Architectures) の間で密接に議論し、その具体的な内容の検討が進められていくことになる。

8-7 Wireless/RF 関連デバイス

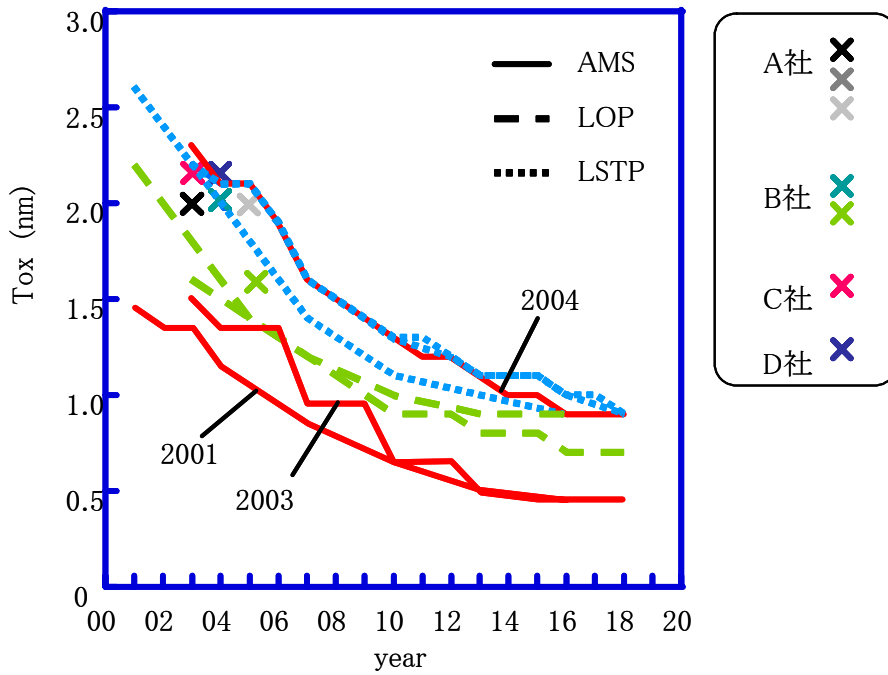
2004 年版のロードマップはマイナー修正の年にも関わらず Analog and Mixed Signal (AMS)の章では、near term のテーブルから大幅な変更が加えられた。wireless 関係のデバイスは、2003 年版で初めて PIDS から独立し、新たな章となったが、まだロードマップとしての整理が、十分になされていないことを示すものになっている。ここでは、この修正の背景および AMS デバイスに予測される課題についてまとめる。

最近の RF デバイスの推移をみるため、デバイスの主要学会である International Electron Device Meeting (IEDM)と、回路の主要学会である International Solid State Circuit Conference (ISSCC)における、RF デバイスについての発表をまとめたのが図表 8-31 である。デバイスでは BiCMOS の開発が依然として重視されているが、回路では CMOS を用いた RF 回路の設計が活発になってきていることがわかる。90nm ノードにおいて CMOS の性能が SiGe BJT に肉薄してくること、また、CMOS を用いた場合、実装面積を小さくでき、コストを低減できることが、この原動力になっている。そのため、ロードマップの AMS Potential solutions において、2007 年には BiCMOS が全て RFCMOS に統合されることを予測している。一方、Bipolar デバイスは、RF Transceiver における SiGeC HBT の低ノイズ性、高速性を生かした回路が今後も必要と考えられ、それに応じてデバイスの高周波性能も向上するものと思われる。高速化にはエミッタサイズの微細化とともに、ALE (Atomic Layer Epitaxy) を用いた縦方向のプロファイルのスケーリングが必要と考えられる。

AMS のプラットフォームに対応する analog high speed デバイスと、PIDS の章にまとめられた LOP および LSTP デバイスのゲート絶縁膜厚推移予測を、図表 8-32 に示した。2001 年、2003 年、2004 年版ロードマップ予測を、重ねてプロットしている。また、実際に発表された値をデータ点としてプロットしている。LOP および LSTP では、緩やかな変更が行われてきたのに対して、AMS では、ゲート絶縁膜の急速な薄膜化から、緩い減少へと、予測を切り替えてえている。これは、2001、2003 年版では、HP や LOP を念頭にロードマップが作られていたのに対し、2004 年版では LSTP を踏襲する形になってきたためである。RF 回路では、Dynamic Range を確保するため、電源電圧の急激な低減は行われず、ゲート絶縁膜厚等についての予測の大幅な修正となった。



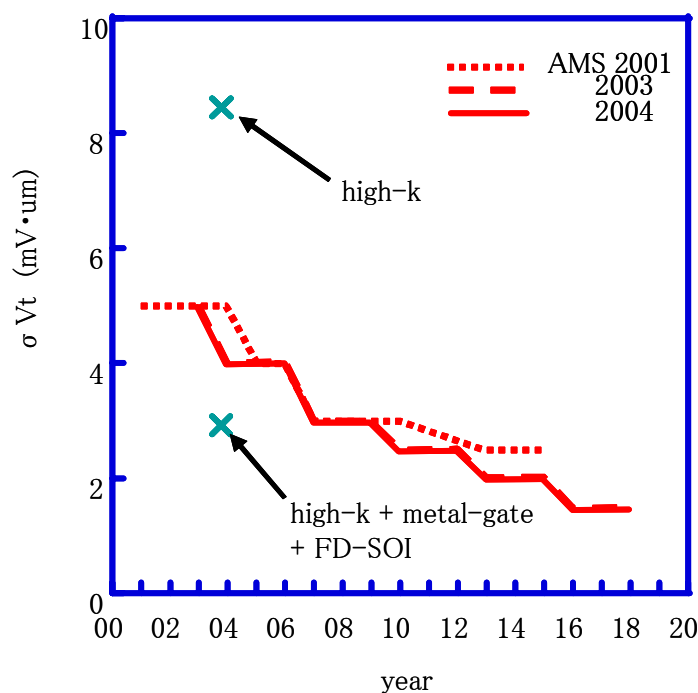
図表 8-31 主要国際学会発表にみる RF デバイスの推移



図表 8-32 ITRS の AMS テーブルにおける絶縁膜厚 RM の変遷と各社の仕様データ

LSTP を踏襲することを考えるうえで、PIDS が示唆しているテクノロジブースターの導入が、AMS にとっても重要なポイントとなる。near term においては、主としてリーク電流の低減から strained Si、high-k、metal gate の導入が考えられている。strained Si の導入は、移動度の向上を目指すものである。低電流下において大きな Gm を得ることが RF 性能向上の重要な指標になるため、AMS デバイスにも合致したものである。但し、strained Si を用いることで、低周波ノイズが上昇することが報告されており、設計上の課題となる。

high-k の導入については、移動度の低下、低周波ノイズの上昇および閾値設定を、課題として挙げるができる。移動度低下および低周波ノイズは、絶縁膜の最適化や strained Si の導入を併せることで改善できることが報告されている。RF 応用では、飽和領域で使用するため、低い閾値設定が求められること、また、差動を広く用いるため、閾値のミスマッチについては厳しい要求がなされることになる。図表 8-33 に AMS の求める閾値ミスマッチの予測推移を示した。high-k ゲート絶縁膜の導入は、ミスマッチの劣化を招くため、FD-SOI や metal gate の併用による改善が提案されている。また、high-k ゲート絶縁膜は Fermi-level pinning 等により、閾値に影響を与えることが報告されている。metal gate の導入も仕事関数・閾値に強く影響するため、今後、閾値の設定が AMS の重要な課題になるものと考えられる。



図表 8-33 ITRS の AMS テーブルにおける σV_t の変遷

8-8 まとめと今後の課題

WG6 は 2004 年度において 2005 年版 ITRS 作成に向けた現状調査を主な活動として行ってきた。具体的な活動としては、1) 2005 年版 ITRS 作成に向けて、ロジック用トランジスタ、DRAM、不揮発性メモリ(Flash、FeRAM、MRAM)の調査、2) ロジック用トランジスタロードマップ作成のベースとなる性能指標算出のためのトランジスタ容量モデルの精度アップ、3) 今後ますます深刻になるトランジスタ特性のばらつきに関して、SRAM のノイズマージンへの影響調査、4) 2005 年版に向けて ERM (Emerging Research Material) と AMS (Analog & Mixed Signal) の現状調査、などである。

ロジック用トランジスタの調査を元に、待機時低消費電力用および高性能用途のトランジスタのロードマップを再考した。ロジック用トランジスタのロードマップは、微細化による性能向上をベースとして作成してきた。しかし、ゲート長の微細化ペースの加速が限界にきていること、微細化に必要なゲート絶縁膜の薄膜化、浅い接合形成などの開発ペースの鈍化、低消費電力化への強い要請による継続した電源電圧の低下とサブスレシールドリーク電流の抑制、微細化に伴うキャリア移動度の劣化、寄生抵抗/容量の増大、などトランジスタの性能向上を阻害する要因が顕在化しつつある。このため、2003 年版では微細化だけに頼らず、Technology Booster と呼ばれる微細化以外の性能向上技術を五月雨式に導入して、何とか従来の性能向上率を維持するロードマップとした。2004 年度の活動はこれらの Technology Booster の中でも研究開発の歴史が長い SOI について、これを採用しない場合の性能のケーススタディを行った。LSTP 用トランジスタについても、年率の性能向上率を抑えるシナリオを検討した。これらに共通することは、従来からの性能向上率を維持するロードマップだけではなく、より現実的なロードマップを WG6 から提案したいためである。昨年の報告書でも書いたが、ロードマップが近い将来、曲がり角にさしかかっていることを示唆している。微細化という指導原理から、Technology Booster の導入という指導原理に急激に移行する 2003 年版ロードマップに対して、より現実路線のロードマップの必要性を感じる。

DRAM に関しては 2005 年版作成に向けたエビデンスとする目的で、世界の DRAM チップサプライヤへのアンケートを実施した。その結果、2005 年版ではハーフピッチは 2003 年版と同じ、 $6F^2$ レイアウトを採用する時

期は 2008 年、 $4F^2$ の登場は無し、キャパシタ絶縁膜の薄膜化は 2003 年版と同等、などの傾向が見られた。2005 年度は今年度の調査をベースに WG6 でロードマップ案を作成し、各極と議論し 2005 年版 ITRS ロードマップを作成していく。

不揮発性メモリ(Flash、FeRAM、MRAM)に関しては、2005 年版作成に向けて現状調査を行った。FeRAM および MRAM のロードマップ作成においては、他のデバイスの場合と異なり、2003 年版と同様に学会発表を含めた技術発表に沿ったもので作成すべきかを、他の WG と議論中である。また、FeRAM においては、学会などの技術発表と比較しても、2005 年で既にずれが生じるであろう項目も見受けられる(セル面積など)。これらの検討を行い 2005 年版でアップデートしていく。