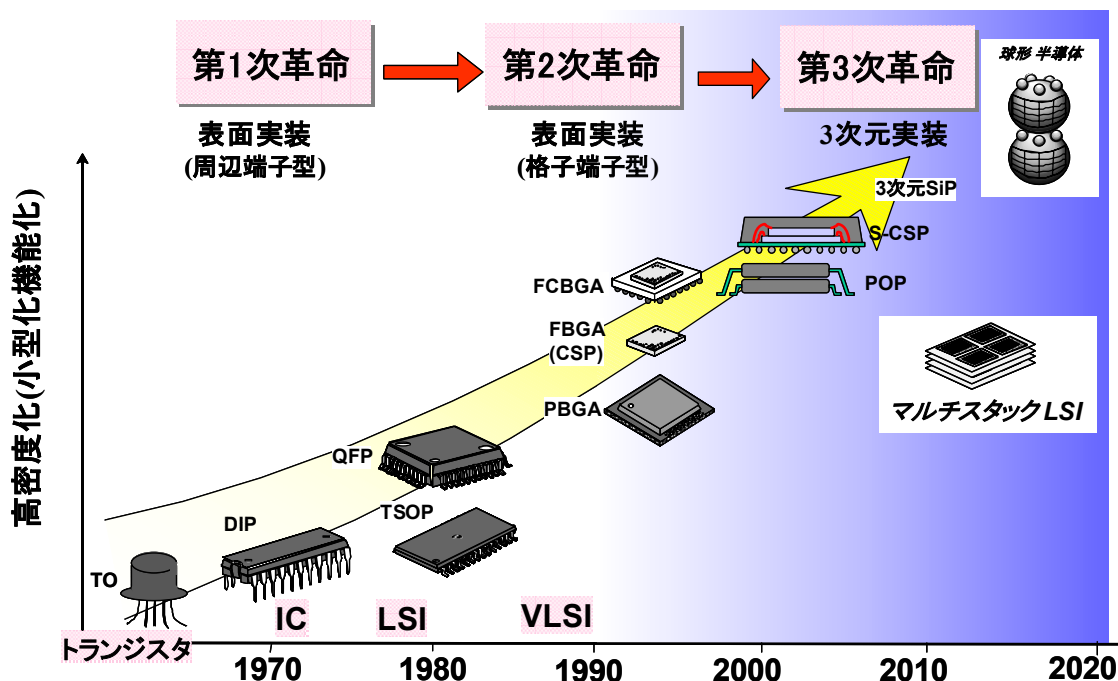


## 第9章 WG7 実装

### 9-1 はじめに

WG7 は半導体パッケージの動向調査を担当しているが、JEITA の電子デバイス実装技術委員会実装技術ロードマップ専門委員会の WG3(半導体デバイス)と一体で活動している。実装技術ロードマップ専門委員会では隔年で「日本実装技術ロードマップ」を発行しており、本年 5 月に 2005 年度版のロードマップを発行予定である。2004 年度は 2005 年度版ロードマップ発行に向けて、まずアンケート調査を行い、その結果を基にして議論を行い、ロードマップの見直しを行った。アンケートは半導体メーカー・組立専門メーカーの計 31 社に依頼し、13 社から回答を頂いた(回答率:42%)。その後、アンケートの集計結果を参考にして WG 内でロードマップの議論を行った。一部でアンケート結果をそのまま掲載した部分もあるが、基本的には WG で作成したものであり、その内容に関する責任は WG に帰する。本章では、「2005 年度版日本実装技術ロードマップ」<sup>1)</sup>の半導体パッケージに関する部分の概要を紹介する。

電子機器の高速通信化・大容量処理化・多機能化・携帯化が進む中、半導体デバイスの高速化と大集積化はまずプロセスの微細化により推進されてきた。さらに、半導体集積回路用パッケージの表面実装技術の進展により、高密度実装化・携帯化が実現されてきた。半導体パッケージの一般的な動向を図表 9-1 に示す。1970 年代後半に現れた QFP(Quad Flat Package)や SOP(Small Outline Package)に代表される周辺端子型の表面実装用パッケージが多ピン・高密度化対応で実用化(第1次革命期)されて久しいが、1990 年に入ってから多ピン対応のパッケージとしてエリアレイ端子型の表面実装パッケージである BGA(Ball Grid Array Package)や超小型対応の CSP(Chip Scale Package/Chip Size Package:チップサイズに近い小型パッケージの愛称)が出現した。さらに高速化対応のための技術として、短配線長化を実現できるワイヤレス接続技術(FCB(Flip Chip Bonding)や TAB(Tape Automated Bonding)等)も導入され、各種の BGA/CSP 構造が開発・量産化されるなど、目覚ましい発展を遂げてきた(第2次革命期)。特に日本から提案された CSP は携帯電子機器用途の小型パッケージとして急速に世界に広まり、究極の 2 次元パッケージとして時代の寵児的観があったが、さらに 1990 年代末より3次元化による高密度化が進展している。



図表 9-1 半導体パッケージの動向

## 9-2 各種パッケージ技術

### 9-2-1 QFP (Quad Flat Package)

実装基板やソケットの狭ピッチ化や基板実装技術の進歩とともに、QFP の端子ピッチの狭ピッチ化が進められ、高密度実装化が図られてきた。図表 9-2 に QFP の動向を示す。最小端子ピッチは、2004 年で 0.4mm であるが、2008 年には 0.3mm が量産されると予測される。しかしながら、0.3mm ピッチ未満のソケット技術が困難であることや細いリードが曲がり易いため基板実装技術も格段に難しくなることから、QFP については 0.3mm ピッチが限界と予測される。

最大外形寸法としては 40mm×40mm までが量産されており、High-performance 用途では 500 ピンを越える要求があるものの、全般的には 0.3mm ピッチで最大端子数 480 ピンまでが量産されると予測される。また、最大端子数の約 6～7 割が信号ピンとして使われる。QFP においては狭ピッチ化によって多ピン化もしくは小型化が進むものの、高速化への対応は困難なため、信号端子数の比率は約 6 割と変わらないと推定される。一方、最小取り付け高さは現在 1.2mm であるが、今後も低背化が進み、2012 年には 0.8mm になると予測される。

項目	2004年	2006年	2008年	2010年	2012年	2014年
最小端子ピッチ (mm)	0.4	0.4	0.3	0.3	0.3	0.3
最大端子数(信号+電源)	360	360	420	420	480	480
最大信号端子数	240	240	280	280	320	320
最小取り付け高さ (mm)	1.2	1.2	1.0	1.0	0.8	0.8

図表 9-2 QFP の動向

### 9-2-2 P-BGA (Plastic Ball Grid Array Package)

P-BGA の動向を図表 9-3 に示す。ここで示す P-BGA は、安価な PWB (Printed Wiring Board ; プリント配線板) に実装することを基本とした、外形サイズが 21mm×21mm 以上の多ピン BGA である。パッケージのインターポーザ(サブストレート)は多層の有機樹脂基板が使用される。最小端子ピッチは現在 1.0mm であるが、徐々に狭ピッチ化が進み、2006 年には 0.8mm ピッチ、2010 年には 0.65mm ピッチになると予測される。

狭ピッチ化に伴い、端子数も増大する。現在、2400ピン程度の P-BGA が量産されており、2014 年には 4000 ピンを超えると予測される。このような多ピンの P-BGA はハイエンドのサーバ等に用いられるシステム LSI を搭載しており、信号端子数は最大端子数の約 50%を占めている。P-BGA の最小取り付け高さは、搭載される電子機器の小型・薄型化の動向に合わせて徐々に低背化が進むと予測され、2012 年には多ピン P-BGA においても 1.0mm 高さになる。一方、実装信頼性やコストを考慮して、P-BGA の外形サイズは最大 45mm×45mm 程度に収まると予測される。

項目	2004年	2006年	2008年	2010年	2012年	2014年
最小端子ピッチ (mm)	1.0	0.8	0.8	0.65	0.65	0.65
最大端子数(信号+電源)	2400	2600	2800	3000	3600	4200
最大信号端子数	1200	1300	1400	1500	1800	2100
最小取り付け高さ (mm)	1.7	1.4	1.4	1.2	1.0	1.0

図表 9-3 P-BGA の動向

### 9-2-3 FBGA (Fine-pitch Ball Grid Array Package)

携帯電話を始めとする携帯用電子機器で積極的に用いられている CSP は、Chip Scale Package もしくは Chip Size Package の略で、チップサイズに近い小型パッケージの愛称である。各社、種々の外形・構造の CSP を生産もしくは提案しているが、主な CSP としては、BGA タイプの FBGA (Fine-pitch BGA)、LGA (Land Grid Array Package) タイプの FLGA (Fine-pitch LGA) およびノンリードタイプの QFN (Quad Flat Non-leaded Package) があり、以下にこれらの動向を説明する。

はんだボールのピッチが 1.0mm 未満で、外形サイズが 21mm×21mm 以下の小型 BGA を FBGA と呼ぶ。特に Hand-held 製品用途に、高密度実装を目的として開発された小形パッケージである。インターポーザとして有機基板やセラミック基板やポリイミドテープが用いられ、チップとの接続方法もワイヤボンディングや TAB 接続やフリップチップ接続等、種々の構造があるが、ここでは外形的な動向に限定する。FBGA の動向を図表 9-4 に示す。現在、0.4mm ピッチの FBGA が量産されているが、2006 年には 0.3mm ピッチ、2008 年には 0.2mm ピッチと徐々に狭ピッチ化が進み、2010 年には 0.15mm ピッチの FBGA が量産されると予測される。但し、狭ピッチ化実現のためには、はんだボール形成技術の進展だけではなく、狭ピッチ化に対応したインターポーザやテスト用ソケットなどのインフラ技術の開発が必須である。

一方、はんだボールの狭ピッチ化およびボール列数の増加により、端子数は増大していく。現在、最大端子数は 400 ピン程度であるが、徐々に増加し、2014 年には 1000 ピン程度まで増加すると予測される。そのうち、約 70% が信号で、残りが電源・GND になると予測される。

最小取り付け高さに関しては、現在既に 0.8mm のものが実用化されているが、徐々に低背化が進み、2008 年には 0.65mm、2012 年には 0.5mm になると予測される。

項目	2004年	2006年	2008年	2010年	2012年	2014年
最小端子ピッチ (mm)	0.4	0.3	0.2	0.15	0.15	0.15
最大端子数 (信号+電源)	400	500	600	720	840	1000
最大信号端子数	280	350	420	500	600	700
最小取り付け高さ (mm)	0.8	0.8	0.65	0.65	0.5	0.5

図表 9-4 FBGA の動向

### 9-2-4 FLGA (Fine-pitch Land Grid Array Package)

はんだボールを形成せずに、金属のランドを接続用電極としたパッケージが LGA であり、ランドのピッチが 1.0mm 未満で、外形サイズが 21mm×21mm 以下の小型 LGA を FLGA と呼ぶ。インターポーザとしては有機基板やセラミック基板やリードフレームが用いられ、チップとの接続方法としてはワイヤボンディングやフリップチップ接続が用いられている。

FLGA の動向を図表 9-5 に示す。現在、0.4mm ピッチの FLGA が量産されているが、2006 年には 0.3mm ピッチの FLGA が量産されると予測される。しかし、その後の狭ピッチ化は非常に難しいと予測される。リフロー時に熔融して、パッケージのコプラナリティ(平坦性)を緩和する役割のはんだボールが無い場合、BGA に比べて、要求されるコプラナリティが厳しくなるためであり、0.3mm ピッチ未満では極端に実装性が低下すると予測される。なお、狭ピッチ化実現のためには、狭ピッチ化に対応したインターポーザやテスト用ソケットなどのインフラ技術の開発が必要なのは FBGA と同様である。

ランドの狭ピッチ化およびランド列数の増加により、端子数は増大していく。現在、最大端子数は 400 ピン程

度であるが、徐々に増加し、2006年に500ピン、2008年に600ピン程度まで増加すると予測される。そのうち、約半数が信号で、残りが電源・GNDになると予測される。

LGA ははんだボールが無い分、取り付け高さは有利である。現在、最小取り付け高さは0.5mmであるが、徐々に低背化が進み、2006年には0.4mm、2010年には0.3mmになると予測される。

項目	2004年	2006年	2008年	2010年	2012年	2014年
最小端子ピッチ (mm)	0.4	0.3	0.3	0.3	0.3	0.3
最大端子数(信号+電源)	400	500	600	600	600	600
最大信号端子数	200	250	300	300	300	300
最小取り付け高さ (mm)	0.5	0.4	0.4	0.3	0.3	0.3

図表 9-5 FLGA の動向

### 9-2-5 QFN (Quad Flat Non-leaded Package)

QFN は、SON の多ピン化を目的として開発された CSP である。パッケージ裏面の4辺に実装用電極としてリードが形成されているため、従来の QFP に比べて小型化される。形成方法も従来技術の延長であり、低コストが期待される。QFN の動向を図表 9-6 に示す。現在の最小端子ピッチは0.4mmであるが、2008年には0.3mmになると予測される。

リードフレーム材を加工して裏面の電極リードを形成するため、BGA に比べて狭ピッチ化は困難であるが、狭ピッチ化に伴い、ピン数は増加する。現在は約 144 ピンであるが、2006年には約 200 ピンになると予測される。最小取り付け高さも徐々に低背化し、現在の 0.8mm から、2010年には0.5mmになると予測される。

項目	2004年	2006年	2008年	2010年	2012年	2014年
最小端子ピッチ (mm)	0.4	0.4	0.3	0.3	0.3	0.3
最大端子数(信号+電源)	144	200	200	200	200	200
最大信号端子数	100	140	140	140	140	140
最小取り付け高さ (mm)	0.8	0.65	0.65	0.5	0.5	0.5

図表 9-6 QFN の動向

## 9-3 パッケージ組立プロセス技術

### 9-3-1 バックグラインド技術

パッケージの薄型化やチップ積層技術による高密度化への対応でウェーハの厚さは薄型化していく。2010年には50 $\mu$ m程度にまで薄型化が進むと予測される。また、ICカード等の薄型製品については、ウェーハ薄型化への取組みが加速されて、急速に進展し、2010年には最小20 $\mu$ m程度の厚さも適用されると予測される。ウェーハ薄型化の技術としては、化学溶解処理(エッチング)などのバックグラインド以外の方法も適用されている。ウェーハ処理(バックグラインド)技術の動向を図表 9-7 に示す。

項目	2004年	2006年	2008年	2010年	2012年	2014年
最小ウェーハ処理厚さ <一般製品> (μm)	90	70	60	50	040	30
最小ウェーハ処理厚さ <薄型製品> (μm)	50	30	25	20	18	15
ハンドリング方法	真空吸着	真空吸着 治具貼付	真空吸着 治具貼付	真空吸着 治具貼付	真空吸着 治具貼付	真空吸着 治具貼付

図表 9-7 バックグラインド技術の動向

### 9-3-2 ワイヤボンディング技術

チップ接続方式には幾つかの方式があるが、汎用製品対応の半導体デバイスを中心に WB 技術による接続法が今後も主流であると予測される。WB 技術の動向の一例を図表 9-8 に示す。狭ピッチ化に対しては、ボンディング装置の高精度化やボンディングパッドの狭ピッチ化のみならず、リードフレームおよびインターポーザ(サブストレート)側接続端子ピッチの微細化技術も大きな課題となる。以前の予測よりも鈍化しているが、WB 技術の狭ピッチ化は今後も進行し、最小パッドピッチは 2006 年に 35 μm、2012 年には 20 μm にまで進展すると予測される。

ボンディング方式は現在ボールボンディング方式が主流であり、今後の狭ピッチ化もボールボンディング方式を主体に技術開発が進められると予測する。一方、ウェッジボンディング方式は生産性の点で不利なため、今後の狭ピッチ化に対しては、ボンディング方向を高速で自在に制御可能な機構の開発・実用化が課題となる。

狭ピッチ化を進めるにあたり、ボールボンディング側で挙げられる重要な課題としては、まず、ワイヤの細線化、キャピラリ先端径の微細化に見られる材料面の課題が挙げられる。狭ピッチ化に伴いワイヤはさらに細線化を、キャピラリ先端径はより小さい微細加工が求められる。キャピラリに関しては隣接圧着ボールとの接触、隣接配線の接触も懸念されるため、狭ピッチ専用のデザインが必要となっている。装置に関しては小径ボールの形成・接合技術、テストプローバによるパッド表面傷の対策、ボンディング位置精度などが挙げられる。特にボンディング位置精度はその精度の向上が圧着ボール面積の上限を緩和する重要な要因となっている。そのため、装置の位置精度の向上は狭ピッチ化に関しては必要不可欠となる。従って、今後の狭ピッチ対応には材料・装置・接合プロセスの各要素技術の総合的な向上が望まれる。また、今後、デバイスの高速化に対応した Low-k 材の適用により、ボンディングパッド直下の層間膜の脆弱化や配線の配置への対応が要求され、ボンディング時の衝撃を抑えてボンディングパッド下構造へのダメージ発生を防止する工夫が、装置面・材料面で必要となる。

今後、WB 技術において、注目すべき点は狭ピッチ化のみならず、低ループ化が挙げられる。総パッケージ厚の薄型化への対応は今後、必須と考えられるためである。低ループ化には最適ワイヤの選択も重要であるが、逆ボンディングに代表されるように、既存技術以外の工法の技術開発が望まれる。

さらにデバイス動作の高速化に対応して、チップ配線材料の Cu 配線化が進むが、Cu パッドへの接合性技術および Cu ワイヤのボンディング技術の開発が必要となる。具体的には、Cu パッドの表面清浄化および表面被覆処理など、良好な接合性が確保できるパッド表面状態の形成が課題となる。また、Cu ワイヤ材のボールボンディング対応としては、不活性もしくは還元性雰囲気形成等、Cu 酸化膜の生成を抑制する技術が重要であり、一部のパッケージにて量産に適用されている。

項目	2004年	2006年	2008年	2010年	2012年	2014年
ボンディング方法	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ
最小パッドピッチ ( $\mu\text{m}$ )	50	30	25	20	18	15
最小ワイヤ径 ( $\mu\text{m}$ )	18	15	12	10	8	8
ワイヤ材料	Au, Al Au合金 Cu合金	Au, Al Au合金 Cu合金	Au, Al Au合金 Cu合金	Au, Al Au合金 Cu合金	Au, Al Au合金 Cu合金	Au, Al Au合金 Cu合金
パッド材料	Al, Cu	Al, Cu	Al, Cu	Al, Cu	Al, Cu	Al, Cu
総合位置精度 ( $\mu\text{m}$ )	$\pm 3.0$	$\pm 2.5$	$\pm 2.0$	$\pm 1.5$	$\pm 1.0$	$\pm 1.0$

図表 9-8 ワイヤボンディング技術の動向

### 9-3-3 フリップチップボンディング (FCB) 技術

FCB 技術は、チップとパッケージ間の接続にバンプを介したワイヤレスボンディングであり、WB 技術や TAB 技術に比べて接続配線長が最も短く、電気特性がより優れているため、高性能デバイスでの採用が拡大すると予測される。図表 9-9 に FCB 技術の動向の一例を示す。またバンプ端子の配置として、チップ周辺部へ配置するペリフェラル配置と、チップ表面にエリアアレイ状に配するエリアアレイ配置とがあるが、チップサイズの縮小化、多ピン化、バンプピッチの限界からエリアアレイ配置の採用が増加していくと予想される。

FCB の狭ピッチ化の進展は、2008 年で最小パッドピッチ  $30\mu\text{m}$  (ペリフェラル配置) および  $80\mu\text{m}$  (エリアアレイ配置)、2010 年には  $20\mu\text{m}$  (ペリフェラル配置) および  $70\mu\text{m}$  (エリアアレイ配置) まで進展すると見られる。これらの狭ピッチ化を実現していくには微小バンプの形成や接合の狭ピッチ化のほか、インターポーザの革新的高密度化が大きな課題として予測される。

また FCB 接続するパッド数については、2008 年で最大 1400 パッド (ペリフェラル) および 4800 パッド (エリアアレイ)、2010 年には 2000 パッド (ペリフェラル) および 5400 パッド (エリアアレイ) のボンディングが実現すると見られる。

狭パッドピッチ化に伴い、バンプ径は必然的に小さくなっていくが、バンプ高さに関してはアンダーフィル注入の関係上、高さの確保が必要となる。従って、バンプ高さに関しては現状  $10\mu\text{m}$  を最低と予測している。

バンプ構造とパッケージ用インターポーザ (サブストレート) との接続方式には、はんだバンプを用いた金属拡散による接続、絶縁性樹脂の中に導電性粒子を分散させた異方導電性樹脂による接続、バンプとインターポーザの電極を直接接触させ樹脂でチップを固定する絶縁性樹脂による接続、バンプとインターポーザの電極を導電ペーストで接続する方法等種々あるが、信頼性やパッドピッチなどの要求仕様に合わせて選択されよう。また狭ピッチ化の進展に伴い、2008 年頃からはピュアな金属面同士を常温で接合する新たな接続方法の実用化も予測される。

バンプ材料については、Pb-Sn はんだ系が環境保全の対応で 2004 年頃から鉛フリー化され、2010 年には全廃と予測される。一方で、2006 年頃からは Cu バンプの登場も予測される。

バンプ形成方法としては電解めっき法やスタッドバンプ法が主流であるが、はんだバンプではスクリーン印刷法や転写法、さらに無電解めっき法も多く採用されていくであろう。

UBM (Under Bump Metal) は、スパッタを用いた Ti 系膜や Cr/Cu 系膜、無電解めっきによる Ni 膜が今後も採用されていくと予測される。

項目		2004年	2006年	2008年	2010年	2012年	2014年
最大パッド数	Peripheral	700	1000	1400	2000	2000	2000
	Area array	3600	4200	4800	5400	6400	7000
最小パッドピッチ ( $\mu\text{m}$ )	Peripheral	55	40	30	25	20	20
	Area array	150	130	110	100	90	80
最小バンプ径 ( $\mu\text{m}$ )	Peripheral	18	15	12	10	8	8
	Area array						
バンプ材料	Peripheral	Au	Au	Au	Au	Au	Au
	Area array	Sn-Pb Sn-Ag系	Cu Sn-Pb Sn-Ag系	Cu Sn-Pb Sn-Ag系	Cu Sn-Ag系	Cu Sn-Ag系	Cu Sn-Ag系
パッド材料	Peripheral	Al	Al	Al	Al	Al	Al
	Area array	Cu	Cu	Cu	Cu	Cu	Cu

図表 9-9 フリップチップボンディング技術の動向

### 9-3-4 樹脂封止技術

プラスチックパッケージのモールド樹脂封止技術は成熟技術であるが、チップの電力密度増に対応する低熱抵抗化、鉛フリー化による耐はんだリフロー性の向上、チップサイズ縮小化にともなうロングワイヤ配線や狭パッドピッチ化にともなうワイヤの細線化、パッケージの小型化・薄型化に対応する成形性の向上する材料特性を中心とした開発が予想される。さらに Low-k 材に代表される脆弱化な層間絶縁膜に対応したストレスを低減する特性を持った封止材料の開発も進展するものと予想される。また樹脂成形金型のポットやランナー等に残る樹脂を少なくしてパッケージ材料コスト低減を図る開発等が進展すると予測される。樹脂封止技術の動向の一例を図表 9-10 に示す。

現在の樹脂タイプが今後も使用されると予測されるが、低熱抵抗化のため、熱伝導率の低い窒化アルミのフィラーが使用される。現在、 $2.5\sim 3.2\text{W/m}\cdot\text{K}$  の熱伝導率は、2014 年には  $3.6\sim 4.0\text{W/m}\cdot\text{K}$  になる。また、耐熱性の向上のため、樹脂のガラス転移温度も現在の  $120\sim 170^\circ\text{C}$  から、2008 年には  $150\sim 200^\circ\text{C}$  になると予測される。

パッケージの薄型化のために、最小モールド厚さも現在の  $0.4\text{mm}$  から、2012 年には  $0.2\text{mm}$  まで薄くなる。そのために今後、コンプレッション方式や液状真空封止技術など新しいモールドシステムも実用化される。

また、樹脂共通の課題として、難燃剤として含まれる Sb や Br の環境汚染の懸念があり、これらを使用しない樹脂の実用化が課題となっている。

項目	2004年	2006年	2008年	2010年	2012年	2014年
樹脂タイプ	ビフェニル、 PN, OCN, DCP,, 多官能	ビフェニル、 PN, OCN, DCP,, 多官能	ビフェニル、 PN, OCN, DCP,, 多官能	ビフェニル、 PN, OCN, DCP,, 多官能	ビフェニル、 PN, OCN, DCP,, 多官能	ビフェニル、 PN, OCN, DCP,, 多官能
フィラータイプ	アルミナ、 熔融シカ、 結晶シカ	アルミナ、 熔融シカ、 結晶シカ、 窒化アルミ	アルミナ、 熔融シカ、 結晶シカ、 窒化アルミ	アルミナ、 熔融シカ、 結晶シカ、 窒化アルミ	アルミナ、 熔融シカ、 結晶シカ、 窒化アルミ	アルミナ、 熔融シカ、 結晶シカ、 窒化アルミ

熱伝導率 (W/m・K)	2.5～3.2	3.2～3.4	3.2～3.4	3.4～3.6	3.4～3.6	3.6～4.0
高Tg樹脂のガラス 転移温度 (°C)	120～170	120～170	150～200	150～200	150～200	150～200
モールドシステム	マルチプランジヤ インジェクション	マルチプランジヤ インジェクション コンプレッション 液状真空封止	マルチプランジヤ インジェクション コンプレッション 液状真空封止	マルチプランジヤ インジェクション コンプレッション 液状真空封止	マルチプランジヤ インジェクション コンプレッション 液状真空封止	マルチプランジヤ インジェクション コンプレッション 液状真空封止
最小モールド厚さ (mm)	0.4	0.4	0.3	0.3	0.2	0.2

PN : Phenol Novolac, OCN : Ortho Cresol Novolac,

DCP : Di Cycro Pentadiene Novolac, 多官能:多官能エポキシを含んだレジ

図表 9-10 樹脂封止技術の動向

#### 9-4 ベアチップ実装技術

マザーボードやモジュール基板へ LSI チップを直接接続するベアチップ実装技術は、パッケージを用いないことによる実装面積の縮小、即ち小型・高密度化と同時に接続伝送距離の短縮を主な目的として古くから実用化されてきた。さらに近年においてはカメラ機能なども取り込んだ携帯電話の高機能化などで代表されるように、複数の LSI を一つのパッケージ内に搭載した MCP やロジックデバイスとメモリーデバイスを混載した SiP が実用化されるにともない、積極的にベアチップを購入してこれを MCP あるいは SiP としてパッケージングすることも広く行われるようになった。

このようなベアチップ実装の採用がさらに拡大していくための条件として、パッケージ品と同等の性能・品質を保証する KGD (Known Good Die) を安価で入手できることが挙げられるが、ベアチップやウェーハ状態での良否選別、またバーンインのコストが高いことから一部の高付加価値チップなどでの供給に留まっている。

そこで、ウェーハプロセス内で接続端子の形成や表面保護のための樹脂塗布などの処理を行い、ダイシングによって個片化することで Real Chip Size のパッケージを得るという WLP 技術の採用も急速に広まっており、ベアチップの代替技術として発展が期待されている。

本項ではこれからも益々重要となってくるベアチップ実装関連技術の動向について、アンケート調査結果の一例を紹介する。

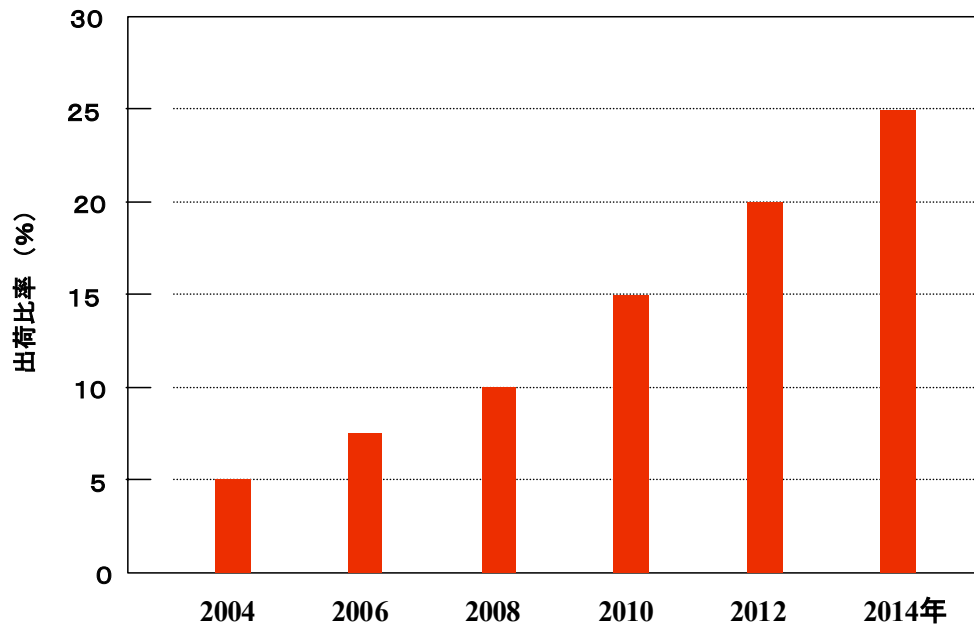
##### 9-4-1 ベアチップの出荷比率

半導体デバイス・パッケージの流通の中でベアチップの出荷がどのくらいを占めているかを、デバイスカテゴリ毎に今回初めて調査した。アンケート結果の一例として、ロジックデバイス全体におけるベアチップ (WL-CSP を含む) の出荷比率の推移を図表 9-11 に示す。ベアチップの比率は年々増加しており、2008 年でロジックデバイスにおけるベアチップ出荷は 10% を占め、2014 年には 25% になると予測される。

なお、他の調査ではメモリも含めたワールドワイドでの半導体デバイス全体の中で、ベアチップの流通が占める割合は 2004 年度で 15% ほどのデータもあるが、これは MCP や SiP で広く行なわれているメモリのベアチップ流通を含めた比率であることによる違いと考えている。

本アンケートではメモリデバイス及びアナログデバイスについても同様のアンケート調査を行なったが、残念ながら回答会社数が 1 社のみでありここでの集計は割愛した。



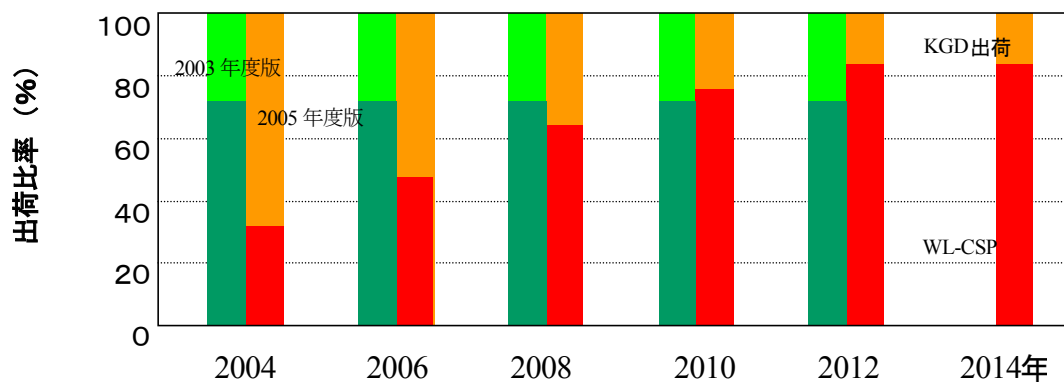


図表 9-11 ベアチップ出荷比率の推移(ロジックデバイス集計)

#### 9-4-2 KGD 及び WL-CSP の出荷比率

ベアチップ出荷形態として、何らかの KGD 保証(ここでの KGD は KTD(Known Tested Die)、PD(Probed Die)を含む広義の KGD)したベアチップか、ウェーハレベルパッケージかをデバイス別に調査した。その一例として、ロジックデバイスでの集計結果を図表 9-12 に示した。2004 年時点では未だ何らかの KGD を行なったベアチップ出荷の比率が多いものの、次第にウェーハレベルパッケージに出荷形態がシフトしていく様子がわかる。これはウェーハレベルバーンイン技術などの新しい KGD 保証技術も検討されているものの、やはりコスト的にも課題が多く同じチップサイズであればより安価に測定保証されたウェーハレベルパッケージへの期待が大きいことによるものと推察される。

この傾向は 2003 年度の調査でも同様の結果が見られているものの、特に 2004～2006 年度の比率では違いが見られている。前回の調査では年度毎の推移があまり見られていないことも考慮し、今回の調査結果がより妥当であると考えている。



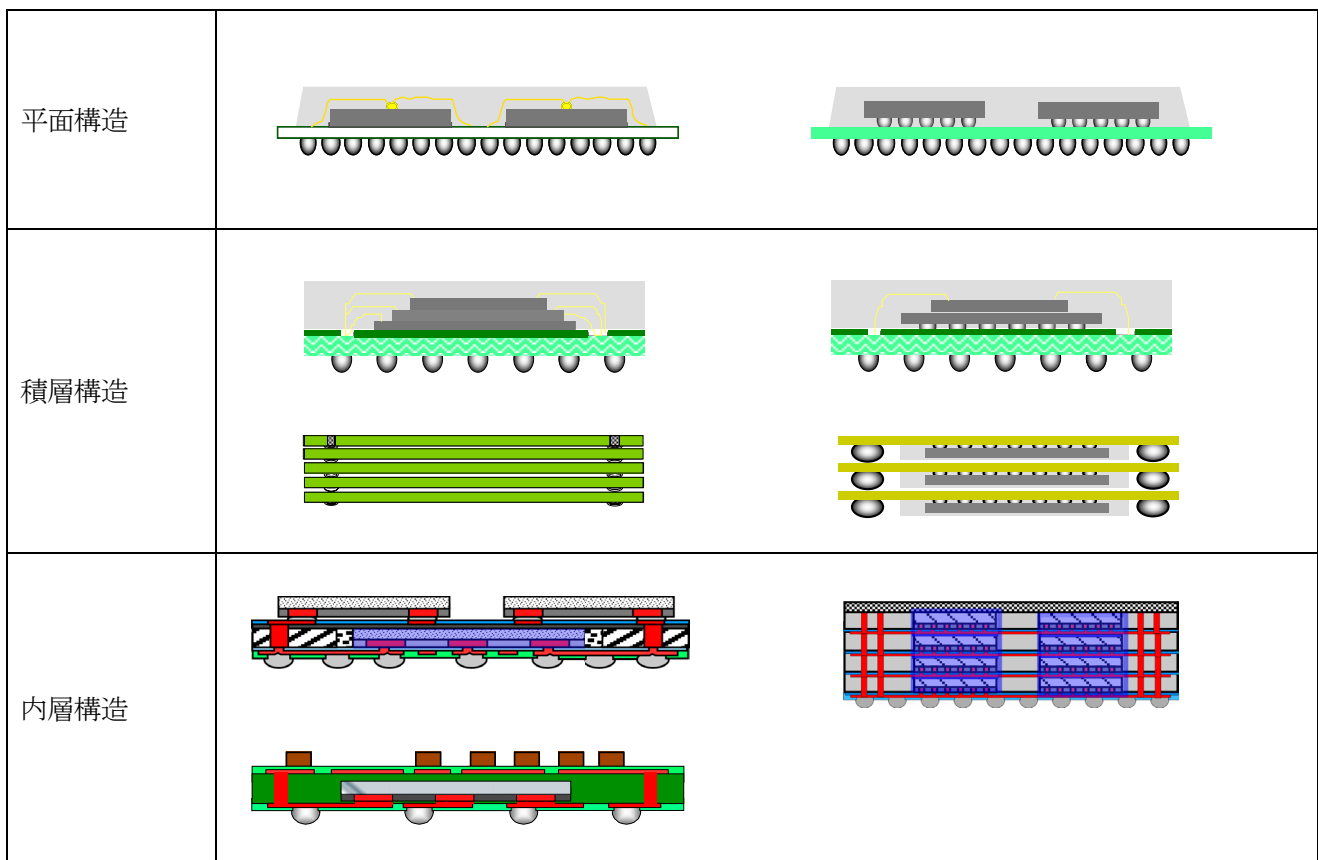
図表 9-12 ロジックデバイスにおける KGD・WL-CSP 出荷比率

## 9-5 MCP (Multi Chip Package) / SiP (System-in-a-Package)

半導体実装技術におけるモジュール技術については、従来の構造面からのコンセプトであるMCM、MCP に対して、機能面からのコンセプトとなるSiPが導入され、一般に浸透しつつある。さらに、CSP や部品内蔵基板などの新技術・新材料の導入により、その構造が多様化しつつある。ここでは、パッケージ外形のMCP/SiP の動向について記載する。

### 9-5-1 MCP/SiPの構造

図表9-13に各種MCP/SiPの例を示す。ハイブリッドIC・MCMと呼称されたICを平面的に配置した平面構造のパッケージ形態から始まったMCP/SiPは、実装密度向上の観点より、現在の主流となっている3次元にICを積層した積層構造のパッケージへと進化し、携帯機器の小型化を実現するためのキーデバイスとなっている。さらなる高密度実装を目的に、ICや各種能動・受動素子を基板内に内蔵した内層構造パッケージの実現のためのさまざまな取り組みが行われている。



図表9-13 各種MCP/SiPの例

### 9-5-2 MCP/SiPのコンセプトとその進展

1チップでシステムを実現するSoCに対して、その代替技術、または相互補完技術として複数のチップを1つのパッケージに搭載してシステムを実現するSiPが新たなコンセプトとして登場したが、さらに昨今においては、SiPをSoC化までの短期のソリューションとしてではなく、高性能化や多機能化を実現するためにSoCでは簡単に実現できない性能をSiPで実現しようとする動きも活発になってきた。

一方、メモリデバイスにおいては、高密度化のために複数のチップを積層してパッケージ内に搭載するMCPが実用化されている。開発当初は2チップを積層していたが、現在では5チップを積層したMCPも実用化されており、メモ

リデバイスだけでなく、MPUを搭載している事例もある。

SiP の定義は業界において明確には確立されていない。ITRS 2003 年版によれば、SiP をひとつのパッケージに集積した半導体、受動部品、相互接続のあらゆる組み合わせと定義している。この定義では、SiP は特定の技術あるいは集積方法にも限定されない一方、新しく出現したさまざまな市場領域には多くの特有な SiP 方式が存在する。これらは、積層チップ、ベアチップ混載 SMD、ならびにビルドアップ方式といった技術を含む。

MCP/SiP の状況と今後動向について、半導体メーカ各社へ MCP/SiP を構成する部品、内部構造、外形、基板等についてアンケートを実施した。アンケートの結果を、図表 9-14 ならびに図表 9-15 に示す。図表 9-14 は Low Cost/Hand-held 用途の SiP、図表 9-15 は High-performance 用途の MCP/SiP のロードマップである。

項目	2004年	2006年	2008年	2010年	2012年	2014年
搭載IC マイコン	○	○	○	○	○	○
同 ロジック	○	○	○	○	○	○
同 メモリ	○	○	○	○	○	○
同 RF/Mixed Signal	—	—	○	○	○	○
最大搭載IC個数	6	8	8	10	10	10
最大チップ積層数	5	6	6	8	8	8
最薄チップ厚さ(μm)	50	30	25	25	25	25
PKG最大端子数	600	600	800	800	800	800

図表 9-14 Low Cost/Hand-held 用途の SiP の動向

項目	2004年	2006年	2008年	2010年	2012年	2014年
搭載IC マイコン	—	—	—	—	—	—
同 ロジック	○	○	○	○	○	○
同 メモリ	○	○	○	○	○	○
同 RF/Mixed Signal	—	—	—	—	—	—
最大搭載IC個数	4	6	6	6	6	6
最大チップ積層数	2	2	2	2	2	2
最薄チップ厚さ(μm)	150	125	100	100	100	100
PKG最大端子数	1000	1200	1500	2000	2000	2000

図表 9-15 High-performance 用途の SiP の動向

(1) 用途

SiP の用途について、Low-Cost/Hand-held では携帯電話、デジタルカメラ、PDA が、High-performance では高性能サーバといった用途が具体的に挙げられた。

(2) 搭載 IC

Low-Cost/Hand-held 用途における搭載 IC は MPU、ロジック、メモリが基本の構成で、2008 年以降には RF/ミックストシグナルが搭載される。これは SiP に通信機能が付加されるためと予測される。搭載される IC の最大

個数は現在の 6 個から 2006 年に 8 個、2010 年には 10 個に増加する。

High-performance 用途では搭載 IC はロジック、メモリで、2014 年まで不変である。高性能サーバ用途ではシステム LSI+拡張メモリといった構成が想定される。搭載される IC の最大個数は現在の 4 個から 2006 年以降には 6 個に増加する。

### (3) パッケージ外形

Low-Cost/Hand-held 用途のパッケージ外形に関しては、標準外形とカスタム外形の両方が採用され、最大外形は 20mm 角で、最大端子数は現在の 600 端子から 2008 年以降は 800 端子まで増加する。

High-performance 用途に関しては、標準外形とカスタム外形の両方が採用され、最大外形は 50mm 角で、最大端子数は現在の 1,000 端子から次第に増加して 2010 年以降は 2,000 端子まで増加する。

### (4) パッケージ構造

Low-Cost/Hand-held 用途のパッケージ内部構造については、IC-IC 間接続、IC-基板間接続ともに 2004 年現在のワイヤボンド、フリップチップに加えて、2006 年以降は貫通ビアによる接続が採用される。IC の薄型化も進展し、2004 年現在の 50  $\mu$  m 厚から 2006 年には 30  $\mu$  m、2008 年以降は 25  $\mu$  m 厚の IC が採用される。IC の最大積層数は現在の 5 層から、2006 年には 6 層、2008 年には 10 層になる。

High-performance 用途に関しては、IC-IC 間接続にはフリップチップが採用される。IC-基板間接続には、ワイヤボンド、フリップチップが採用される。IC の薄型化は、2004 年現在の 150  $\mu$  m 厚から 2006 年には 125  $\mu$  m、2008 年以降は 100  $\mu$  m 厚の IC が採用される。IC の最大積層数は現在の 2 層が維持される。

以上から、Low-Cost/Hand-held 用途の SiP に関しては、搭載部品数、種類の増加、部品内蔵基板の採用等、積極的に新技術を取り込んで、さらなる高密度実装を実現しようとする流れが読み取れる。これは、日本のエレクトロニクスメーカーが得意とするデジタルコンシューマ機器、携帯電話などの小型化、高機能化の進展のために SiP がキーデバイスとして進化することを意味する。一方、High-performance 用途では性能と信頼性の追求に SiP の主眼がおかれて、新規技術の採用については限定的となる。

SiP に関しては、KGD、設計、材料、基板、接合技術、テスト等、さまざまな論点から活発な議論が行われているが、現在は「さまざまな形態の SiP をどう呼称するか」について未確立の状況であり、今後の MCP/SiP の一層の普及のためにはさまざまな階層でのサプライヤ、ユーザ間でのスムーズな情報交換を可能にする標準化活動は非常に重要である。

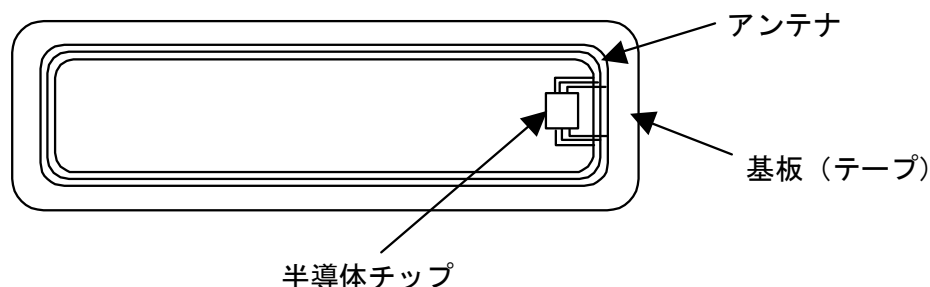
## 9-6 IC タグ

製造や物流・流通業界を中心に、IC タグと呼ばれる電子荷札の開発が進み、製造や商品流通の面では生産や販売・在庫の管理、及び商品識別など、また、商品の品質・信用の面では商品の生産者の紹介や商品の内容、及び生産から販売までの生産・流通履歴に関する情報表示など、流通の効率化や商品管理、消費者への商品情報公開の点での効果が大きく期待されている。IC タグは、現在価格が比較的高く、国際的な普及の目安とされる 1 個当たり 5 円にまで引き下がると、IC タグソリューションの一般化により、急激に市場が拡大すると考えられる。

### 9-6-1 IC タグの構造

IC タグには、様々な形状のものがあるが、一般的な IC タグのパッケージ構造を図表 9-16 に示す。構造は単純であり、アンテナやチップ搭載用電極端子を形成した基板(テープ)上に、電源、送受信、及び記憶機能を

持つ半導体チップが搭載され、タグ全体は、封止材にてカバーされている。



図表 9-16 IC タグパッケージ構造

### 9-6-2 IC タグの技術動向

IC タグには電池搭載型と非搭載型があり、ここでは広く一般化が期待される電池非搭載型を取り上げ、IC タグの実装技術の動向について図表 9-17 に示す。主な技術動向としては、チップ厚や製品の薄型化、ダイシングライン幅の縮小化、チップ接続方法のワイヤボンドからフリップチップへの移行が挙げられる。今後、厳しいコスト要求に対応するための技術開発が進むが、一例としては、チップコスト削減を目的とした、ウェーハ内のチップ取れ数を上げる取組みとして、ダイシングライン幅の縮小化が進み、2012 年には  $30\mu\text{m}$  になると予想する。また、通信周波数については、国際標準に準拠した UHF 帯の IC タグ利用が、国際取引の面、及び特に物流での通信距離拡大の面で必要となっており、総務省の電波法改正による UHF 帯の利用認可を受けて、2.45GHz から UHF 帯 (950MHz 帯) への移行が 2006 年頃より進むと予想される。

項目		2004年	2006年	2008年	2010年	2012年	2014年
チップ の機能	通信周波数 (Hz)	2.45G	950M	950M	950M	950M	950M
	通信距離 (cm)	0~15	0~300	0~300	0~300	0~300	0~300
	メモリ容量 (bit)	128	512	512	512	512	512
チップ 寸法	最小サイズ ( $\mu\text{m}$ □)	500	500	500	500	500	500
	最小厚さ ( $\mu\text{m}$ )	150	150	120	100	80	80
基板	内蔵部品の有無	無	無	無	無	無	無
製品	最小厚さ ( $\mu\text{m}$ )	400	400	350	300	200	150

図表 9-17 IC タグ技術の動向

### 9-7 環境対応

地球環境保全を目的として、温暖化やオゾン層破壊の原因となる  $\text{CO}_2$  やフロンガス、および生物や人体に有害な物質の発生抑止のため、あらゆる環境負荷物質の使用削減や全廃およびリユース・リサイクルへの取り組みが世界的レベルで拡大している。半導体製品においても、パッケージの端子や内部接続材に使われるはんだ中の鉛、樹脂封止材およびインターポーザ中の難燃材成分である Br 化合物や Sb、およびテープなど副資材に含まれる PVC や洗浄に使われる IPA (Isopropyl Alcohol) などの有機溶剤は人体に摂取されると有害な物質として、これらの使用量の削減や全廃に向けた取り組みが行われている。また、包装材料についてもリユース、リサイクル化や生分解材の開発、および製造工程で発生する材料の廃棄物やエネルギー消費量の削減

等、環境に対する負荷の低減活動に対する要求も高まっている。

世界的動向では、欧州の EU (European Unit) 指令による鉛・水銀・カドミウム・六価クロム等の全廃を掲げた有害物質使用規制 (Restriction of Hazardous Substances : RoHS) による 2006 年 7 月からの完全規制に向けて鉛フリー化に関しては一部で実用化が始まっており、リユースやリサイクル率に関する目標を定めた電気電子機器廃棄規制 (Waste from Electronic and Electrical Equipment : WEEE) の 2005 年 8 月対応に向けての取り組みも活発化してきている。アメリカでも、地下水を多く飲料水としているため鉛に関する関心は高く、回収の促進や代替はんだの開発も進められている。特に日本では 2001 年度より家電リサイクル法が施行され、環境保全に対する取り組みが一段と加速される中、経済産業省による鉛フリー実装開発プロジェクトをはじめ、企業単位の環境保全活動もさらに活発さを増し、世界をリードする鉛フリー実装をはじめとして、その実用化は開発段階から普及拡大段階への過渡期に入っている。また、JEITA をはじめとした日米欧の業界団体で共通の「鉛フリーはんだ実用化の世界ロードマップ」の策定が進められており、2005 年末までに全製品から鉛を全廃するという目標で合意されている。一方、地球温暖化抑制についても 2005 年 2 月より「京都議定書」が発効となり、より一層の世界的な取り組み強化が始まっている。

日本実装技術ロードマップ 2003 年度版では、各半導体メーカへ対するアンケート結果と国内外の情勢を分析することにより、各対象材料における具体的な動向予測を充実させた。本 2005 年度版では対象材料の追加や細分化を行い、再度アンケートを実施して過渡期の予測精度をさらに向上させた。特に、鉛フリー化の一例を図表 9-18 および図表 9-19 に示し、以下に各材料毎の詳細を述べていく。

## (1) 代替材料

### ① はんだめっき (リード端子用)

主に QFP、SOP 等リードフレームを使用したペリフェラルパッケージのリード端子表面処理は、従来の Sn-Pb 組成のはんだめっきの代替材として種々の鉛フリーめっきが実用化されている。

銅合金系フレームに対しては、従来から使われている Pd めっき (Ni/Pd/(Au) 多層めっき) が、PPF (Pre-Plated Frame) プロセスで工程合理化やアセンブリ時間短縮が可能となるため、鉛フリー化以外の目的においても今後も使われていく。

一方、主に鉄合金系リードフレームや Pd めっきを採用しない Cu 合金系リードフレームに対しては、Sn 合金系の鉛フリーはんだめっきの採用拡大が進んでおり、はんだ組成としては Sn-Bi、Sn-Ag および Sn-Cu にほぼ集約されている。

また、新たに純 Sn めっきの採用も一部で始まっており、ウイスカ問題には注意が必要であるが、改善も進められ、さらなる採用拡大が予測される。はんだ濡れ性では Sn 合金めっきの方が優位であるが、ヨーロッパやアメリカでは当初より純 Sn めっき採用を打ち出しており、今後の動向にも注意が必要である。

### ② はんだディップコート (リード端子用)

一部の挿入型パッケージの端子表面処理に用いられている Sn-Pb はんだディップコートについても鉛フリーはんだの採用が進んでおり、リフトオフ等実装信頼性の問題で Sn-Bi 系はんだは避けて主に Sn-Ag 系はんだと Sn-Ag-Cu 系はんだが採用されているが、より安価な Sn-Cu 系はんだや純 Sn コートも一部で量産化されており、今後も使われていくものと見られる。

### ③ はんだボール (外部端子用)

BGA 等のエリアレイパッケージの端子として使われている Sn-Pb 系のはんだボールには Sn-Ag-Cu 系はんだが普及しており、今後も主力として使われていくことが予測されるが、より安価な Sn-Cu 系はんだも 2004 年から実用化されており、今後も大きくこの 2 種類が使われていく見込みである。

また、一時期注目されて開発の進められていた低融点で安価な Sn-Zn 系はんだは、酸化抑制が大きな課題となっており、現時点でも実用化の目処は立っていない。

#### ④ダイボンディング材(はんだ使用)

大電流および高発熱のパワー素子において、ダイボンディング材として Pb-Sn はんだが使われているが、代替鉛フリーはんだの調査および開発も行われている。比較的低電力の素子に対しては Sn-Ag 系はんだが採用されており、一部用途では導電性接着剤も使用されている。

一方、高電力対応高温(300℃以上)はんだの代替材は未だ開発途上で、2006 年頃には何らかの新素材での実用化が予測されているが、より早期の実現が望まれる。

### (2) 代替材料採用比率の推移

#### ①はんだめっき、はんだディップコート、はんだボール

現時点での国内全般の鉛代替材採用比率は 60%程度と推測される。現時点での採用比率が 2003 年度版当初の予測である 70%をやや下回っている原因には、新規材料開発に伴うメーカおよびユーザにおける実装評価方法や基準に各社統一性がなく、信頼性の検証が遅延していることと、リード端子めっきとして多くのメーカが採用している Sn-Bi めっきが、リサイクル性の問題やリフトオフの発生懸念から欧米で敬遠されていることが大きく起因していると考えられる。これに対して実装評価方法や基準については JEITA の鉛フリーはんだ実装検討プロジェクト内で 2003 年に標準化しており、Sn-Bi めっきの敬遠に対しても各メーカから欧米に対して積極的な啓蒙活動を行っている。

また、ユーザからは、メーカ毎に異なる材料を提示されて評価作業の支障となっているため、業界としてのまとまった対応を要求する声もあるが、2004 年度時点で一通りの代替材料は実用化されており、遅延挽回も念頭において今後は急速な採用拡大が予測され、EU 指令や「鉛フリーはんだ実用化のワールドロードマップ」等への対応の面からも 2006 年全廃の方向で進むものと予測される。

#### ②ダイボンディング材

ダイボンディング材については現時点での代替材採用率も 2003 年度版の予測通り 20%と見られ、既に切り替えは始まっているものの、高電力対応高温はんだの代替材開発・実用化の困難を予測して、今後も緩やかな採用率の拡大で、全廃時期の遅延が予測されているが、はんだバンプ材とあわせてプロジェクト体制等による積極的な新素材の早期開発等、業界として一層の努力が必要である。

### (3) パッケージ耐熱性

鉛フリー実装では従来の Sn-Pb はんだに比べて融点が約 20℃～40℃上昇するため、従来よりリフローでピーク 250℃～260℃、フローでピーク 250℃～265℃のパッケージ耐熱保証が要求されており、今後も継続して対応が必要である。

パッケージ耐熱保証温度上昇に対する課題は、実装加熱時の吸湿水分の気化膨張によるパッケージクラックや内部剥離であり、暫定的には吸湿管理条件の強化による対応も可能であるが、一方で吸湿管理フリー化の要求も高く、パッケージ材料や構造の見直しによる根本的な改善が要求される。具体的な手法としては、超低吸湿性および高密着性の封止樹脂の開発やハロゲンフリー化対策とも呼応するフィラーの高充填化によるエポキシ樹脂使用量の削減等の取り組みが進められている。

項目			2004年	2006年	2008年	2010年	2012年	2014年
はんだめっき (リード端子用)	銅合金系 フレーム	材料	Ni/Pd	Ni/Pd	Ni/Pd	Ni/Pd	Ni/Pd	Ni/Pd
			Sn-Bi	Sn-Bi	Sn-Bi	Sn-Bi	Sn-Bi	Sn-Bi
			Sn-Ag	Sn-Ag	Sn-Ag	Sn-Ag	Sn-Ag	Sn-Ag
			Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu
			Sn	Sn	Sn	Sn	Sn	Sn
	比率	60	100	100	100	100	100	
	鉄合金系 フレーム	材料	Sn-Bi	Sn-Bi	Sn-Bi	Sn-Bi	Sn-Bi	Sn-Bi
			Sn-Ag	Sn-Ag	Sn-Ag	Sn-Ag	Sn-Ag	Sn-Ag
			Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu
			Sn	Sn	Sn	Sn	Sn	Sn
比率			60	100	100	100	100	100
はんだ ディップ コート	材料	Sn-Ag系	Sn-Ag系	Sn-Ag系	Sn-Ag系	Sn-Ag系	Sn-Ag系	
		Sn-Cu系	Sn-Cu系	Sn-Cu系	Sn-Cu系	Sn-Cu系	Sn-Cu系	
		Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu	
採用比率 (%)	70	100	100	100	100	100		

図表 9-18 鉛フリー化の動向(1):はんだめっき及びはんだディップコート

項目		2004年	2006年	2008年	2010年	2012年	2014年
はんだボール	材料	Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu	Sn-Ag-Cu
			Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu	Sn-Cu
	比率	60	100	100	100	100	100
ダイボンディング 材料	材料	Sn-Ag系 導電性 接着剤	Sn-Ag系 導電性 接着剤 新素材0	Sn-Ag系 導電性 接着剤 新素材0	Sn-Ag系 導電性 接着剤 新素材0	Sn-Ag系 導電性 接着剤 新素材0	Sn-Ag系 導電性 接着剤 新素材0
		比率	20	40	70	100	100

図表 9-19 鉛フリー化の動向(2):はんだボール及びダイボンディング

### 9-8 まとめと今後の課題

半導体パッケージにおいて、20世紀は挿入型から表面実装型へ(第1次革命)、周辺端子型からエアアレイ型へ(第2次革命)と進み、さらに CSP 化や WLP 化により、2次元実装においては究極へ近づいてきた。21世紀には高度化された情報通信ネットワーク社会になるが、電子機器においても益々高性能化されるとともに、小型化・軽量化が進むと予測される。そのため、実装技術においてもリアルチップサイズ実装化が進み、さらには3次元実装化や複合実装化が推進されていく。

2次元的高密度実装では、ウェーハプロセスの微細化の進展とともに、パッド・端子の更なる狭ピッチ化を推進する必要がある。チップ接続技術に関してはワイヤボンディング技術の狭ピッチ化が積極的に推進されているが、封止材やプローブ技術などのインフラ技術の開発も必須である。また、フリップチップ接続技術も主流になっていくが、高信頼接続技術やアンダーフィル技術が課題である。一方、実装基板との接続技術において



は、リアルチップサイズでの実装を行うために 0.3mm ピッチ以下のエリア配置されたはんだボールでの接続技術が要求される。はんだボール形成技術は勿論、低コストの実装基板やソケットの開発も必要である。

3次元パッケージとしては既に2~6チップ内蔵のTSOPやスタックドCSPが量産されているが、さらに多層(つまり多チップ搭載)のパッケージが要求される。チップの極薄型化と高放熱化(低熱抵抗化)が課題であり、構造・プロセス・材料の開発が必要である。高放熱化に対しては、高効率ペルチェ素子やマイクロマシンによる冷却システム等の開発も期待される。

さらに、システムLSIに代わるSiPの開発が益々推進される。従来の2次元搭載から3次元搭載化が進むが、小型化や高速化に対応してシリコン・オン・チップ技術の開発が促進されよう。ウェーハレベルでの積層技術も期待される。バイパスコンデンサや抵抗を内蔵した複合基板をインターポーザとすることで小型・高速対応のSiPが実現され、フィルタやコイルの内蔵化により、ベースバンド部内蔵の1パッケージRFモジュールが実現される。さらには、光通信との複合化も課題である。

21世紀はますます科学技術の進歩が期待されるが、一方で省資源・省エネルギー化および地球環境との調和が重要課題となる。現在、環境対応として鉛フリー化を推進しているが、さらにハロゲンフリー化の検討を推進する。廃棄物ゼロを目指して、リユース・リサイクル比率の向上も課題である。また、究極の省エネルギーシステムとして、ニューロン等の生物化学による回路システムの応用技術実現に向けて、企業・業界の壁を越えた取り組みを推進する必要がある。

#### 参考文献

1) 2005年度版 日本実装技術ロードマップ : (社)電子情報技術産業協会 (2005年5月)