

第 12 章 WG10 モデリング&シミュレーション

12-1 はじめに

モデリング&シミュレーション技術は半導体に関するモデリング領域をカバーし、フロントエンドプロセス、リソグラフィ、デバイスモデリング、インターコネクと集積受動素子、回路素子、パッケージ、材料、製造装置とデバイス形状、数値計算アルゴリズムなど、非常に広範囲にわたる。この技術は、技術開発の期間や費用を削減が期待される数少ない技術と考えられる。そこで、一昨年度はモデリング&シミュレーション技術の実状に関して半導体メーカーなどの技術者にアンケート調査を行い、非常に成功した適用例についての平均値では、開発期間は 26%短縮、ロット数は 30%削減、プロセス選択数は 34%削減との数値を得た(図 12-1 左)。

いっぽう、素子寸法微細化により生じる様々な困難を乗り越える手がかりを得るため、あるいは現象や性能を予測するためにますます多くの対象や現象についてモデル化して分析する事が期待され要求されている。一方モデル開発に携わる技術者・研究者のリソースは必ずしも十分とはいえない。そこで、昨年はモデリング&シミュレーション技術自体の開発効率あるいは進展を促進させたり、あるいは既存のモデリング&シミュレーション技術から得をより有効に利用する技術や方法に関して調査・報告した(図 12-1 中央)。

ところで、シミュレータを使用する時にはその精度に常に注意を払う必要がある。ITRS のモデリング&シミュレーションの章ではシミュレーションで得られる主な結果、例えばプロセスシミュレータで計算する拡散深さやデバイスシミュレータで求めた電流値などについて、必要とされる要求精度を掲げている。しかしこうしたモデルへの要求精度の数値が導き出された過程は必ずしも明確ではない。そこで今年度の STRJ の活動として、より合理的な方法でモデルへの要求精度について検討を行った。実は、今回用いた検討内容を用いると、PIDS やフロントエンドプロセスなどで議論されているデバイス構造バラツキが素子特性に与える影響の情報を引き出すことが可能と考えられる。

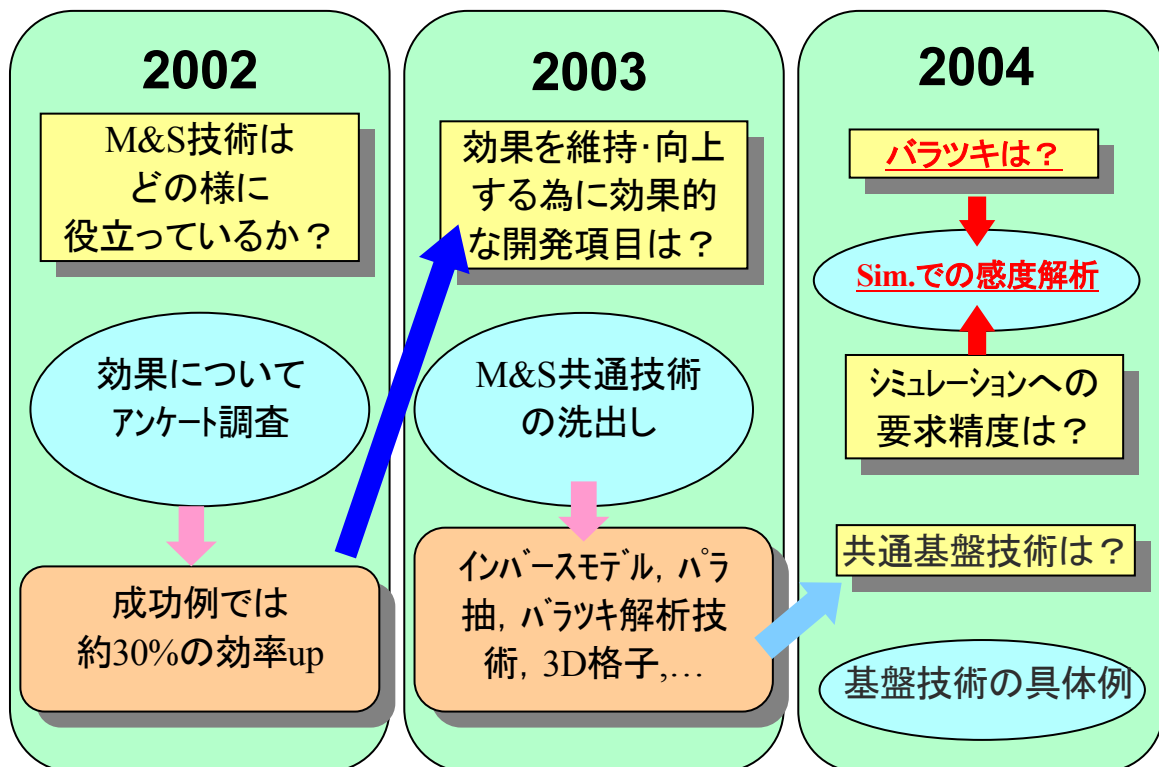


図 12-1 モデリング&シミュレーション WG のこれまでの活動

更に、モデリング&シミュレーションの共通的な基板技術として報告した技術について具体的にどう利用出来るかを、(1)バラツキが与える効果の効率的な解析手法の候補として上げた区間解析と、(2)数式での定式化は困難だが充分な実測データがある場合にモデルの代用となり得る多次元ランダムテーブルの効率的な構成・高速補間方法、の2つの技術について調査した結果を12-3節で報告する。

12-2 プロセスシミュレータのモデルへの要求精度の検討

表 12-1 は 2003 年度 ITRS のモデリング&シミュレーションの章に掲載されている、シミュレータに要求される精度に関する表の一部からリソグラフィ、形状、(フロントエンド)プロセスの各シミュレータへの要求精度などの部分を抜粋した表を示す。一般に、シミュレータの精度はその結果を使って判断を下す利用者や、結果を入力として使うシミュレータ側から要求される精度になる。例えばある構造をした MOSFET の駆動電流を±5%の精度で計算する場合には、その MOSFET 構造をシミュレーションするプロセスシミュレータがはじき出すゲート絶縁膜厚やチャンネル部分の不純物濃度の精度は、駆動電流の違いが±5%以下になるような絶縁膜厚の誤差や不純物濃度の誤差と決めて決める。しかし、こうした要求精度の数値は各担当分野の専門家の判断した値が用いられ、その値を導き出す過程は必ずしも明確とは言い難い状況にある。

そこで、プロセスシミュレータに要求されている誤差を、より合理的に算出する事を試みた。即ちロードマップで規定している各世代のハイパフォーマンス nMOSFET の構造を、各技術の要求値などを記載した表の値に基づいて推定する。そしてデバイスシミュレータでその駆動電流 I_{d0} 、オフ電流 I_{off} 、敷居電圧 V_{th} などの主要性能指標の値を計算した時にデバイスシミュレータに要求される誤差以下となる様な、例えば接合深さ値の範囲、横方向接合位置などの範囲を求める。こうして求めた範囲は、プロセスシミュレータの出力結果がその範囲に収まれば、主要性能指標を計算した時の相違が性能指標の要求精度内に納まると考える事が出来る。即ち、こうして求めた接合深さ値の範囲、横方向接合位置などの範囲は、プロセスシミュレータに要求される精度と考える事が出来る。

この方法では、規定された素子性能とゲート絶縁膜厚や接合深さなどの主な構造パラメータから素子構造を具体的に定める方法が出来るかがポイントで、素子性能などのシミュレーション計算結果からその入

Table 122b Modeling and Simulation Technology Requirements: Accuracy and Speed—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Technology-development cost reduction (due to TCAD)	35%	35%	35%	40%	40%	40%	40%
Lithography Modeling							
Resist profile prediction accuracy (5% of printed gate length)	3.3 nm	2.7 nm	2.3 nm	2.0 nm	1.8 nm	1.6 nm	1.4 nm
OPC model accuracy (about 3% of physical gate length)	1.5 nm	1.5 nm	1 nm	1 nm	1 nm	1 nm	1 nm
Front End Process Modeling							
Vertical junction depth simulation accuracy (% of physical gate length)	10% (4.5 nm)	10% (3.7 nm)	10% (3.2 nm)	10% (2.8 nm)	10% (2.5 nm)	10% (2.2 nm)	10% (2.0 nm)
Lateral junction depth (and abruptness) simulation accuracy (% of physical gate length)	5% (2.3 nm)	5% (1.9 nm)	5% (1.6 nm)	5% (1.4 nm)	5% (1.3 nm)	5% (1.1 nm)	5% (1.0 nm)
Total source/drain series resistance (accuracy)	10%	10%	10%	10%	10%	10%	10%
Back-end process/Equipment/Topography Modeling							
Etch/deposition cross wafer uniformity (% accuracy of the MPU physical gate length)	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%
2D/3D topography accuracy (% accuracy of MPU physical gate length)	5% (2.3 nm)	5% (1.9 nm)	5% (1.6 nm)	5% (1.4 nm)	5% (1.3 nm)	5% (1.1 nm)	5% (1.0 nm)

表 12-1 2003 年度 ITRS ロードマップでのリソグラフィ、フロントエンド、バックエンド・シミュレーションのモデルへの要求精度

カデータの一部である構造パラメータを推定する、いわゆる「逆問題」になっている上に、扱う素子性能指標の個数や構造パラメータの個数が多いので、複雑で困難な問題を解く事になる。しかし見方を変えれば、ロードマップでターゲットとする様な素子の構造がバラついた時に、素子性能に与える影響を知る事に繋がり、重要な情報が得られる事も意味している。

なお、この方法では用いるシミュレータの精度が結果に影響を与えるので注意が必要である。しかし、実測データで充分キャリブレーションされたシミュレータを用いれば、入力データの変化に対する結果の変化であって結果の値自体を扱う場合よりも誤差が少ない事が期待されると考えた。なお今回用いるデバイスシミュレータには、多くの国内半導体メーカーが、実測データに対してキャリブレーションされたモデルパラメータと共に利用可能である事を考え、(株)半導体先端的テクノロジーズが開発した HyDeLEOS を用いる事にした。

図 12-2 上の図は今回の検討に用いた nMOSFET の断面図、下の図は拡散層の不純物分布を示す。現実の MOSFET ではいわゆるハローイオン注入工程を用い、短チャネル効果による敷居電圧変動を抑制する構造を採用するが、(1)ITRS ロードマップにはハローイオン注入条件・構造の情報が記載されてない、(2)STRJ 活動として非競争領域に限定する、(3)構造パラメータの個数が増え問題が複雑化する、との判断で 2004 年度はまずハローイオン注入無しで、ロードマップに記載される様な均一基板濃度とした。

図 12-2 に示した素子構造パラメータの中で、例えばソースドレイン拡散層濃度 C_{peak} 、均一基板濃度 C_{sub} 、エクステンション部分の横方向オフセット量 Lo_{ex} 等の値は ITRS には記載されていない。そこでこれらの値は図 12-3 の左図に示す様に、フロントエンドプロセスの表に記載されたその他の構造パラメータ値を用いて素子性能の要求値を満たすように、繰り返し計算で求めた。こうして求めたフィジカルなゲート長が 45nm の nMOSFET の素子構造パ

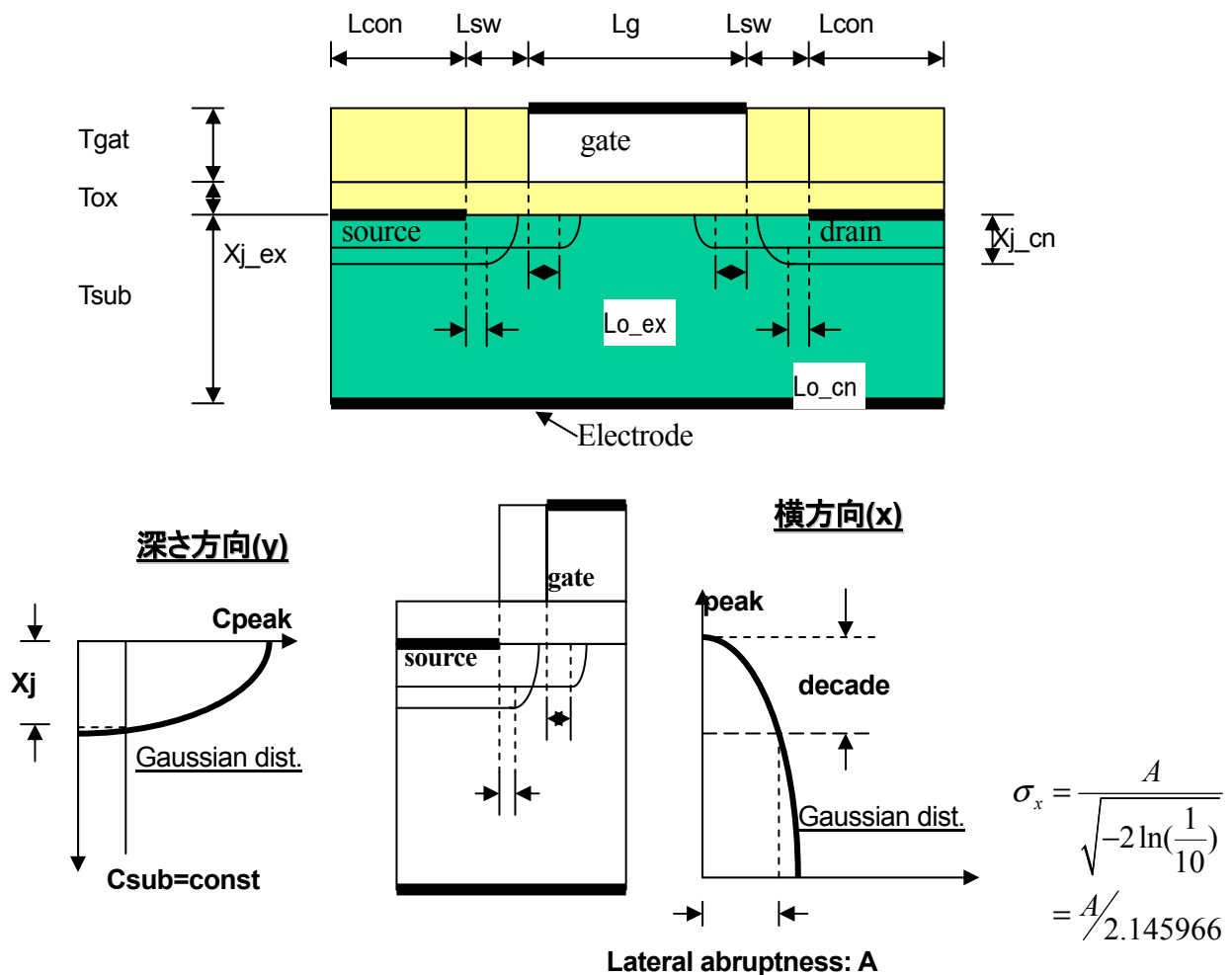


図 12-2 素子構造の変動が特性に与える影響を検討するために用いた MOSFET の断面構造(上図)と不純物分布(下図)。

ラメータ値を表 12-2 に示す。

この様に、シミュレータを用いて ITRS ロードマップの表で示された nMOSFET の素子構造の概略を規定する構造パラメータの値から出発して同表に示された要求性能を満たす、あるいはその性能に出来るだけ近い性能を持つ素子構造の推定が可能な事を示すことが出来る。ここで得た推定結果は、素子構造パラメータから素子性能を計算するシミュレータのモデル精度に依存することは言うまでもない。従って用いたシミュレータやそのモデルパラメータによって以下に示す、モデルへの要求精度あるいは素子構造のバラツキが素子性能に与える影響の程度は変わる、という事を十分注意して以下の結果を理解して利用する必要がある。しかし、単純化した問題設定ではあるが主要な構造パラメータをもとにして要求性能を満たす素子構造が推定可能な事を示せた事は、重要と考える。

次に、表 12-1 にある構造パラメータと、素子特性に大きな影響を与えると思われるその他の構造パラメータを選び出し、これらを変動した時の駆動電流 I_{d0} と敷居電圧 V_{th} の変動を求める事で、モデルに対する要求精度や、素子構造のバラツキが素子特性に与える影響を推定した。設定した変動幅は ITRS ロードマップの表に記載されている変動幅を用いた。表 12-3 左は選んだ 8 個の構造パラメータ値とその変動幅を示す。例えばゲート絶縁膜厚の変動幅は PIDS の章にある表に記載された $\pm 4\%$ の幅で、側壁の変動幅はモデリング&シミュレーションの章にある表に記載された精度の値から $\pm 5\% \times L_g$ などに設定した。図 12-4 は他の構造パラメータは中心値に固定し、個々の構造パラメータが表 12-1 の範囲で変動した際の敷居電圧 V_{th} の変動幅(左図)と駆動電流 I_{d0} の変動幅(右図)を示す。これらの図から、今回推定した構造の nMOSFET では、エクステンション部の横方向接合位置オフセット量 L_{o_ex} 、同じく拡散層深さ X_{j_ex} 、ゲート長 L_g 、ポリシリコン濃度 C_{ply} の影響が大きいことが判る。

表 12-3 に掲げた構造パラメータの中でエクステンション部オフセット量 L_{o_ex} 、同接合深さ X_{j_ex} 、ゲート絶縁膜厚 T_{ox} が nMOSFET のしきい電圧 V_{th} と駆動電流 I_{on} に与える影響を図 12-5 に示す。図注の矢印が示す幅は V_{th} と I_{on} の許容変動幅に対応し、グラフの曲線は各構造パラメータに対して表 12-3 で設定した変動幅の範囲で表示している。 L_{o_ex} の変動は敷居電圧 V_{th} と駆動電流 I_{on} の双方の設定許容誤差を大きく逸脱する一方、 X_{j_ex} の変動

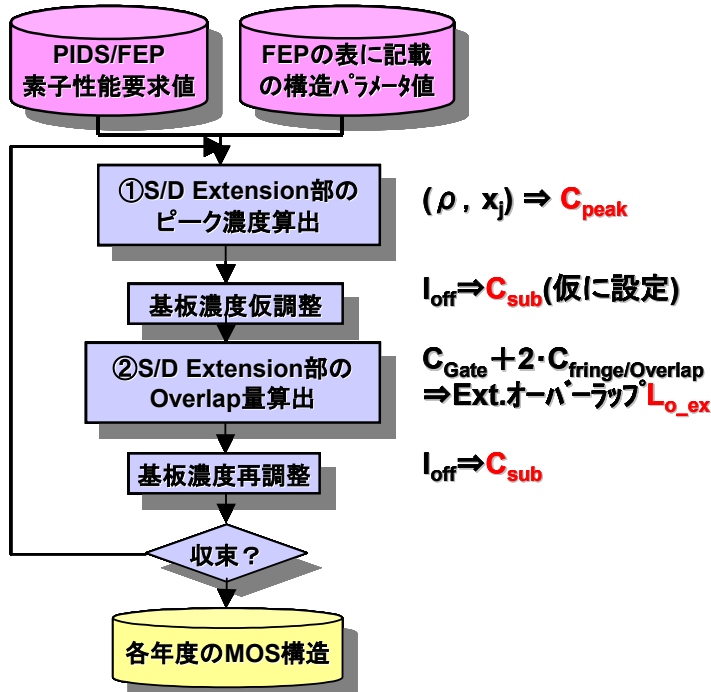


図 12-3 ITRS ロードマップの表で規定されていない MOS 構造のパラメータ(拡散層のピーク濃度、基盤濃度、エクステンション拡散部の横方向オフセット量)の推定方法。

寸法関連		
Lg	0.045	um
LSW	0.0495	um
Lcon	0.1	um
Tgat	0.1	um
Tox	0.0013	um
Tsub	0.5	um
不純物濃度関連		
Cply	2.00E+20	/cm3
Cchn	6.52E+18	/cm3
Cext	1.45E+21	/cm3
Ccon	1.50E+21	/cm3
接合関連		
Xj_ex	2.48E-02	um
Al_ex	5.00E-03	um
Xj_cn	4.96E-02	um
Al_cn	1.00E-02	um
Lo_ex	3.00E-03	um
Lo_cn	3.00E-03	um

表 12-2 図 12-2 に示す MOSFET の $L_g=45\text{nm}$ での構造パラメータの推定結果。

は Ion の設定許容誤差にほぼ収まるが Vth のそれには納まらない、などの状況が判る。

図 12-6 は、表 12-3 に示した 8 個の構造パラメータの全てが同表に示した変動幅の範囲でバラついたときの Vth と Ion の分布を示す。全構造パラメータが同時にバラついた場合には Vth や Ion は許容誤差範囲から大きく外れる事が判る。次に、構造パラメータが 1 つずつが変動した時に nMOSFET の敷居電圧 Vth と駆動電流 Ion に与える誤差がそれぞれの許容誤差以下になる様に構造パラメータの変動幅を求める。図 12-7 はこうして定めた新たな変動

M&S(Lithoaraphv Modelina(OPC)) Table

Symbol	Factor	Low	Center	High	Eroor
A	Cply	1.00E+20	2.00E+20		FEP
B	Lg	0.0435	0.045	0.0465	±0.0015
C	Lsw	0.0472	0.0495	0.0518	±0.0023
D	Lo_ex	0.0007	0.003	0.0053	±0.0023
E	Lo_cn	0.0007	0.003	0.0053	±0.0023
F	Xj_ex	0.0203	0.0248	0.0293	±0.0045
G	Xj_cn	0.045	0.0495	0.054	±0.0045
H	Tox	0.001248	0.0013	0.001352	±4%

M&S(Back-end process/Equipment/Topography) Table
M&S(FEP) Accuracy Table

表 12-3 図 12-1 の nMOSFET の構造パラメータ変動範囲の設定値。上下限値は ITRS ロードマップに記載された値から、たとえば側壁厚さ L_{SW} 変動幅はモデリング&シミュレーションの表 122b から設定した。

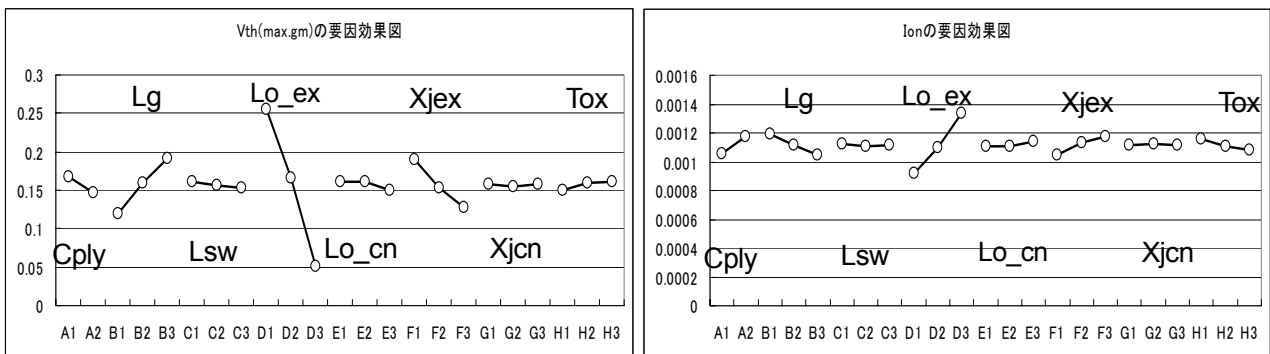


図 12-4 表 12-3 の MOSFET の構造パラメータについて L18 直交表を用いて感度解析を行った結果(下図)。Vth への影響度(左)と駆動電流 Ion への影響度(右)。

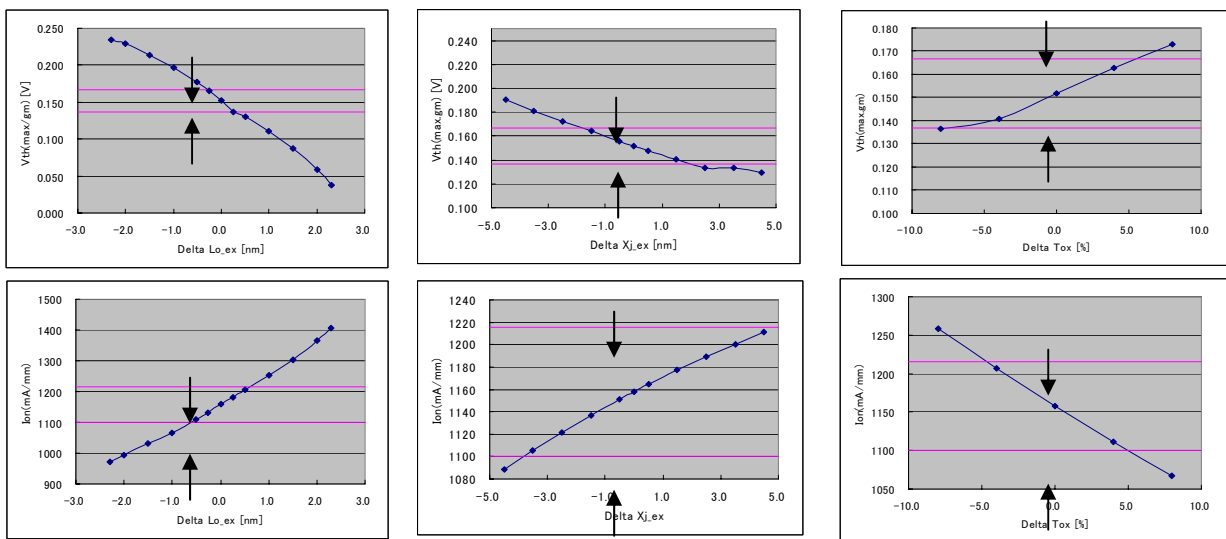


図 12-5 表 12-3 に示す構造パラメータ変動が nMOSFET のしきい電圧に与える変動(上段)と駆動電流に与える変動(下段)。左から順にエクステンション部オフセット量 Lo_{ex}、同接合深さ Xj_{ex}、ゲート絶縁膜圧 Tox。

幅の範囲で表 12-3 に示した全構造パラメータがバラついたときの、 V_{th} と I_{on} の分布を示す。図 12-6 よりも大きく改善された事が確認出来る。そこで今回は、こうして求めた値を構造パラメータあるいはその値に対して影響するモデルモデル精度に対する要求精度と考えることにした。

各世代毎に計算した、ハイパフォーマンス用の nMOSFET に対するモデルに対する要求精度を、表 12-4 に示す。表 12-1 に示す ITRS の値に較べて拡散層の深さやオフセット量に関する精度は非常に厳しい値となっている。なお、今回の MOSFET は均一基板濃度で、かつハローイオン注入なしの為、図 12-8 に示す様に敷居電圧 V_{th} は短チャネル効果が厳しい領域を使わざるを得ず、このため許容誤差は非常に厳しい値になったと考えられる。

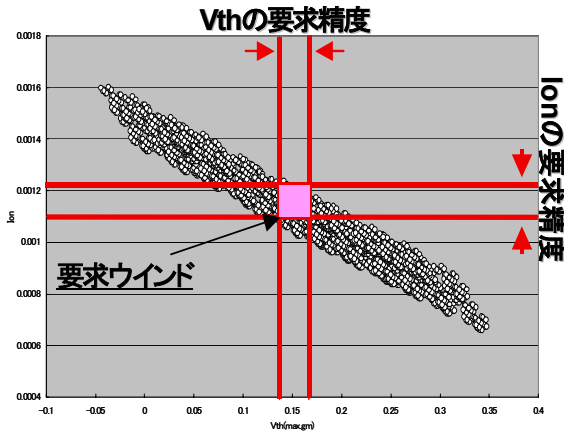


図 12-6 表 12-3 に示す 8 個の構造パラメータの全てが同時に変動した時の nMOSFET の敷居電圧 V_{th} と駆動電流 I_{on} のバラツキ。

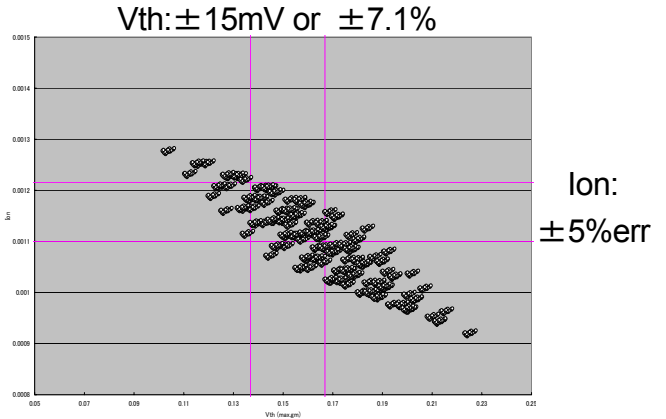


図 12-7 新たなパラメータ変動幅の範囲で表 12-3 の 8 個の構造パラメータの全てが同時に変動した時の V_{th} と I_{on} のバラツキ。

Device Structure in ITRS-Roadmap (High Performance)											
	2003		2004		2005		2006		2007		
DRAM Half-Pitch (um)	100		90		80		70		65		
MPU/ASIC Half Pitch (nm)	107		90		80		70		65		
MPU Printed gate Length (nm)	65		53		45		40		35		
MPU Physical Gate Length (nm)	45		37		32		28		25		
Possible Device Structure	ITRS	Sim.	ITRS	Sim.	ITRS	Sim.	ITRS	Sim.	ITRS	Sim.	
Mobility Enhancement Factor	1	1	1.3	1	1.3	1	1.4	1	2	1	
$V_{th@sat}(V)$	0.21	0.152	0.2	0.15	0.2	0.186	0.21	0.18	0.18	0.263	
I_{on} (uA/um)	980	1158	1110	1256	1090	1292	1170	1390	1510	1261	
I_{off} (uA/um)	0.03	0.03	0.05	0.0498	0.05	0.0503	0.05	0.0505	0.07	0.0702	
S-factor(mv/dec)	-	82.43	-	87.59	-	97.53	-	96.07	-	133.4	
Parameter's Up./Low.-Limits											
$C_{poly}(1/cm^3)$	1.4E+20	3.1E+20	1.4E+20	3.0E+20	1.5E+20	2.8E+20	1.7E+20	2.4E+20	1.8E+20	2.3E+20	
$\Delta L_g(nm)$	-0.6	0.59	-0.39	0.42	-0.26	0.22	-0.15	0.17	-0.042	0.043	
$\Delta L_{oex}(nm)$	-0.28	0.26	-0.17	0.17	-0.13	0.13	-0.07	0.06	-0.018	0.018	
$\Delta X_{jex}(nm)$	-1.8	2	-1.3	1.4	-1.2	1.3	-0.7	0.7	-0.6	0.7	

表 12-4 今回述べた方法で求めた、モデルに対する要求精度

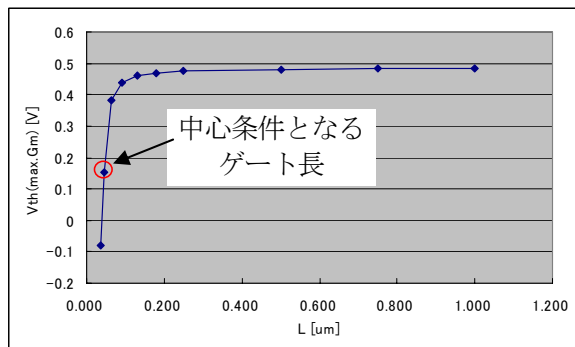


図 12-8 仮定した nMOS はハローイオン注入無しのため厳しい短チャネル効果になる。

12-3 モデリング&シミュレーションの共通基板技術の具体的活用

ここでは前述のモデルへの要求精度の検討と並行して行った活動として、モデリング&シミュレーション技術自体の効率化策として昨年リストアップした技術のなかから、バラツキが与える影響を効率的に解析するための技術として挙げた区間解析技術と、測定データなどを整理して多次元テーブルの形で実際のされたに更に検討を加えた結果を報告する。

12-3-1 区間解析によるバラツキ効果の計算

ある現象や対象の測定値が、その状態を表す幾つかの量同士の四則演算や関数計算の所謂「閉じた形」で与えられ、方程式を解かずに計算できるにモデル式で与えられる事は比較的多い。例えば半導体の p-n 接合の一方が充分高濃度 N_D で急峻な拡散層の場合には、濃度 N_A の低濃度側に広がる空乏層幅 W は、温度 T 、半導体の比誘電率 K_S 、真性キャリア濃度 n_i を用い $W = \sqrt{\{(2K_S \epsilon_0 \phi_T) / (q N_A)\}}$ 、 $\phi_T = (kT/q) \ln\{(N_D N_A) / (n_i^2)\}$ で表される。

この様にモデル化された対象について、何らかの原因で式の右辺に現れる複数の物理量がバラついたときに、左辺の値がどのような範囲で変動するかを問題にする事がある。よく用いられる手法は、乱数を用いて右辺の変動量をバラつかせて左辺の計算を繰り返し、その結果から左辺の値のバラツキを求める方法である。この方法は、バラつく物理量の総数 N が比較的少ない範囲では実用的な計算時間で結果が得られるが、 N の増加と共に非常に必要とされる計算回数は急激に増加する。一般に精密なモデルでは様々な現象や要因を含むため、 N は増加する傾向がある。また、個々の要素は比較的簡単なモデル式で表現されていてもそれらが多数集まったシステムのバラツキを扱う場合でも同様である。こうした場合でも効率良くバラツキの効果が評価できる手法が必要とされている。

ところで、モデル式に現れる量を数値ではなく上限値と下限値という「幅を持った量」と考え、またこの様な幅を持った量同士の四則演算や関数計算を適切に定義する事で、モデル式左辺の変動幅を計算する試みが考えられる。実は、数値計算分野で「区間解析」と呼ばれる技術は、数直線上の有限区間を数値に見立ててそれらの間で図 12-9 に示す様に四則演算を行う事で、有限桁数で行う実数計算の精度を検討する際に用いられ、日本の科学者によって数値計算分野に導入されたと言われている^[12-1]。

ただし、単純に図 12-9 に示した演算規則を使った計算は、算回数が増えると演算の結果、区間幅が単調に増加する。またこの方法では量 A と量 B がある分布や相関を持って変動するという状況に対応できずその結果バラツキを過大評価するという限界がある。ただしこれについては演算回数増加に伴う変動幅の増加を抑制する区間解析技術も知られているので、実用の際にはこうした技術などを組み合わせる必要があろう。

実際、C.L.Harkness らはこの考えに基づき、モンテカルロ法よりずっと少ない計算量で、多段論理回路を構成するトランジスタ特性がバラついた時の遅延時間を高精度に計算できることを示している^[12-2]。彼らは図 12-9 に示す様な演算則だけでなく、モデル式の偏導関数の値も利用した巧妙な手法で求めたい量が必要以上にばやける傾向を抑制している。

- 四則演算

- $[a:b] + [c:d] = [a+c : b+d]$
- $[a:b] - [c:d] = [a-d : b-c]$
- $[a:b] * [c:d] = [x:y]$
 $x = \min(a*c, a*d, b*c, b*d)$
 $y = \max(a*c, a*d, b*c, b*d)$
- $[a:b] / [c:d] = [a:b] * [1/d : 1/c]$

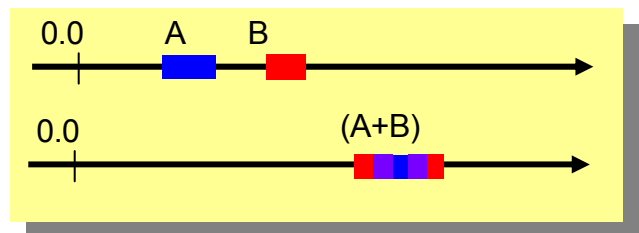


図 12-9 区間解析は、数値ではなく数直線上の有限区間同士の四則演算を行なう。

<参考文献>

[12-1]中尾ほか、「精度保証付き数値計算」, p5, 日本評論社, 1998

[12-2]C.L.harkness, et.al. IEEE Trans. CAD, vol.11, No.11,pp.1388-1392, (1992)

12-3-2 計算効率の良い多次元ランダムデータ補間

モデリング&シミュレーションが対象とする範囲は広範囲で、しかも短期間でのモデル化が必要とされている。また、モデル化したい対象の振舞いや現象が複雑でその支配方程式の定式化が困難な場合が多い。こうした場合、対象の振舞いを規定する、例えば温度や電圧などの条件を様々に変えた実験での対象の振舞いについて測定データをテーブル化しておいて、必要な結果はそれを補間して求めるというアプローチも、必要とされる結果を出す選択肢の一つになり得る。従って、多次元のテーブルデータを補間(および補外)する技術も必要とされる。

一般に、温度や電圧など外部から制御できる様々な条件の全ての組み合わせに対して実験結果を得ることは現実には実現困難な場合が多い。従って補間すべきテーブルにデータが欠落していても適切な補間結果が得られる手法即ち多次元ランダムデータの補間手法が必要とされる。この様なデータの補間手法としては、空間統計学で研究されクリギングと呼ばれる方法が知られている^[12-3]。また、最近 K.Fang らは離散化した Dirac の δ 関数という考え方をを用いて図 12-10 に示す式で一種の重み付平均をとす操作に対応した補間式を提案している^[12-4]。Fang らは δ 関数として Lorenzian を用い、その関数の拡がりの設定方法と共に提案している。

この補間方法は一種の重み付きの補間に帰着されるので、得られる補間値は常にテーブルの数値の最大値と最小値の中間の値をとる。その結果、最適化操作のように最大値や最小値を探索する場合には注意が必要である。図 12-11 は 2 変数関数(図の左下)の値をランダム分布する点上で与え、Lorenzian の代わりに Gaussian を用いて補間計算した結果を示す。左上から右下にデータ点数が 20、50、100、200 と増加すると共に関数の形が再現されていく様子が判る。

<参考文献>

[12-3]たとえば間瀬、武田 共著、「空間データモデリング」、pp.135-166, 共立出版、2001

[12-4] K.Benjamin, K.Fang,Phys.Computing1991Conf.,San Jose, June, 1991

$$\int f(x)\delta(x-a)dx = f(a) \Rightarrow \int (f(x) - f(a))\delta(x-a)dx = 0$$

$$\int \delta(x-a)dx = 1$$

右上の式を「離散化」して近似すると

$$\sum_{i=1}^M [f(x_i) - f(a)]\delta(x_i - a) \approx 0$$

$$\Rightarrow f(a) \sum_{i=1}^M \delta(x_i - a) \approx \sum_{i=1}^M f(x_i)\delta(x_i - a)$$

$$\therefore f(a) \approx \frac{\sum_{i=1}^M f(x_i)\delta(x_i - a)}{\sum_{i=1}^M \delta(x_i - a)}$$

図 12-10 K.Fang らの提案している多次元ランダムデータの補間式の導き方。 x_i は i 番目のデータ点、 $f(x_i)$ はそこでのテーブルの数値、 a は補間値を必要とする点、 $f(a)$ は a での補間値。

12-4 まとめ

12-4-1 技術に要求される性能や精度の合理的な算出手段の重要性

微細化に伴い技術的困難さが増加し、リソグラフィやフロントエンドプロセスをはじめ各技術分野でそれぞれの技術がもつ性能や実現すべき精度をより厳しく見直す必要に迫られている。モデリング&シミュレーション技術は自身も同じ状況にあるがその一方で、実測結果を使って充分キャリブレーションされたモデルを使う事でバラツキが与える影響を合理的に推定できる手段を提供する事が出来る事を 12-2 節で紹介した。この機能を活用すれば、多くの技術について実現すべき性能や精度を、より合理的に推定する事が可能と考えられる。ただし、一般にその適用範囲を越えてモデル式やシミュレータから導いた数値には注意が必要なことは言うまでもない。

12-4-2 多様化する要求への対応

微細化とともに技術課題が急増する傾向にあり、様々な技術分野で予測や設計・制御する際に対象のモデル化が必要とされ、しかもその解決はますます迅速化する事が要求されている。この状況に応える方策を提案する事は、モデリング&シミュレーションのロードマップ活動の重要な一つと考える。

しかし一般に、対象とする現象の適切なモデルを構築するだけでも、日頃対象に接して問題を「肌で感じる」事が出来るほどその対象について十分な経験と知識が必要とされる。更に、立てたモデルが偏微分方程式などであれば、現実的な境界条件下でその解を求めねばならず、その為には高度な数値計算の経験と知識が必要とされる。これらの資質を備え、かつモデル化に取り組む余裕がある技術者・研究者は限られるため、モデリング&シミュレーション技術は、このままではいつまでも周囲の期待を満たせない技術であり続けるおそれがある。こうした状況を打開する為には、他分野の進展に関心を払い、そのかつ成果を積極的に取り入れたり、解決すべき課題を設定する際にも発想の転換が必要とされる。

またモデルを検討する際のデータ処理技術、例えば測定データを非線形関数に当てはめる為のパラメータ抽出技術や、多次元テーブルの形で整理されたデータを補間する技術などで、精度が高く信頼がおける技術を専門家以外でも使いやすい形で普及する事は、問題に直接対峙し熟知している技術者・研究者が自らの手でモデル化する事を助ける上で有効と考えられる。

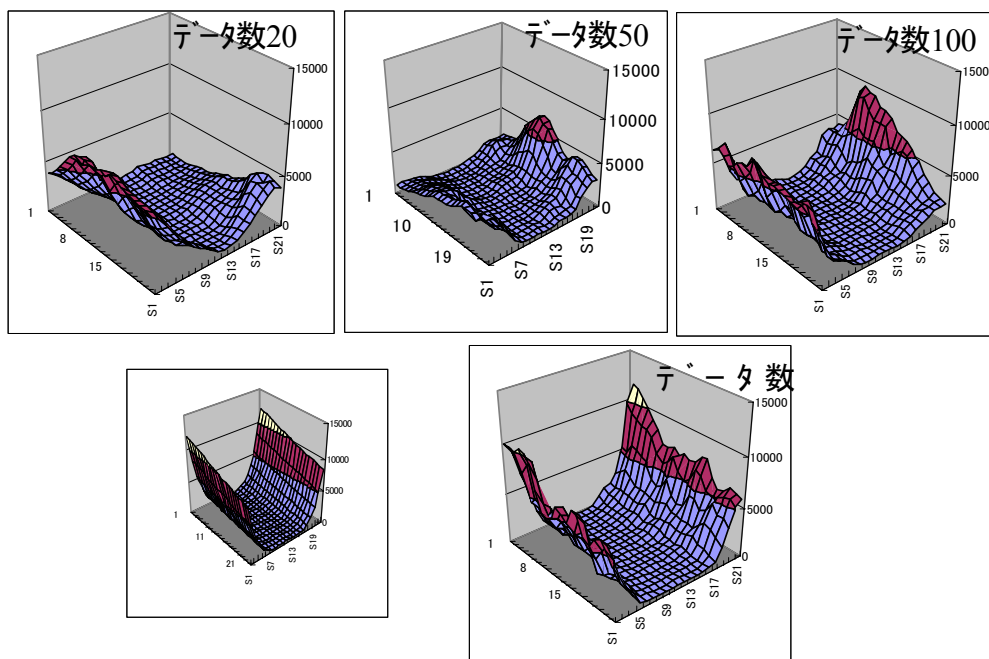


図 12-11 2変数関数(左下)の値をランダム分布する点上で与え、K.Fangらの方法で関数値を補間した結果。左上から右下にデータ点数が 20、50、100、200 と増加すると共に関数の形が再現されている。