

## 第 13 章 WG11 メトロロジ(計測)

### 13-1 はじめに

今年度の活動は、ITRS定例会議 第18回(2004年4月, 伊Stresa), 第19回(2004年7月, 米国サンフランシスコ), 第20回(2004年12月, 日本東京)への出席およびITRS2003 和訳版の作成、ITRS2004年 update版の作成支援、さらにはLER/LWR計測方法の標準化(最終的にはSEMIスタンダード化が目標)、ITRSでの採択のための原案作成、クロスカット活動が主なものであった。以下に、ITRS2004年update版の改定のポイント、LER/LWR計測標準化の活動状況について報告する。

### 13-2 ITRS 2004 年 update 版の主な改訂ポイント

ロードマップ記載数値の変更はなかったが、計測技術の発展を考慮して2003年度版ITRSの見直しを行った。特に、2003年度版では実現が困難とされていた65nmノード以降のCD計測性能(Printed & Isolated Lineの3 $\sigma$ 計測精度)は、スキャッタロメトリの性能向上によって45nmノードまで技術的な目処をつけることができた。その結果、90nmノードでは2003年度版では黄色表記が白色表記に、65, 45nmノードは赤色表記から黄色表記へ変更した。一方、計測パターンの高アスペクト比化などCD計測を難しくする計測仕様については、今後検討していかなくてはならない。また、TEM(Transmission Electron Microcopy)を用いた3次元計測技術は、収差補正技術とEELS(Electron Energy-Loss Spectroscopy)技術とを組み合わせることにより、柱状構造の1原子の位置特定の可能性が出てきた。

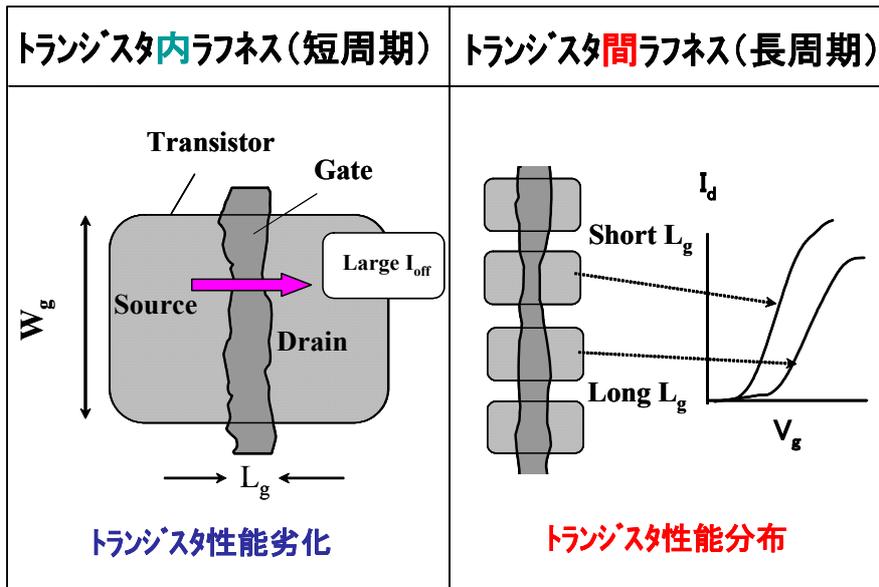
### 13-3 LER/LWR 計測方法の標準化

パターン微細化の進行に伴い、ラインパターンエッジ形状のゆらぎがデバイス性能へ与える影響が顕在化しつつある。そこで、パターンエッジ形状のラフネス計測— ゲートパターンエッジと配線パターンエッジのLER (Line Edge Roughness: ライン端の位置のばらつき)、あるいはLWR (Line Width Roughness: ライン幅のばらつき)の高精度計測が注目されている。個々のトランジスタ幅 $W_g$ に比べて周期の短いLWRは、局所的にゲート長を短くする。その結果、ショートチャネル効果を引き起こし、リーク電流が増加し、しきい値電圧が下がる。一方、個々のトランジスタ幅 $W_g$ よりも周期の長いLWRは、複数のトランジスタにわたるゲート長のゆらぎを引き起こし、LSI回路内での個々のトランジスタ性能のばらつきの原因となる。したがって、65 nmノード以降のLSIプロセスでは、従来の寸法管理に加え、LERあるいはLWRの管理が不可欠である。

一般にLERは1本のラインエッジ形状の凹凸を指し、その値はエッジ点位置(座標)のばらつきの3 $\sigma$  ( $\sigma$ は標準偏差)として表される。LERはラインの左右のエッジに存在し、結果としてライン幅ゆらぎを引き起こす。このライン幅ゆらぎがLWRである。左右のLERの位相を考慮しない場合、 $LWR = \sqrt{2} \times LER$ という関係がある(左右のLERの振幅が等しく同相でゆらぐ場合、LWRのゆらぎはゼロとなり、振幅が等しく逆相でゆらぐ場合は、 $LWR = 2 \times LER$ となる[1])。これらの値を求めるには、計測するラインの長さ、エッジ位置(あるいはライン幅)の計測の間隔、という二つの計測パラメータを明確にすることが重要である。我々はトランジスタ性能及び形状計測技術の立場から上記の計測仕様を検討し、また、WG5(リソグラフィ)、WG6(PIDS)とクロスカット会議を行ってゲートLWRの計測ガイドライン案を導出し、ITRSに採択された。

#### 13-3-1 ゲートラインラフネスがトランジスタ性能に及ぼす影響

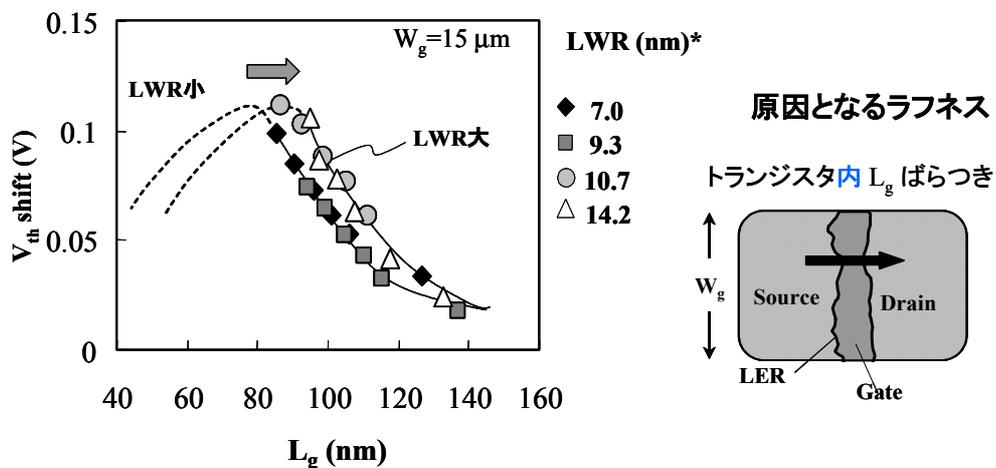
LERまたはLWRのデバイス性能への影響には、次のようなものが知られている。第一に、ゲートLWRの影響である。ゲートLWRはゲート長の分布に直結するものであるから、しきい値電圧 $V_{th}$ のゆらぎの原因となる。



図表 13-1 ゲートラインラフネスのトランジスタ性能への影響

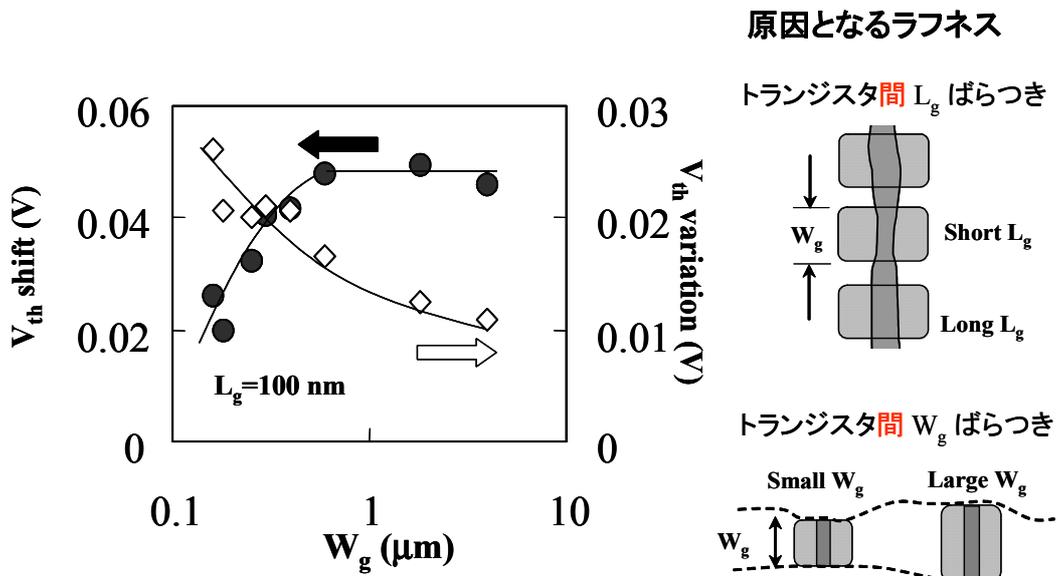
この現象には、個々のトランジスタ領域内のゲートラインラフネス即ち比較的短周期のラフネスによる局所的なショートチャネル効果と、複数個のトランジスタにわたるライン幅ゆらぎ、即ち比較的長周期のラフネスが引き起こす $L_g$ ばらつきの二つがある(図表13-1)。前述したように、前者は個々のトランジスタの $V_{th}$ 低下を引き起こし、後者は複数個のトランジスタの $V_{th}$ のばらつきを大きくする。第二に、配線LERの影響である。これには、配線側壁のラフネスによる電子の非弾性散乱が引き起こす抵抗率増大と、配線側壁の凸部での電界集中による信頼性の低下の二つがある。このほか、アクティブ領域の形状ゆらぎが引き起こすトランジスタ幅 $W_g$ の分布もトランジスタ性能のばらつきを大きくする可能性がある。

ゲートラインラフネスについては、これまでは個々のトランジスタ内を扱う局所的なショートチャネル効果が検討されてきた[2-9]。しかし、個々のトランジスタ領域内のラフネスの影響は比較的小さいことが最近、報告されている[10-13]。少なくともゲート長が40nm以上の場合にはラフネスのゆらぎはデバイス性能に影響を与えない[13]、ゲートLERにより誘起されたエクステンション領域端のラフネス形状をイオン注入技術によって



\*ここでは $L=W_g(15\mu m)$ で計測した

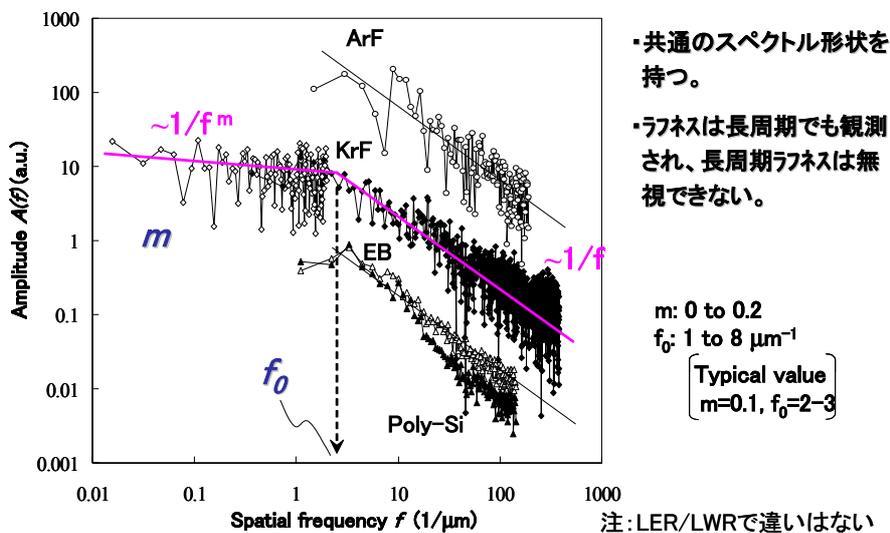
図表 13-2 トランジスタ内 LWR によるロール特性のシフト



図表 13-3 トランジスタ間 LWR による Vth 平均シフト量及び Vth ばらつき

制御する[14]という報告もある。むしろ、複数のトランジスタ間の $L_g$ がゆらぐために生じる $V_{th}$ ばらつきのほうが、問題になると考えられる[10,11]。図表13-2及び13-3にLWRゆらぎによるトランジスタ性能の変化の実測結果の例を示す。図表13-2ではLWRの増加によってロールオフ性能が右側にシフトすること、即ち、LWRが増加すると実際の $L_g$ (トランジスタ内の平均値)よりも小さい $L_g$ に相当するトランジスタ性能が現れるということが確認された。しかし、LWR=14nmという実際のプロセスでは起こりえないほどの大きなラフネスゆらぎに対しても、このシフト量は比較的小さい。一方、図表13-3に示すように、 $W_g$ が小さくなるほど(即ち、複数のトランジスタの間のゲートラインラフネスの差が大きくなるほど)、 $V_{th}$ ばらつきは大きくなる。但し、 $W_g < 0.6 \mu m$ の領域における $V_{th}$ ばらつき増大の一部は、アクティブ領域の形状ゆらぎに起因する可能性がある。図中の●で示されるように $W_g < 0.6 \mu m$ では $V_{th}$ が $W_g$ に依存するため $W_g$ のばらつきが $V_{th}$ ばらつきの原因となるからである。以上のように、トランジスタ性能の面からは長周期のラフネスの計測が重要である。

また、実際のラインエッジラフネスのスペクトル(図表13-4)を計測した結果、長周期(即ち低周波数)の成分ほど振幅が大きいことが確認された[10,15]。



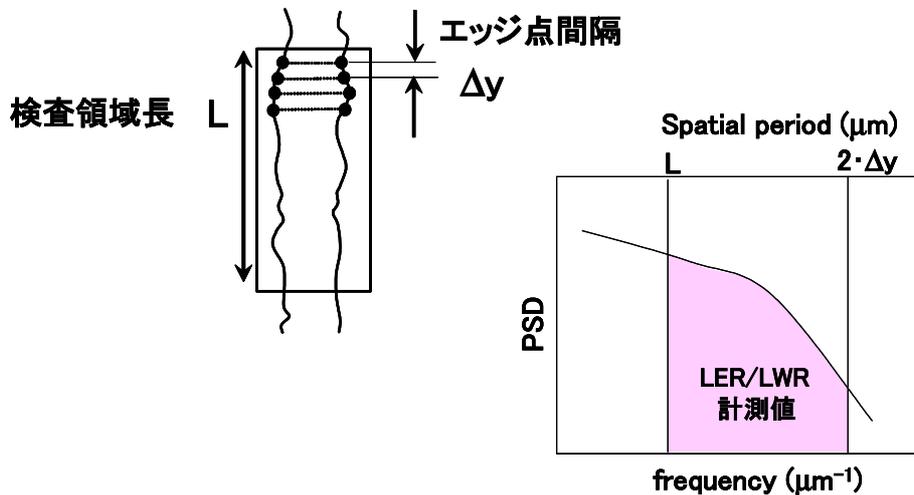
図表 13-4 ラインエッジラフネスのスペクトル

また、レジストのLERがエッチング工程によって、実際にゲート電極パターン形状として転写されること、特に、長周期のラフネスほど忠実に転写されること[14,15]が報告されている。以上から、ゲートラインラフネスの計測仕様は、長周期のラフネスを十分評価できるものでなくてはならない。

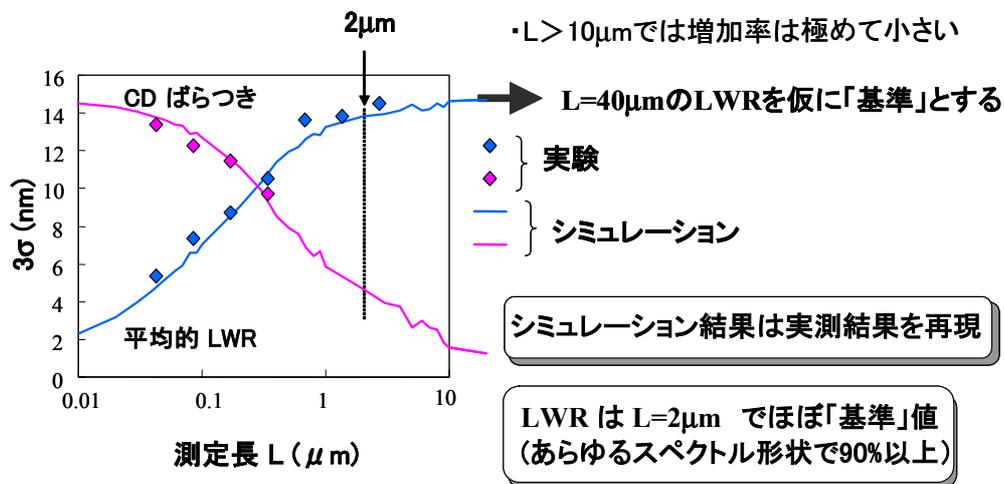
### 13-3-2 計測パラメータの検討 (計測ライン長さ L 及び計測間隔 Δy)

LWRはゲート長ゆらぎ、そのものであり、トランジスタ性能に直接影響を与える。したがって、トランジスタ性能のゲート長ゆらぎ依存性は、LERではなくLWRをトランジスタ性能の指標とすべきである[1]。LWR計測の重要なパラメータである計測ラインの長さ(以下Lと記す)と局所的なライン幅の計測間隔(同Δy)は、LWRの空間周波数分布における積分範囲として図表13-5のように示される。

まず、Lの最適値を検討した結果について述べる。図表13-6にLWR値のL依存性を示す。数種類のレジスト、また数種類のレジストパターンについて実測を行った結果、Lの増加に伴ってLWR値は急速に増加するが、 $L > 2 \mu\text{m}$ の領域において増加は飽和する。これより、 $L=40 \mu\text{m}$ のLWR値を仮に基準値(飽和値)として、 $L=2 \mu\text{m}$ を測定長として計測を行うと、ほとんどの事例が基準値の95%、最も悪い場合でも90%の範囲に収まることがわかった。



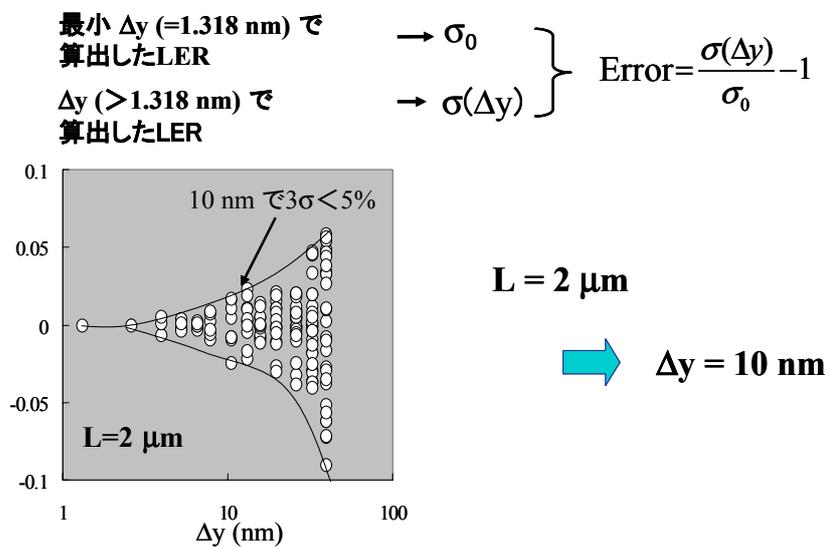
図表 13-5 エッジ検出のための重要な計測パラメータ



図表 13-6 LWRとCDばらつきのL依存性 (実測/シミュレーション)

尚、上記の結論は実測データ(グラフ中のシンボル、 $L \leq 3 \mu\text{m}$ )とLWRシミュレーション(同、実線)に基づいている。LWR計測には、全体のラインパターン像をCD-SEMの同一視野内に納めることが必要であるが、 $L$ が大きい場合は、ライン幅方向に高分解能を保ったままこのような計測を行うことができない場合も多い。そのため、LER/LWRスペクトルのユニバーサルな周波数特性(図表13-4)に着目して、長いラインパターン形状( $L \leq 40 \mu\text{m}$ )でのラフネスのシミュレーションを行った[11]。このシミュレーション結果は $L \leq 40 \mu\text{m}$ の領域で、実験値とよく一致おり、周波数特性を示すために仮定した関数が妥当であることがわかった。図表13-4と同様のLERスペクトル形状 [16,18-20]、また、LERスペクトルが同様な関数(ある周波数 $f_0$ を境に高周波数領域ではほぼ $1/f$ に比例、低周波数領域で $1/f^m$ )で表されることについては複数の報告がある[21-23]。

一方、 $\Delta y$ については次のような評価を行った。まず、 $L=2 \mu\text{m}$ の領域を可能な限り狭い間隔でサンプリングし、LWR値を算出する。これを基準値とする。次に、サンプリング間隔 $\Delta y$ を徐々に増加させてLWR値を算出する。このとき、LWR値が基準値からどのくらいずれるかを見積もった(図表13-7)。その結果、基準値からのずれを5%以下( $3\sigma$ )に抑えるためには、 $\Delta y=10\text{nm}$ 以下とすべきであると分かった。

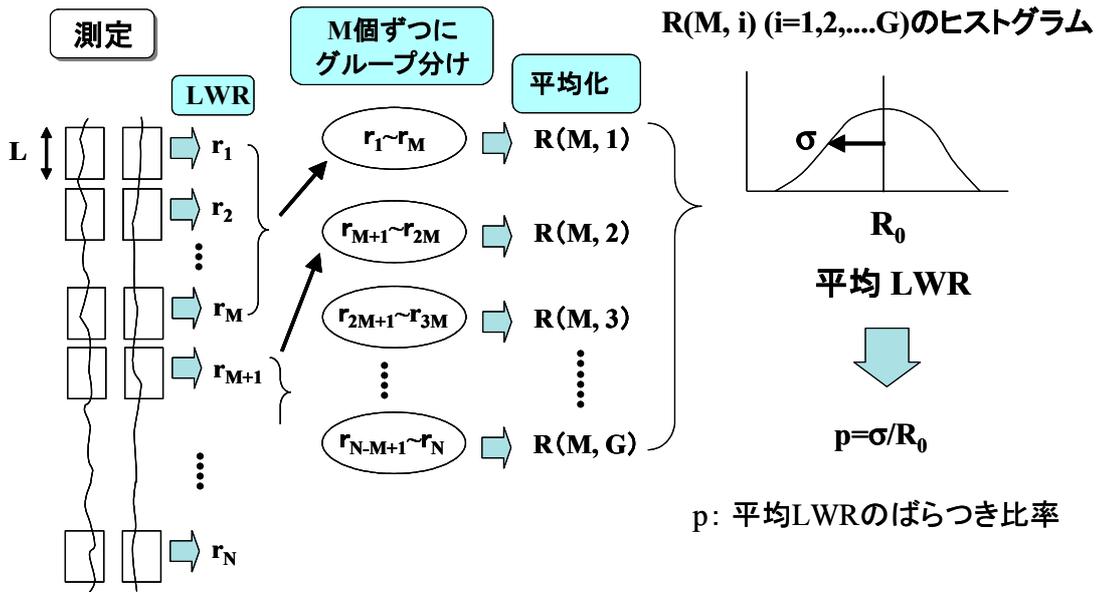


図表 13-7 エッジ点(サンプリング)間隔  $\Delta y$

LWR計測にはさらに、計測場所によって(同じライン上であっても)値がばらつくという問題がある。従ってある領域のLWR代表値を得るときには、複数回計測して平均値をとる必要がある。そこで、平均値のばらつきと、平均をとるための計測箇所数との関係を定量的に調べた。具体的な計測方法を図表13-8に示す。このようにして、「M回(箇所)計測結果の平均値R」のヒストグラムを算出し、そのひろがり(標準偏差 $\sigma$ )とトータル平均値( $R_0$ )との比、LWR(M回計測)平均値のばらつき比率 $p$ を求めた。その結果を図表13-9に示す。

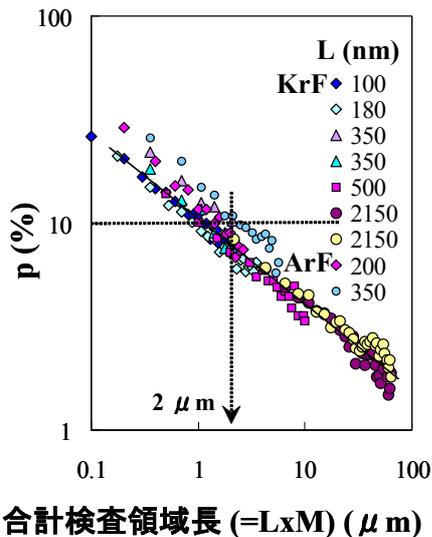
$p$ はMではなく $L$ とMとの積の関数で示すことができ、 $L \times M \geq 2 \mu\text{m}$ であれば $p \leq 10\%$ となることが分かった。従って、 $L=2 \mu\text{m}$ のときには複数回計測を行わなくても、1回の測定によって、計測場所によるLWR値のゆらぎは10%以下の抑えられるということになる。また、より高い精度が必要であれば複数回計測を行って平均値を算出する。M回の計測を行えば、ばらつきをさらに $1/M^{0.5}$ 程度まで低減できる。ここでの平均値の計算には算術平均を用いた。統計学的にはRMSを用いるべきであるが、実際の計測では分散値( $\sigma^2$ )ではなく $\sigma$ あるいは $3\sigma$ が用いられることが多いためである。但しRMSを用いても結果は殆ど変わらなかった。尚、図表13-9のグラフはLWRの $L$ 依存性と同様、図表13-4に示す関数を用いたシミュレーションにより再現できることが確認されている[11]。

以上の検討の結果、ゲートラインラフネス計測仕様として、 $2 \mu\text{m}$ のラインを $10\text{nm}$ 以下の間隔でサンプリングすることを提案した。



図表 13-8 計測箇所による LWR ばらつき

### 平均化後のLWR値ばらつき比率



- (1) LWRばらつき比率は合計検査領域長 ( $L \times M$ )で決まる。
- (2)  $L \times M \geq 2 \mu\text{m}$ であれば、計測場所による LWRばらつきは10%以下。



$L=2 \mu\text{m}$ であれば、1回のみでの計測でも場所によるばらつきは10%以下

図表 13-9 複数回計測による LWR ばらつきの低減

### 13-3-3 他WGとのクロスカットミーティング

実際の寸法計測において、“ $2 \mu\text{m}$ 長ラインの10nm間隔サンプリング”が適切であるかを検討する目的で、WG5(リソグラフィ)、WG6(PIDS)とクロスカットミーティングを実施した。検討内容は(1)実際の計測パターンに  $2 \mu\text{m}$ 長ラインが含まれていない場合のLER/LWR計測、(2)CD-SEMに十分な機能が装備されていない場合のLER/LWR計測、である。第一の項目については、(デバイス形成部分のレジストへのダメージを考慮して)寸法計測専用パターンを作成することもあるという現状から、「LWR計測が必要な場合は  $2 \mu\text{m}$ の計測用パターンを形成することで対処可能」という結論となった。第二の項目については、まず、ほとんどのCD-SEMベンダーがこのような計測ができるCD-SEMを(最新機種であれば)販売している、という状況を確認した。さらに旧機

種を用いた場合であっても、 $2\mu\text{m}$ ラインを隣接する複数個のセグメントに分割し各セグメントのCDとLWR値とから $2\mu\text{m}$ ラインのLWRを算出する、という方法で解決できることから、恐らく問題なしと判断した。

尚、WG5側からは、LWR起因のCDばらつきがあること、またそのばらつき量が(被測定長)Lに依存することの重要性を指摘された。生じる問題点は次の二つである。第一に、現状でも達成困難なGate CD Controlが、今後( $W_g$ の縮小に伴いLWR起因CDばらつきが増加するため)さらに困難になる(と予測される)。第二に、Gate CD Controlを議論する際に計測装置、CD計測仕様や校正手法を統一する必要がある。第二の問題は計測上の問題でもあるため、今後引き続き議論していく予定である。SPIE Microlithography 2005 においてもこれに関連した研究が報告された[24-27]。

### 13-3-4 配線の LER/LWR 計測

配線パターンエッジのラフネスがトランジスタ性能に及ぼす影響としては、13-3-1に述べたように、Cu配線の微細化によって、配線幅が電子の平均自由行程より小さくなると、配線の表面または界面での電子散乱による抵抗上昇がある[28]。Cu中での電子の平均自由行程は約30nmであるため、LER計測を行うためには、この中に3点のサンプリング点をとるとすれば、この場合も10nm間隔でLER計測が可能となる。また、配線の凸部での電界集中によるTDDB (Time Dependent Dielectric Breakdown) 劣化の結果の信頼性の低下が考えられる[29]。これらの配線LER計測方法については、引き続き検討中である。

### 13-4 まとめと今後の課題

65nmノード以降のMOSTランジスタ製造工程において不可欠となるLER/LWR計測のための計測仕様を検討した。LER/LWRの計測例、空間周波数分布解析、デバイス性能への影響の実験結果から、計測長領域、計測間隔の設定指針を得た。ここで述べた計測仕様“ $2\mu\text{m}$ 長ラインの10nm間隔サンプリング”を用いてLER/LWR計測を行うことによって、デバイス性能に影響の大きいラフネスの計測が可能となる。

また、ゲート長のバラツキのみならず、配線のラフネスがデバイス性能に及ぼす影響に関心が高まっており、配線LERがデバイス性能に及ぼす影響とともに、その管理手法の確立が急がれる。

### 用語解説

- フーリエ変換(Fourier Transform): 時間信号を周波数領域で表したもの。ここでは、ラインエッジ形状の揺らぎの波長を、周波数に変換し示すことを示す。
- LER (Line Edge Roughness) : ラインエッジの位置(座標)のばらつき。
- LWR (Line Width Roughness) : ライン幅のばらつき。
- CD(Critical Dimension) : LSI 製造では、最も小さい寸法が最も重要(critical)であり、多くは、MOSFET のゲート寸法(ライン幅)を示す。
- ロールオフ(roll off) : MOS トランジスタの性能劣化によってゲートしきい値電圧が負側へシフトすること。
- 電子の平均自由行程 : ここでは、Cu 等の金属中で、格子振動、結晶欠陥、不純物によって散乱されることなく、電子が弾道的に移動できる平均距離。

### 参考文献

- [1] Hyun-Woo Kim, Ji-Young Lee, Jangho Shin, Sang-Gyun Woo, Han-Ku Cho, and Joo-Tae Moon, “Experimental Investigation of the Impact of LWR on Sub-100-nm Device Performance”, IEEE Transactions on Electron Devices, vol. 51, (2004) p1984.
- [2] P. Oldiges, Q. Lin, K. Petrillo, M. Sanchez, M. Jeong, and M. Hargrove, “Modeling line edge roughness effect in sub 100 nanometer gate length devices”, SISPAD 2000, (2000) p131.

- [3] K. Patterson, J. L. Sturtevant, J. Alvis, N. Benavides, D. Bonser, N. Cave, C. Nelson-Thomas, B. Taylor, K. Turnquest, “Experimental determination of the impact of polysilicon LER on sub-100 nm transistor performance”, Proc. SPIE, vol. 4344, (2001) p809.
- [4] K. K. Young, S. Y. Wu, C. H. Wang, C. T. Lin, J. Y. Cheng, M. Chiang, S. H. Chen, T. C. Lo, Y. S. Chen, J. H. Chen, L. J. Chen, S. Y. Hou, J. J. Liaw, T. E. Chang, C. S. Hou, J. Shih, S. M. Jeng, H. C. Hsieh, Y. Ku, T. Yen, H. Tao, L. C. Chao, S. Shue, S. M. Jang, T. C. Ong, C. H. Yu, M. S. Liang, C. H. Diaz, and J. Y. C. Sun, IEDM Tech. Dig. 2000, (2000) p563.
- [5] C. H. Diaz, H. Tao, Y. Ku, A. Yen, and K. Young, “An experimental validated analytical model for gate line-edge roughness (LER) effects on technology scaling”, IEEE Electron Device Letters, vol. 22, (2001) p287.
- [6] S. Xiong, J. Bokor, Q. Xiang, P. Fisher, I. Dudley, and P Rao, “Study of gate line edge roughness effects in 50 nm bulk MOSFET devices”, Proc. SPIE vol. 4689, (2002) p733.
- [7] T. Linton, M. Chandhok, B. J. Rice, and G. Schrom, “Determination of the line edge roughness specification for 34 nm devices”, IEDM Tech. Dig. 2002, (2002) p303.
- [8] J. A. Croon, G. Storms, S. Winkelmeier, I. Pollentier, M. Ercken, S. Decoutere, Q. Sansen, and H. E. Maes, “Line edge roughness: characterization, modeling, and impact on device behavior”, IEDM Tech. Dig. 2002, (2002) p307.
- [9] K. Shibata, N. Izumi, and K. Tsujita, “Influence of line edge roughness on MOSFET devices with sub-50 nm gates”, Proc. SPIE, vol. 5375 (2004) p865.
- [10] A. Yamaguchi, R. Tsuchiya, H. Fukuda, O. Komuro. H. Kawada, and T. Iizumi, “Characterization of line-edge roughness in resist patterns and estimations of its effect on device performance”, Proc. SPIE vol. 5038, (2003) p689.
- [11] A. Yamaguchi, K. Ichinose, S. Shimamoto, H. Fukuda, R. Tsuchiya, K. Ohnishi, H. Kawada, and T. Iizumi, “Metrology of LER: influence of line-edge roughness (LER) on transistor performance”, Proc. SPIE vol. 5375, (2004) p468.
- [12] J. Y. Lee, J. Shin, H. W. Kim, S. G. Woo, H. K. Cho, W. S. Han, and J. T. Moon, “Effect of line-edge roughness (LER) and line-width roughness (LWR) on sub-100-nm device performance”, Proc. SPIE vol. 5376, (2004) p426.
- [13] S. Xiong, J. Bokor, Q. Xiang, P. Fisher, I. Dudley, P. Rao, H. Wang, and B. En, “Is gate line edge roughness a first-order issue in affecting the performance of deep sub-micro bulk MOSFET devices?”, IEEE Trans. Semiconductor Manufacturing vol. 17, (2004) p357.
- [14] H. Fukutome, Y. Momiyama, T. Kubo, Y. Tagawa, T. Aoyama, and H. Arimoto, “Direct evaluation of Gate Line Edge Roughness Impact on Extension Profiles in Sub-50nm N-MOSFETs”, IEDM Tech. Dig. 2004, (2004) p433.
- [15] A. Yamaguchi and O. Komuro, “Characterization of line edge roughness in resist patterns by using Fourier analysis and auto-correlation function”, Jpn. J. Appl. Phys., vol. 42, (2003) p3763.
- [16] B. D. Bunday, M. Bishop, J. S. Villarrubia, A. E. Vladar, “CD-SEM Measurement of line edge roughness test patterns for 193 nm lithography”, Proc. SPIE, vol. 5038, (2003) p674.
- [17] A. Yamaguchi, H. Fukuda, H. Kawada, and T. Iizumi, “Analysis of line-edge roughness in resist patterns and its transferability as origins of device performance degradation and variation”, J. Photopolym. Sci. Technol., vol. 16, (2003) p387.
- [18] G. Eytan, O. Dror, L. Ithier, B. Florin, Z. Lamouchi, and N. Martin, “Amplitude and spatial frequency characterization of line edge roughness using CD-SEM”, Proc. SPIE, vol. 4689, (2002) p347.
- [19] V. Constantoudis, G. Patsis, L. H. A. Leunissen, and E. Gogolides, “Toward a complete description of linewidth roughness : a comparison of different methods for vertical and spatial LER and LWR analysis and CD variation”, Proc. SPIE, vol. 5375, (2004) p967.

- [20] B. D. Bunday, M. Bishop, D. McCormack, J. S. Villarrubia, A. E. Vladar, R. Dixon, T. Vorburger, and N. G. Orji, “Determination of optimal parameters for CD-SEM measurement of line-edge roughness”, Proc. SPIE, vol. 5375, (2004) p515.
- [21] T. Marschner, A. Lee, S. Fuchs, L. Volkel, and C. Stief, “193-nm resist roughness characterization and process propagation investigation using a CD-SEM”, Proc. SPIE, vol. 5375, (2004) p477.
- [22] L. H. A. Leunissen, G. Lorusso, H. Yang, A. Azordegan, J. A. Croon, and T. DiBiase, “Full spectral analysis of line edge roughness”, to be published in Proc. SPIE, vol. 5752.
- [23] V. Constantoudis, E. Gogolides, J. Roberts, J. K. Stowers, “Characterization and modeling of line edge roughness”, to be published in Proc. SPIE, vol. 5752.
- [24] C. Lee, “Average line width and hole diameter measurement evaluation by high resolution and low magnification CD SEM”, to be published in Proc. SPIE, vol. 5752.
- [25] A. Yamaguchi, H. Fukuda, H. Kawada, and T. Iizumi, “Impact of long-period line-edge roughness (LER) on accuracy in CD measurement”, to be published in Proc. SPIE, vol. 5752.
- [26] T. Marschner, U. Kramer, A. Lee, and C. Stief, “Impact of averaging of CD-SEM measurements on process stability in a full volume DRAM production environment”, to be published in Proc. SPIE, vol. 5752.
- [27] B. D. Bunday, O. Adan, J. Allgair, A. Tam, D. Chase-Colin, R. Kris, and M. Har-Zvi, “CD SEM metrology macro CD technology: beyond the average”, to be published in Proc. SPIE, vol. 5752.
- [28] W. Steinhogel, G. Schindler, G. Steinlesberger, M. Traving, and M.Engelhalt, “Impact of line edge roughness on the resistivity of nano-meter-scale interconnects” Microelectronic Engineering, vol.76(2004)p.126
- [29] J.Noguchi, T.Oshima, U.Tanaka, K.Sasajima, H.Aoki, K.Sato, K.Ishikawa,T.Saito, N.Konishi, S.Hotta, S.Uno and K.Kikushima, “Integration and Reliability Issues of Cu/SiOC Interconnect forArF/90nm Node SoC Manufacturing”, IEDM Tech. Dig. 2004, (2003)