

第 2 章 設計タスクフォース

2-1 はじめに

ここ数年、設計タスクフォースでは、デジタル家電向けあるいはモバイル用途向けの低電力 SOC (System on Chip) を民生用 LSI のシステムドライバとして位置付け、SOC 設計の観点から、国際半導体技術ロードマップで示されるパラメータの定量的な評価を行っている。従来の国際半導体技術ロードマップでは、主として DRAM や MPU をテクノロジドライバとして技術ロードマップが論じられてきた。設計タスクフォースでは、国際半導体技術ロードマップのこれまでの方向性に対して、日本発の今後の新市場を開拓するデジタルテレビ、ハードディスクレコーダ、携帯電話、デジタルカメラ、PDA (Personal Digital Assistants) といった新しい分野のデジタル民生機器に搭載される組み込みプロセッサや低電力 SOC をテクノロジドライバとして考えた場合の技術ロードマップの議論を進めることを主眼とした活動を進めてきた。デジタル民生機器に搭載される組み込みプロセッサや低電力 SOC をテクノロジドライバとするロードマップの議論を進めることで、低電力 SOC における設計、プロセス、デバイスの技術上の問題点を明確にすることを目標としている。これらのことから、会員企業での問題点把握と、その対策着手を早め、結果的に会員企業の競争力強化につながることを期待される。また、問題点を把握して関係者にインプットすることで、ロードマップの数字の見直しにつながる効果も期待される。

設計 TF では、2004 年度までは、主に ITRS の PIDS (Process Integration, Devices, and Structures) 章に示された、デバイスの特性が SOC の性能と電力にどのような影響を及ぼすかを明らかにしてきた。ITRS2003 までは、SOC の電源電圧はスケーリング則によって下がり続け、それに伴い、ゲート酸化膜の薄膜化やしきい値電圧の低下もすすんでいくとしていたが、我々の検討では、リーク電力が支配的になり、SOC においてはもはや無意味な数字であることを明らかにしてきた。¹

また、2004 年度から 2005 年度にかけては、DFM (Design for Manufacturing) の検討を行い、ばらつきが LSI の諸特性にどのように影響するかについて検討した。近年 DFM や DFY (Design for Yield) などのキーワードで表わされる技術を適用して設計を進めることが重要であると言われている。DFM、DFY は、文字通り「製造を考慮した設計」あるいは「歩留りを考慮した設計」という意味であるが、最近のプロセスの急速な微細化にともない、デバイスのばらつきが増大し、設計が難しくなってきたことや製造歩留りが安定しないなどの諸問題が顕在化してきたことが、このような設計が重要になってきたことが背景にある。ここでは、デバイスばらつきが、LSI 設計に今後どのような影響を与えるかについて、最新版の ITRS2005ⁱⁱに記載されている MOS トランジスタのデバイスパラメータを適用して、再計算を実施し、その問題点を明らかにした。現在デバイスの特性ばらつきに関する問題は、設計技術でどう扱うかという問題になっており、設計技術を扱う設計 WG (WG1) において検討を進めている。

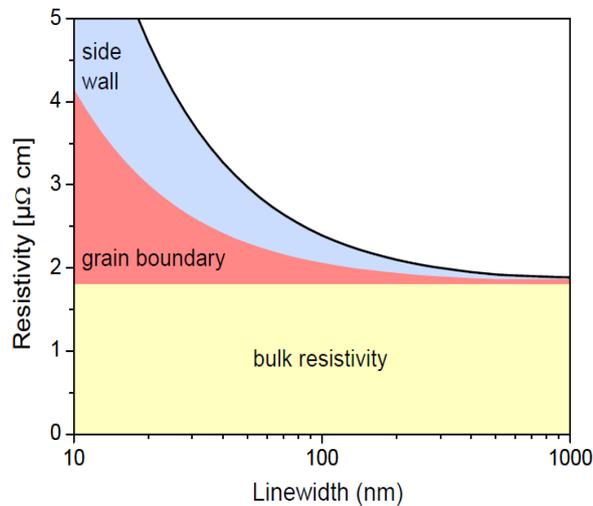
LSI を構成する要素は、MOS トランジスタと並び、配線がある。2005 年度まで、ばらつきも含め、デバイスの特性が SOC の性能に及ぼす影響について定量的に検討してきたが、配線特性も SOC の性能に重大な影響を及ぼす。また、ITRS のミーティングにおいて、Interconnect のグループから、今後配線の微細化に伴って、グレイン境界や配線・層間膜界面における電子の散乱の効果により、実際の LSI 内部の配線材料の抵抗率がバルクの配線材料の抵抗率よりも上昇するという見解が示された。これらのことから設計 TF として問題意識を持ち始めた。

このような経緯で、2005 年度より配線特性が SOC の性能に及ぼす影響の定量的な検討を開始した。本年度の報告は 2005 年度より開始した配線特性、特に配線及びビアの抵抗が SOC の性能に及ぼす影響について示したものである。本年度は特に配線抵抗の SOC の速度特性に与える影響を調査した。SOC の電力に与える影響あるいは、配線特性のばらつきが SOC の性能に与える影響は 2007 年度以後に継続して検討する予定である。

2-2 配線の抵抗率の上昇について

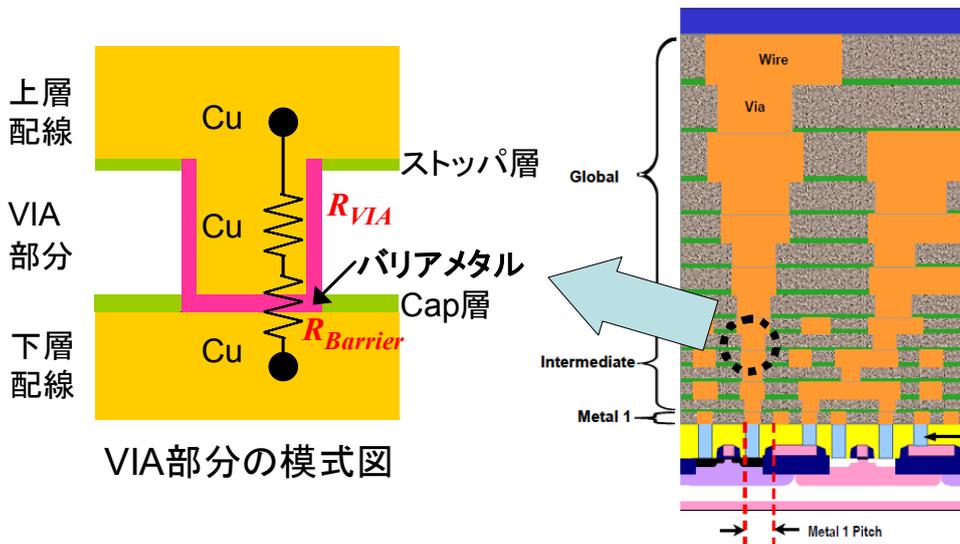
微細化した配線において、配線の抵抗率の上昇の問題があることは、ITRS2003 において既に簡単な記載がある。ITRS2005 では、抵抗率の上昇についてより正確にモデル化され、将来の配線の抵抗率についてロードマップとして記載されるようになった。

図表 2-1 は、ITRS2005 の Interconnect 章に記載されているものであり、配線材料の抵抗率が配線の微細化とともに上昇することを示したものである。配線材料は Cu を主成分とするものであり、本来抵抗率というものは材料定数として材料固有で一定のものである。しかしながら、配線幅が細くなるにしたがって、銅配線のグレイン境界における電子散乱や配線・絶縁膜界面のラフネスに起因する電子散乱の影響で抵抗率が急激に上昇する。さらに、配線材料 Cu と絶縁膜の間に、配線材料が絶縁膜中に拡散しないように設けられるバリアメタル層の影響が無視できない。バリアメタル層は、配線材料 Cu と絶縁膜の間に薄く形成されるが、一般にバリアメタル材が Cu に対して抵抗率が大きいことから問題になってくる。



図表 2-1 配線幅と配線の抵抗率の関係

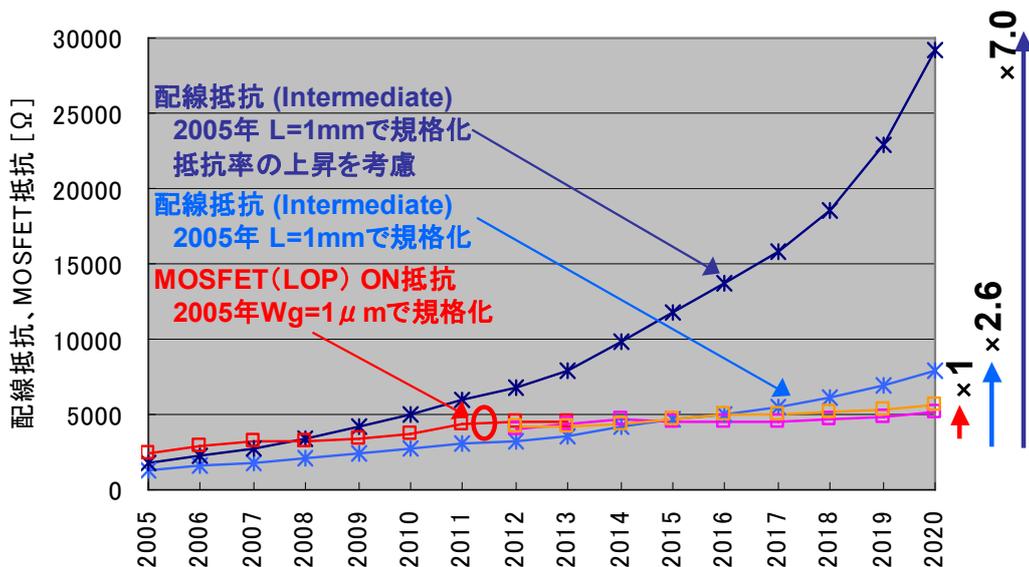
また、図表 2-2 示すように近年の LSI の断面構造では配線の多層化が進んできている。配線間の容量を削減するために絶縁膜の誘電率を下げるるとともに、上下の配線層の間を接続するビアのアスペクトレシオを大きく



図表 2-2 LSI の断面構造と VIA 部分の詳細

するといったことが行われている。ビアに Cu を埋め込む際にもビア底と側面にバリアメタル層を形成する。このバリアメタル層により、ビアに埋め込まれた Cu の正味断面積が減少し、そのことで Cu 部分の抵抗 (R_{via}) が大きくなる上、さらにビア底のバリアメタルの抵抗 ($R_{Barrier}$) が直接ビアの抵抗として見え、VIA 抵抗としては、両者の直列抵抗となるとしてモデル化した。

以上の効果を考慮の上、配線抵抗と MOSFET のチャンネル抵抗の今後の推移を計算したものを図表 2-3 に示す。本図は、2005 年時点での MOSFET (LOP) のチャンネル抵抗と散乱の影響を考慮しない銅配線材料バルクの抵抗率を用いた場合の配線の抵抗と、散乱の影響を考慮した場合の配線の抵抗を ITRS2005 で示された値



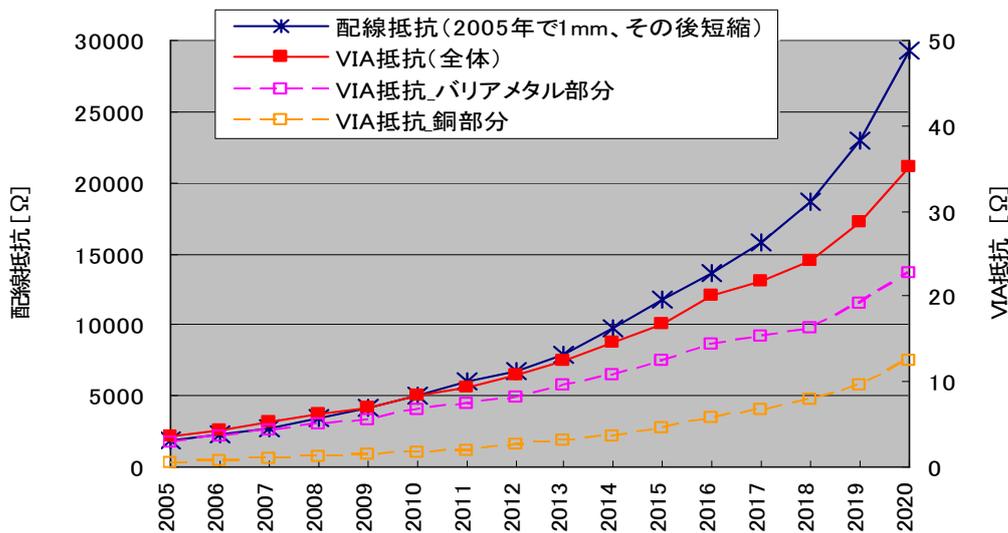
図表 2-3 配線抵抗と MOSFET の ON 抵抗

に基づき計算を行ったものである。MOSFET の ON 抵抗は、各世代の電源電圧¹を各世代の MOSFET (LOP) のオン電流²で割った上で定数倍することで計算する。2005 時点の ON 抵抗は、2005 年時点でのゲート幅 $1 \mu m$ あたりのオン電流と電源電圧とから計算する。2006 年以降の ON 抵抗は、2005 年でゲート幅 $1 \mu m$ として、2006 年以降は、 $M1^3$ のハーフピッチの縮小に比例してゲート幅を縮小させて、このゲート幅でのオン電流を元に計算する。Intermediate 層の配線抵抗については、2005 年時点で $1mm$ の配線長の抵抗を設定し、2006 年以降の配線抵抗として、配線長が $M1$ のハーフピッチの縮小に比例して短縮するとして、その配線長で各年代の配線抵抗率から配線抵抗を計算する。配線幅は、Intermediate 配線の最小線幅を設定する。図表 2-3 に付記する通り、MOSFET のチャンネル抵抗は 2005 年から 2020 年にかけて約 2 倍に上昇する。一方、配線抵抗はバルクの抵抗率を考えた場合でも MOSFET のチャンネル抵抗の上昇を上回り、散乱の影響を考えると、抵抗率のさらなる上昇が予想される。MOSFET の抵抗率の上昇割合を基準とすると、散乱の影響を考えた場合の配線抵抗の上昇率は実に 7 倍にもなる。したがって、今後たとえ MOSFET の性能向上があったとしても配線抵抗の上昇により、SOC の性能が向上しないことが予想される。

¹ ITRS2005 PIDS 章 Table47a、47b に、Vdd : Power Supply Voltage として記載されている。

² ITRS2005 PIDS 章 Table47a、47b に、Id,sat : Effective Drive Current として記載されている。

³ 最下層の配線を指す



図表 2-4 VIA 抵抗と配線抵抗

次に、VIA の抵抗の今後の傾向について検討した。VIA の抵抗の計算については、2005 年時点での代表的な VIA の抵抗値を配線 WG に示してもらい、ITRS2005 に記載されている VIA 径やバリアメタルの厚さなどから計算を試みた。

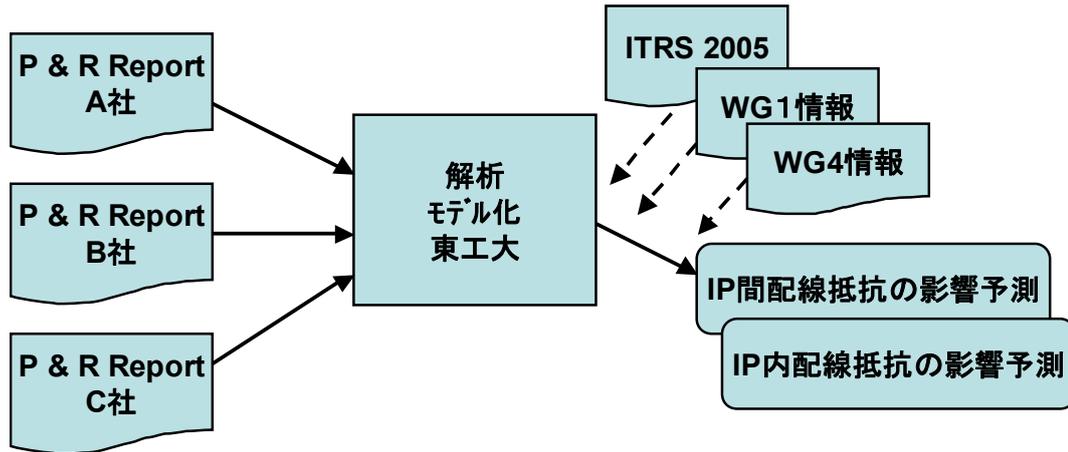
以下、VIA 抵抗の計算モデルの詳細を説明する。2005 年時点の銅配線の抵抗率、VIA の断面形状、バリアメタルの厚さのデータを ITRS2005 より抽出し、もう一方で、2005 年時点の業界における標準的な VIA 抵抗値を使って、図表 2-2 のように VIA の銅部分の抵抗値 (R_{VIA}) とバリアメタル部分の抵抗値 ($R_{Barrier}$) に分離した。この後、銅部分の抵抗値 (R_{VIA}) は、VIA 部の銅材料の寸法変化と抵抗率の変化による抵抗変化を計算し、バリアメタル部分の抵抗値 ($R_{Barrier}$) は、バリアメタル材料の抵抗率は一定としてバリア層の厚さと断面積で決まる抵抗値を計算し、両者が直列接続にあるとして、抵抗値を加算して VIA 抵抗を計算した。図表 2-3 から読み取れるように、2010 年頃までは、VIA 抵抗のうち、大部分をバリアメタルが占める。その後、VIA 部分が微細化することで銅部分の抵抗が上昇し、2020 年頃には、VIA の抵抗の約 1/3 が VIA の銅による抵抗寄与で、2/3 がバリアメタルによる抵抗寄与となる。やはり図表 2-3 から読み取れるように VIA 抵抗の上昇は散乱の影響を考慮した配線の抵抗の上昇とほぼ同じ上昇率をたどることになる。現時点の配線構造では通常では、配線抵抗がビアの抵抗よりも支配的であるが、将来においても同じ傾向をたどると予想される。したがって、今回の検討では、ビアの抵抗は配線抵抗の中に組み込まれているとして検討を進めた。

2-3 配線長分布のモデル化

配線抵抗の LSI に及ぼす影響を見るには、チップ内の最長配線に注目し、その配線における RC デレイを見積もることがよく行われる。ITRS においては、配線の断面積が急激に小さくなるために、配線の抵抗は急激に上昇し、RC デレイで見ると急激な上昇が起り、LSI の設計は不可能になるという結論が出てしまう。このため、テクノロジーが進むほど配線層数を増やして、上層の配線層の配線ピッチ及び配線厚さを大きくして一定の RC デレイを維持しようという「逆スケーリング」の考え方が ITRS にも導入されてきている。しかし、近年は設計技術の発達などにより、リピータを効果的に活用するなどして RC デレイの上昇を抑えて、配線層数を増やさずに所望の LSI の性能を維持することが行われており、ITRS でも導入されている「逆スケーリング」の考え方の乖離が出てきている。

以上の背景から、配線の特性の LSI 特性への影響を見積もるために、LSI の配線長分布をモデル化し、こ

のモデルに基づき配線抵抗の影響を評価することにした。LSI の配線長分布のモデル化に当っては、設計 TF



図表 2-5 配線抵抗の LSI 性能に対する影響の見積り方法

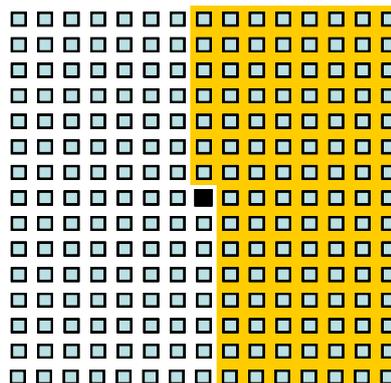
に参加しているメンバー企業から、実際に SOC のレイアウト設計を行った際に P&R (placement & routing) EDA Tool が出力する P&R Report の生データをボランティアで提供していただいた。本データは実際に LSI 化した設計のデータであるので、設計 TF が取り組もうとする対象そのものである。このデータを 2005 年度から設計 TF の活動に参加している東工大の益研究室において解析してもらい、LSI の配線長分布のモデル化を行った。こうして得られたモデルに対して、ITRS 上の数字あるいは、必要に応じて配線 WG あるいは、その他の関係者から必要なパラメータを提供してもらい、配線抵抗の LSI の性能に与える影響を評価した。(図表 2-5)

配線長分布を表すモデルとしては、従来、Georgia Institute of Technology の Davis らが提唱した Davis のモデルⁱⁱⁱ⁾がよく知られている。Davis のモデルは式 2-1 で示される Rent の法則^{iv)}を用いて、配線長分布を得ようとするものである。

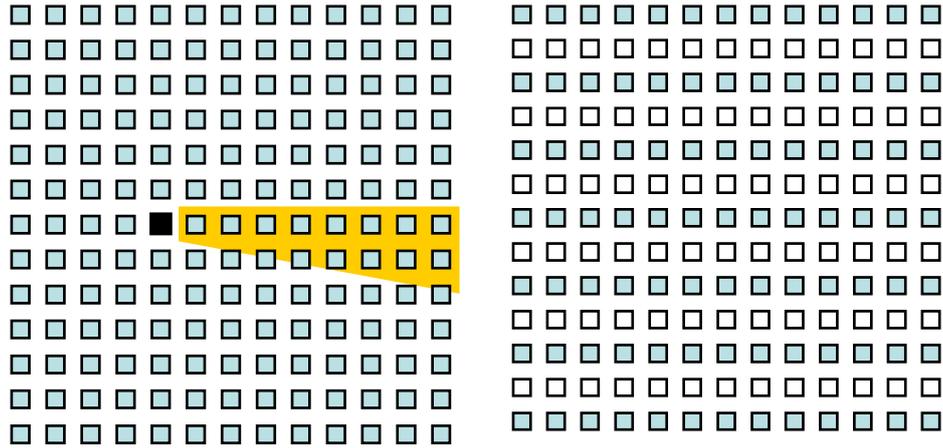
$$T = KN^p \quad \text{式 2-1}$$

ここで、 T は LSI の信号ピン数、 N はゲート数、 K と p は係数である。この式で K と p を適当に選択することにより、経験的に信号ピンとゲート数の関係が表現できる。Davis らはこのモデルを元に配線長分布を求めた。

益研究室の協力により、設計 TF 参加の各社から提供された P&R Report を解析した結果、Davis のモデルでは、近年の LSI の配線長分布を表現できないことがわかった。これは、図表 2-6 に示すように Davis モデルは黒く示されたセルと、右側の薄く塗られた半平面上にあるセルについて配線で接続される可能性があるという考え方であり、これが実態とあっていないからであると考えられた。新たに作成された天川-益モデル^{v)}においては、図表 2-7 に薄く塗られた部分で示すように接続されるセルの偏在性や、粗密性を考慮し、新たにパラメータを導入した。

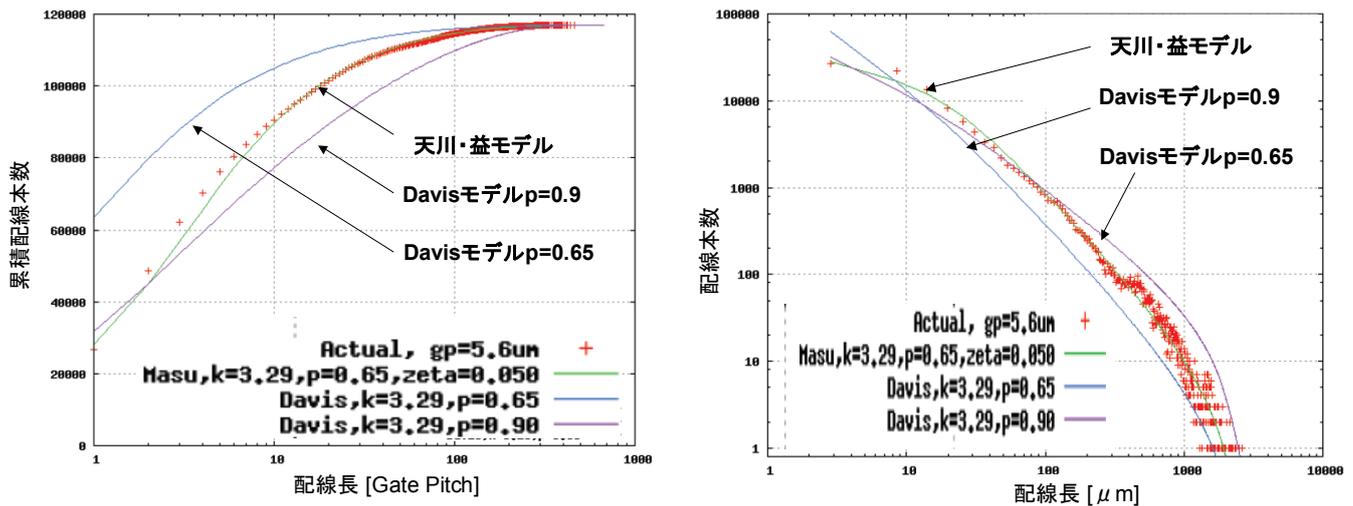


図表 2-6 Davis モデル



図表 2-7 天川-益モデル

C 社から提供されたのは $hp^4=0.18\mu\text{m}$ (産業界で言われる $0.13\mu\text{m}$ テクノロジー) の P&R report である。C 社から提供された P&R report を解析し、配線長分布の形にして、Davis のモデルと天川-益モデルを比較した結果を図表 2-8 に示す。



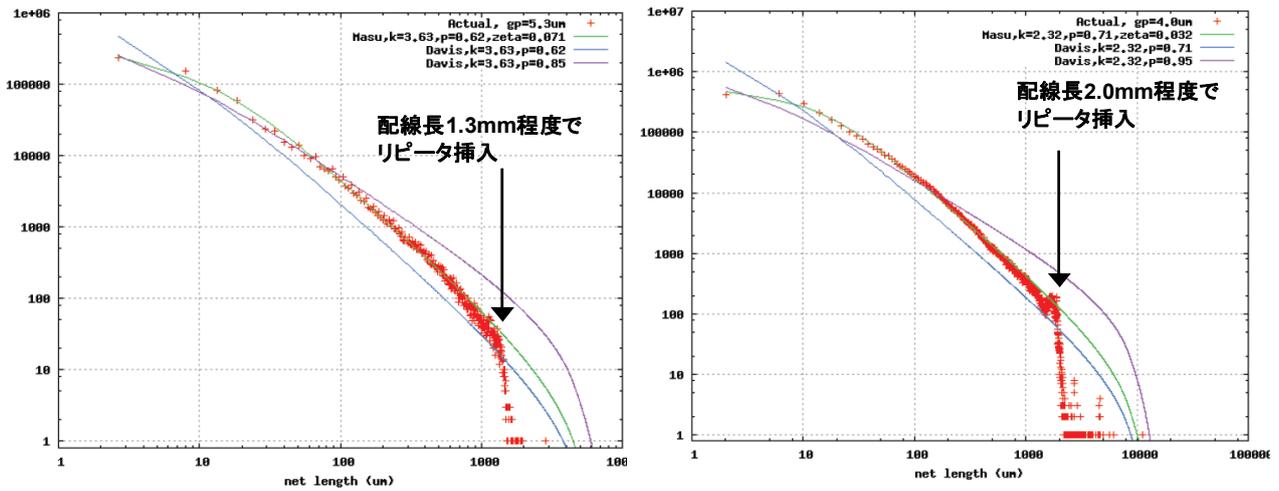
図表 2-8 C 社 LSI の配線長分布と Davis モデル、天川-益モデルの合せ込み状況の比較

図表 2-8 からわかるように、C 社の配線長分布は Davis のモデルで係数 p の値を変化させても合わせ込むことが難しい。一方、天川-益モデルを用いた場合は、新たに導入したパラメータ $\zeta=0.05$ を用いることにより正確に C 社の LSI の配線長分布を表現できるようになる。

次に、 $hp=130\text{nm}$ (産業界で言われる 90nm テクノロジー) を用いた A 社の LSI 及び、B 社の LSI について検討を行った。図表 2-9 に A 社、B 社の配線長分布と Davis のモデル及び、天川-益モデルでフィッティングをかけた結果を示す。フィッティングをかけた結果では $hp=130\text{nm}$ テクノロジーにおいても、配線長が長い部分を除いては天川-益モデルにより配線長分布を正確に表現できることがわかる。配線長が長い部分の配線長分布で配線本数が急激に減って、グラフでは崖状の変化が見られるが、これはリピータを挿入したことによるものであることがわかっている。図表 2-9 左側の B 社の配線長分布では、約 1.3mm を超える長さの配線において、リピータの挿入が行われており、図表 2-9 右側の A 社の配線長分布では、約 2.0mm を超える長さの配線において、

⁴ hp : ハーフピッチの略号で、1 層目の金属配線のピッチの半分の値

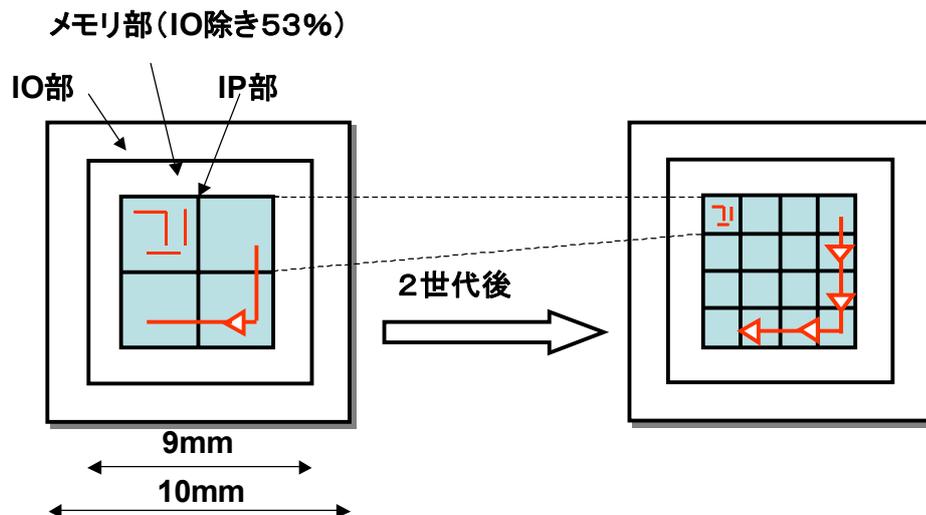
リピータの挿入が行われていることがわかる。各々、1.3mm あるいは 2.0mm 以上の長さの配線が若干数存在することがわかるが、これらは試験関連等の信号であると推測される。したがって、リピータの効果을別途配慮することにより、天川-益モデルにより、LSI の配線長分布を正確にモデル化できることが示された。



図表 2-9 B 社(左)と A 社(右)の配線長分布のフィッティング結果

2-4 配線抵抗の SOC 性能に与える影響の見積もり

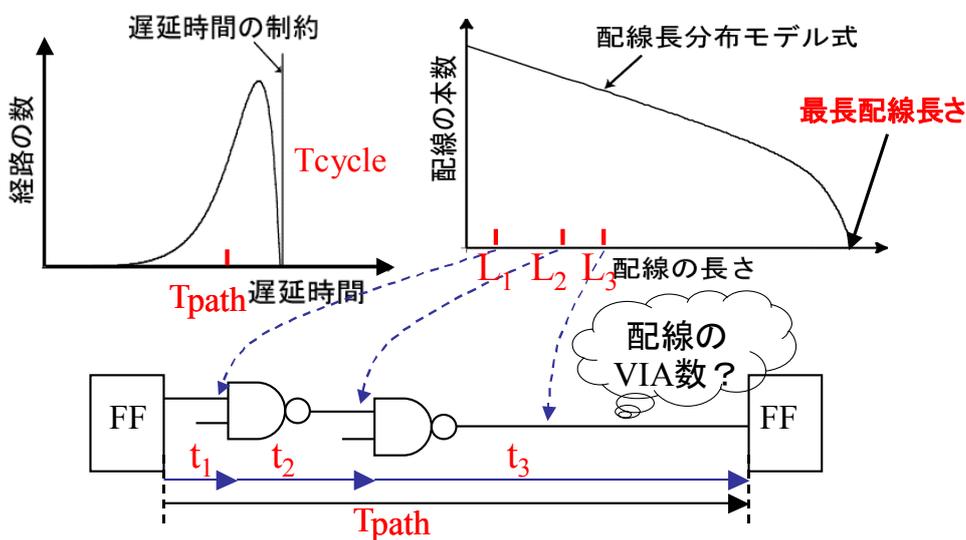
配線長分布は天川-益モデルにより精度よくモデル化ができることを示したが、このモデルを用い、ITRS の数字を参考に、配線抵抗が SOC の性能に与える影響を試算した。図表 2-10 は仮定した SOC のアーキテクチャのモデルである。チップサイズは ITRS 2006 Systems Drivers Chapter の Consumer Stationary 等の SOC モデルで仮定されているように、テクノロジーが進んでも一定の値をとると仮定した。本検討ではチップサイズ 10mm 間で一定と仮定した。近年の SOC は CPU コア、アクセラレータハード IP、IO 用ロジックなどの複数の IP ブロックから構成されている。これらの IP ブロックはテクノロジーの世代が進む毎にその回路規模を大きくするわけではなく、SOC に搭載される IP ブロックの数を多くしている。



図表 2-10 SOC アーキテクチャモデル

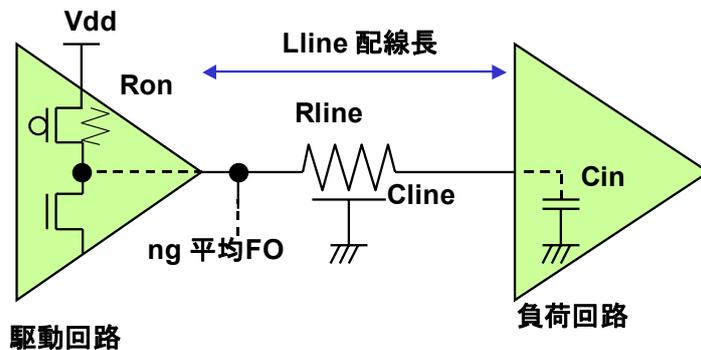
テクノロジーが2世代進むとFeature Sizeは半分になるので、搭載されるIPブロック数は4倍になることになる。また、IO 領域はチップ両側に 0.5mm ずつ存在すると仮定するとチップサイズは 9mm□になる。さらに設計WG からの情報により、メモリ部が SOC の内部で占める割合はおよそ 53%であり、メモリ部分の増加については、近年飽和傾向にあるということである。したがって、メモリ部を除いた IP 部の大きさは今後 6.17mm□相当であると設定した。このような前提のもとで、IP 部の動作周波数の動向と、IP 間を接続する配線における伝播遅延時間(伝送速度)を計算した。

手始めに、IP ブロックの動作周波数を計算する。IP ブロック内はテクノロジーの世代が進んでも回路そのものの変化はなく内部の配線構造も変化はない。したがって、その動作周波数は、トランジスタと配線の性能に直接影響を受ける。IPブロックの性能の求め方としては、まず $hp=90nm$ (2005年)におけるIPブロックの動作周波数を 5ns (200MHz)と仮定する。次に図表 2-11 で示すように IP ブロックの「回路のパス遅延時間分布(遅延時間対経路の数の関係)」と「配線長分布(配線の長さ対配線の本数の関係)」に合うように、FF-FF 間の論理回路パスを合成する。また、論理回路パス 1 段当りの遅延時間は図表 2-12 で示すような古典的な式で求めた。FF-FF 間のパス遅延は、論理回路パス 1 段当りの遅延時間を論理回路の段数分加算して求める。



図表 2-11 IP ブロックのパス遅延分布の計算方法

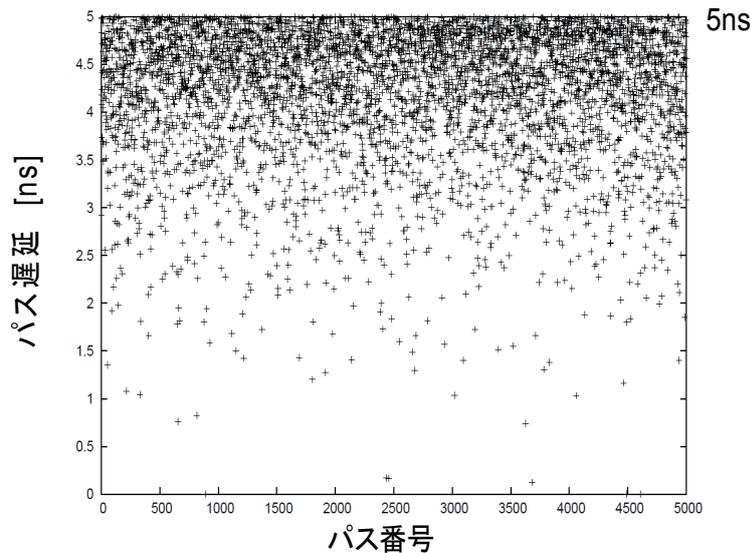
$$\tau_g = n_g R_{on} L_{line} C_{line} + n_g R_{on} C_{in} + R_{line} L_{line} C_{in} + R_{line} C_{line} \frac{L_{line}^2}{2}$$



図表 2-12 パス遅延の計算式

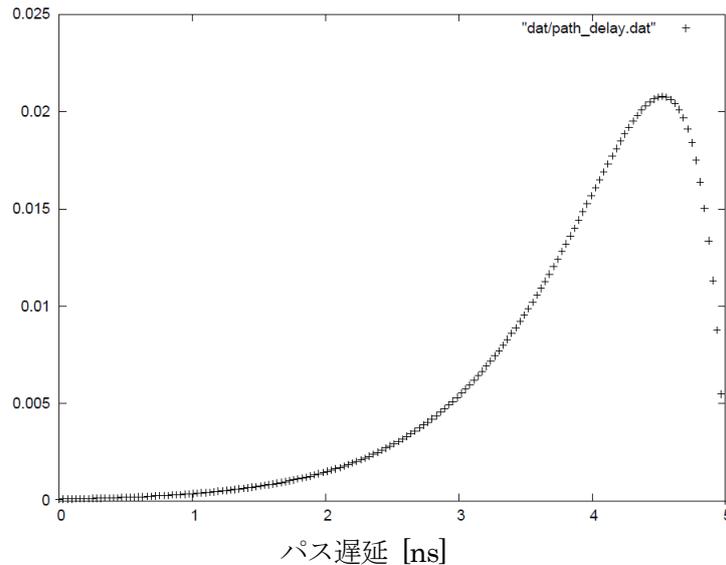
このようにして求めた $hp=90\text{nm}$ (ITRS 上で 2005 年)での IP ブロックの遅延分布を図表 2-13 に示す。図からわかるように、最大の遅延時間は 5ns に合わせてあり、この遅延時間を最大として、それより小さい遅延時間の分布は徐々に減少していくことがわかる。

ちなみに、この IP 内のパス遅延分布を計算する際に設定した計算条件は、論理ゲート数:1M ゲート、平均ファンアウト数:1.86、式 2-1 の係数 $p=0.7$ 、式 2-1 の係数 $K=3.0$ 、新たに導入したパラメータ $\tau=0.05$ である。配線長分布(配線の長さ対配線の本数の関係)については、参考文献 iv に記載する式を使って計算を行った。回路の FF-FF 間のパス遅延時間分布(遅延時間対経路の数の関係)については、 χ^2 分布関数で近似し、 χ^2 分布関数の自由度として、3.5 を設定した。図表 2-13 に横軸に最大パス遅延を 5ns として、回路の FF-FF 間のパス遅延時間を取り、縦軸にパス本数を設定して、FF-FF 間のパス遅延時間分布(遅延時間対経路の数の関係)を示した。



図表 2-13 生成した $hp=130\text{nm}$ 世代における IP 内のパス遅延分布 (FF-FF 間 全 5000 パス)

FF-FF 間パス本数
[規格化値]

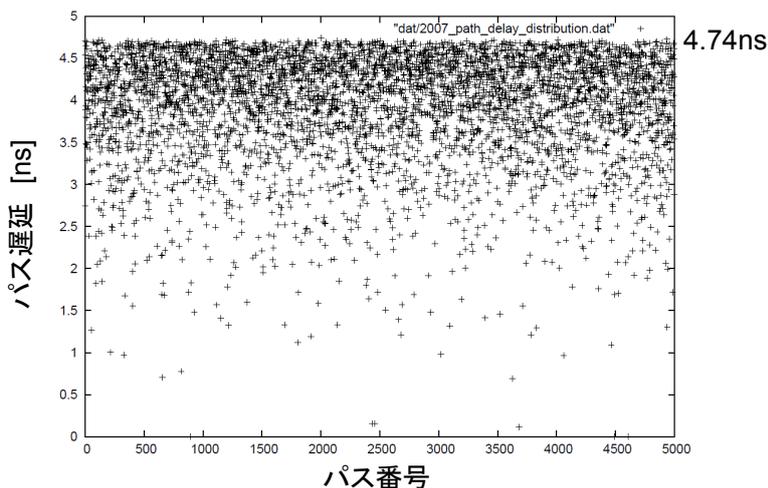


図表 2-14 χ^2 分布モデルによりモデル化した合成した遅延時間対経路数分布

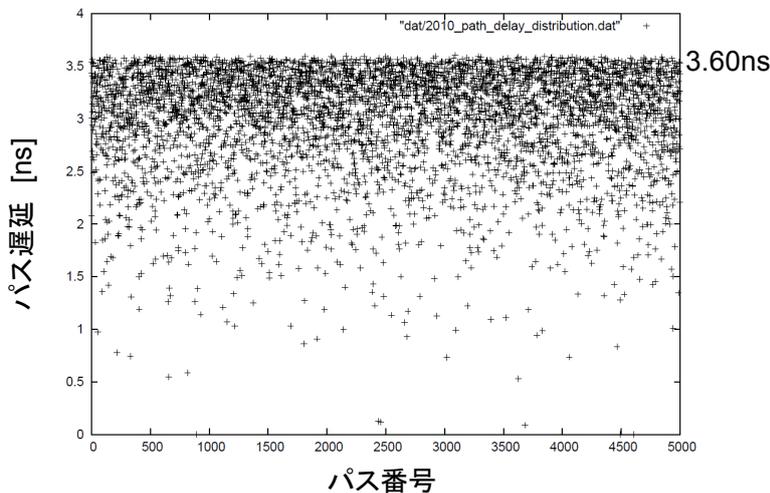
ここまでで、図表 2-14 に示すような、 $hp=130\text{nm}$ 世代における最大パス遅延 5ns の論理回路が構成できたの

で、回路構成や配線長分布がプロセス世代間で大きく変わらないと仮定して、 $hp=90\text{nm}$ 世代と $hp=65\text{nm}$ 世代のパス遅延分布を求める。計算方法は、図表 2-14 で生成された IP 内のパス遅延分布に対して、ITRS におけるデバイス及び、配線のパラメータを図表 2-12 に示す式に当てはめて計算することにより、異なるテクノロジーを適用した場合のパス遅延分布を計算する。配線長は、M1 half pitch に比例して短縮するとし、MOSFET ゲート幅もやはり、M1 half pitch に比例して縮小するとして計算した。図表 2-15 と図表 2-16 はそれぞれ、 $hp=90\text{nm}$ と $hp=65\text{nm}$ におけるパス遅延分布を示したものである。

図表に示すように、 $hp=90\text{nm}$ 、 $hp=65\text{nm}$ と進むにしたがって最大のパス遅延が 4.74ns、3.6ns と減少することがわかる。このようにして、IP ブロック内の動作速度を求めた。



図表 2-15 $hp=90\text{nm}$ におけるパス遅延分布

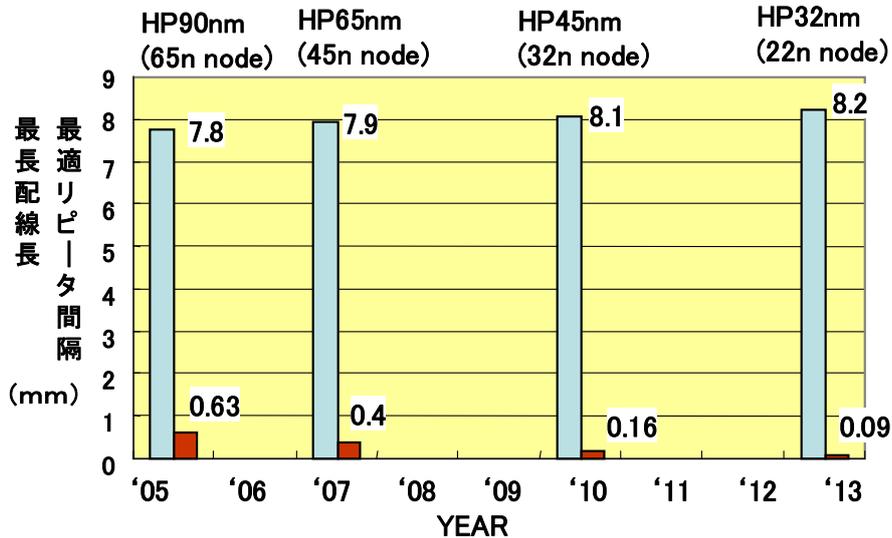


図表 2-16 $hp=65\text{nm}$ におけるパス遅延分布

次に、IP ブロック同士をつなぐ長距離配線について考察する。図表 2-9 で示したように、 $hp=130\text{nm}$ 世代においては本来長距離配線だったものが、リピータにより分断されて長距離配線の分布がなくなっていた。これは、リピータの技術を用いて、配線の RC によるディレイの増大を防いでいることを意味する。したがって、長距離配線を論じる場合には、リピータの効果を前提に考える必要がある。

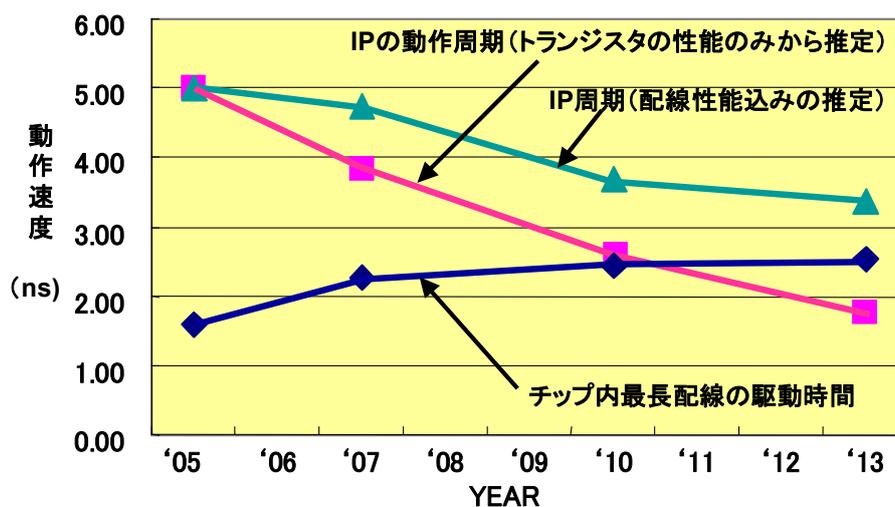
そこで、必要なリピータの間隔の予測を行った。予測において、図表 2-12 のパス遅延の計算式の考察を行

った。式中第 1 項と第 2 項はトランジスタの ON 抵抗に由来する遅延時間、第 3 項は配線抵抗と負荷容量による遅延時間、第 4 項は配線自身の抵抗と容量による遅延時間である。第 4 項は配線の長さが伸びると 2 乗で急激に大きくなる。ここでは最適ナリピータ間隔は第 1 項から第 3 項までの和の値と第 4 項の値が一致したところであるとして求めた。図表 2-17 はこのようにして求めた最適リピータ間隔を示したものである。また、図表 2-8 および図表 2-9 の天川-益モデルで表される配線長対配線本数のグラフで、配線本数が 1 本になる配線長を最長配線長として示している。なお、本図表の計算は ITRS で定義される配線の種類のうち Intermediate 層を対象に計算したものである。



図表 2-17 SOC の最長配線長と最適リピータ間隔の推移

図で示すように最長配線長は世代毎にあまり変わることはなく約 8mm⁵の値を維持する。一方、最適リピータ長は $hp=90nm$ 世代では 0.63mm であり、7.8mm の最長配線を 12 分割して 11 個のリピータを挿入する必要があることになる。世代が進むにしたがって、配線抵抗が急激に大きくなり、最適リピータ間隔は急激に短くなる。 $hp=32nm$ 世代において最適リピータ間隔は 0.09mm となり、8.2mm の最長配線に対して 90 個ほどのリピー



図表 2-18 IP の動作速度とチップ内最長配線の伝播遅延時間

⁵ これは、ロジック部分のサイズ 6.17mm□の一辺の長さを若干上回る長さに対応することになる。

タを配置することが必要になる。

最後に、図表 2-13、図表 2-15、図表 2-16 で示した IP ブロックの性能と最長配線の遅延時間を、リピータを用いて配線遅延を最適化した後の結果として図表 2-18 に示す。図表 2-18 には、配線抵抗の増加がないとした場合の IP ブロックの性能予測もあわせて示してある。

図表で示されるように、IP ブロックの動作性能は世代と共に向上するが、トランジスタの性能のみから推定した性能よりも大幅に劣るようになる上、2010 年から 2013 年にかけて $hp=45\text{nm}$ から $hp=32\text{nm}$ と微細化が進んだ時の性能向上が飽和してくる。これは配線抵抗の増大により、トランジスタ性能の性能向上にかかわらず、IP の性能向上が飽和してくることを意味している。一方チップ内最長配線の駆動時間は、2013 年においてリピータの効果で急激に大きくなることはなくなるものの、予想される IP ブロックの動作周期の 8 割ほどの値に達することになる。この値は、現在のオンチップの長距離配線に関連し、回路的あるいは、アーキテクチャ上の工夫が必要であることを示しているといえる。

2-5 おわりに

現在の SOC 及びマイクロプロセッサは、スケーリング則が限界に達したあとの電力爆発の問題と配線遅延の増大の問題を回路技術、設計技術、アーキテクチャ上の工夫によりたくみに回避してきた。代表的な例が、単一の CPU や IP ブロックの性能を追わず、マルチ CPU や小さな IP ブロックを集積するアーキテクチャである。これにより、CPU コアや個別の IP ブロックは世代とともに面積が縮小し、ロードマップで示される微細化によるトランジスタの性能向上の恩恵を、配線性能の劣化にかかわらず享受することが可能になった。しかし、本年の設計 TF の検討によれば、配線性能の劣化が今後著しくなり、新しいアーキテクチャをもってしても、今後 SOC の性能向上を果たすことが困難になる結果となった。この問題を克服して微細化による性能向上を果たすためには、ITRS の配線性能を劇的に上昇させる技術が必要になったと言える。

参考文献

ⁱ STRJ 年度報告書 設計 TF 報告分(2002 年度、2003 年度、2004 年度) <http://strj-jeita.elisasp.net/strj/>

ⁱⁱ International Technology Roadmap for Semiconductors 2005, <http://public.itrs.net>

ⁱⁱⁱ J. A. Davis, V. K. De, J. D. Meindl, "A Stochastic Wire-Length Distribution for Gigascale Integration (GSI)- Part I: Derivation and Validation", IEEE Trans. ED pp.580-589, Vol. 45, Mar. 1998

^{iv} Shuhei Amakawa, Takumi Uezono, Takashi Sato, Kenichi Okada, and Kazuya Masu, "Adaptable wire-length distribution with tunable occupation probability," In Proc. Int. Workshop on System-Level Interconnect Prediction, p.p. 1-8, March 2007. Austin/Texas.