

第 5 章 WG3 FEP(フロントエンドプロセス)

5-1 はじめに

WG3 (Front End Process; FEP) のカバーする技術領域は、**Starting Materials, Surface Preparation, Thermal/Thin Film, Doping, Front End Etch** というトランジスタ形成の要素プロセスと、**Stacked DRAM, Trench DRAM, Non-Volatile Memory (Flash), Phase Change Random Access Memory (PCRAM), Ferroelectric Random Access Memory (FeRAM)** などのメモリ材料からなっている。2006 年度の活動として、1) ITRS2005 の問題点抽出と ITRS2006 Update への反映、2) ITRS2007 に向けた現状調査を行った。

Starting Materials では 450mm ウェーハの導入時期が重要なテーマである。2006 年から検討の場が ISMI (International SEMATECH Manufacturing Initiative) に移っているため、ISMI 450mm Pj のメンバーであり US Starting Materials subTWG の Co-chair でもある M.Goldstein 氏を招き 450mm ウェーハのヒアリングを行った。技術検討は活発化しつつあり、2007 年にはいくつかの重要な決断を下す予定であることが明らかになった。

Thermal/Thin Film の重要なテーマは High-k/Metal Gate の導入時期である。ITRS2006 Update では、PIDS (第 8 章参照) が行ったアンケートに基づいて、High-k/Metal Gate 導入時期の 2 年先送り(後倒し)が決まった。2007 年になって、2 社から『High-k/Metal Gate の 2007 年実用化』という新聞発表があり、ITRS2007 では High-k/Metal Gate 導入時期が重要な議題になる。

Doping は、その要求項目が接合深さ、シート抵抗、急峻性のようになり、MOSFET を作らなくても測定可能であり、「極低加速イオン注入+ミリ秒アニール」により実現可能性を示す結果も得られているため、これまであまり深刻とは考えられてこなかった技術領域である。ITRS2005 では、ゲート絶縁膜の薄膜化/High-k の導入が先送りされた結果、SD-Extension 部の接合深さが著しく浅くなった。2006 年に US FEP の Co-chair になった R. Jammy が『アグレッシブ過ぎて実際の MOSFET に適用するには非現実的な値になっている』という問題提起をし、2006 年以降の重要な検討テーマになった。この問題提起を受けて、2006 年度 STRJ_WG3 の最重要テーマとして接合技術を取り上げ、5 人の方に講演をお願いすると共に、WG 内でも技術調査と議論を行った。

メモリ材料に関して、ITRS2006 Update では大きな変更はなかった。2007 年は、**FeRAM** に見られるような技術レベルと製品の乖離¹や、ERD TWG (第 15 章参照) から PIDS TWG に移ったノンクラシカル CMOS 関連技術の扱い²など、検討すべき課題が少なくない。

5-2 Starting materials

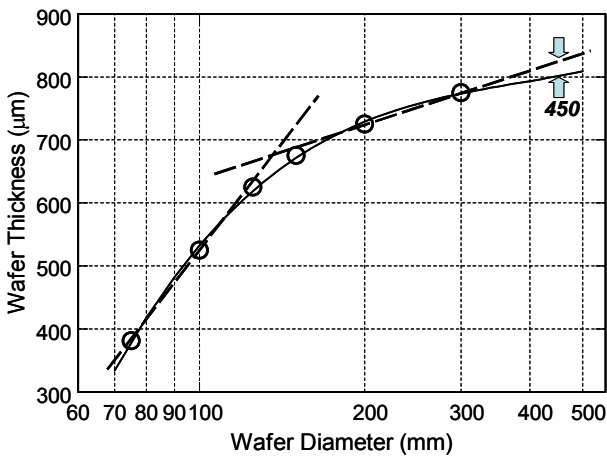
5-2-1 450mm ウェーハ検討小委員会と次世代ウェーハ技術専門委員会での 450mm ウェーハ検討

2005 年度には 450mm ウェーハ検討小委員会が精力的に活動し、既に報告書を出し、STRJ ワークショップでも報告した。2006 年度では、この委員会活動が継続されず一部の技術的課題が次世代ウェーハ技術専門委員会

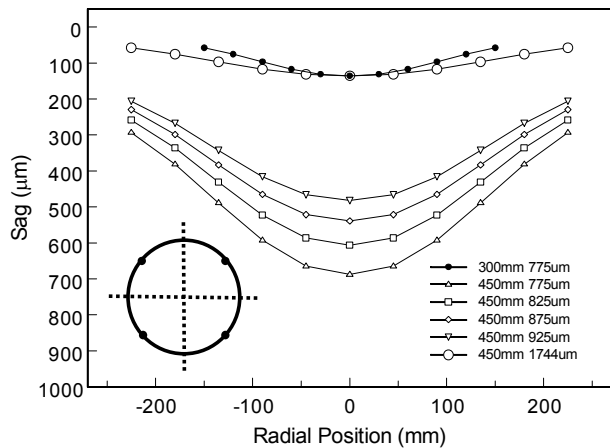
¹ 大口径化を例にとると、技術力はあるが市場要求がないので製品の大規模化が進まない。

² ITRS は製品化のロードマップであるのに対して、製品化時期が予測できないものが多い。

(福田委員長)で検討したに留まったが、**図表 5-3** に示すような、装置開発に使うメカニカルウェーハ規格を提案することができた。直径は、まだ議論の余地はあるだろうが、**450mm** を既定値とした。ウェーハ規格に盛り込む特性として、ウェーハ厚、厚さと直径の公差、表面(ウェーハ表面、裏面、エッジ)仕上げ、平坦度、ノッチとエッジの形状などいろいろがあるが、メカニカルウェーハとして考慮しなければならない特性のみ検討し、ウェーハ厚以外は現行**300mm**と同じとした。ノッチについては、ノッチレスという選択肢もあるが、それは将来の議論として、当面は現在のノッチ形状を踏襲するとした。昨年報告したように、厚さの歴史的トレンド(**図表 5-1**)の外挿は $800\mu\text{m}$ 以上となり、厚めに見積ると $825\mu\text{m}$ 程度である。LSIプロセスでの熱応力は、ウェーハ直径および厚さ依存性がほとんどなく、**450mm** ウェーハ厚を決める要因とはならないことを報告した。自重による撓みは、**図表 5-2** に示すように、**450mm** ウェーハでは $775\mu\text{m}$ 厚で $687\mu\text{m}$ 、 $825\mu\text{m}$ 厚で $606\mu\text{m}$ となり現行 **300mm** の $134\mu\text{m}$ から大幅に増加する。ウェーハキャリアやハンドリングなどで許容できる範囲かどうかポイントとなるが対処可能と仮定した。そうすると、**450mm** メカニカルウェーハの厚さは、現行 **300mm** ウェーハと同じか若干厚い程度、 $775\mu\text{m} + \alpha$ 、となる。ウェーハの割れについては、重要であるが、直径あるいはウェーハ厚依存性のデータやモデルがなく、議論できなかった。



図表 5-1 ウェーハ厚のトレンド。両対数プロットで、破線は直線近似、実線は 3 次曲線近似でフィッティングした。



図表 5-2 厚さの違う **450mm** ウェーハを外周 4 点で支えたときの撓み(点線方向)と **300mm** ウェーハの撓み。

5-2-2 Starting materials subTWG での **450mm** ウェーハ検討

日本の JEITA 検討結果とアメリカの ISMI の検討を比較すると、両者のスタンスは一致しており、**450mm** 移行時期は不確実であるが、装置開発に使うメカニカルウェーハ³の規格をまず決める。この場合、最も重要なのはウェーハ厚である。その他は、現行 **300mm** ウェーハ規格を引き継いでよいというものである。ISMI 提案は、現行 **300mm** ウェーハ厚から $50\mu\text{m}$ 増えた $825\mu\text{m}$ で、その理由は、ウェーハを再生して使う上での取り代 $50\mu\text{m}$ を考慮したという。JEITA の $775\mu\text{m} + \alpha$ で $\alpha = 50\mu\text{m}$ とするケースである。過去のウェーハ厚トレンドは経験的で技術的な根拠に乏しいが、**200mm** から **300mm** に移行したときには $50\mu\text{m}$ 厚くなったので、現行 **300mm** ウェーハ厚プラス $50\mu\text{m}$ は尤もらしい印象を与えるかもしれない。ISMI も熱応力と撓みをシミュレーションしており、炉熱処理時の応力はスリップを引き起こさないことと自重による撓みの増大を確認している。撓みをどこまで許容できるかについては明確な指針はないが、厚さが増すと、撓みは減少するがウェーハ重量は増え、ウェーハコストも上がることも考慮しなければいけない。ウェーハの割れについては考慮しなければならない要素として指摘したにとどまり、それ以上の

³ アメリカ側はハンドリングテストウェーハと呼ぶ。

議論はしていない。

12 月に ISMI のヒアリングをした。基本的には、starting materials subTWG での議論と同じであるが、ISMI の 450mm 取り組み最新状況がわかった。300 プライムと 450mm によるデバイスコスト削減の得失が判断できていないこと、450mm 移行時期が不明確であること、ウェーハメーカーの 450mm 開発試作の ROI が厳しいことを ISMI が認識していること、ミューレーションに基づいて 450mm ハンドリングテストウェーハ厚を検討したが単純に再生取り代を上乗せした厚さを提案してきたことなどがわかった。

2007 年 3 月の SEMI 北米スタンダード会議シリコンウェーハ委員会において ISMI からの 450mm ハンドリングテストウェーハ規格を標準化する新国際タスクフォース提案が承認され、450mm ウェーハ規格の公の場での議論が始まった。ハンドリングテストウェーハ案は前述の ISMI 仕様である。

特性	JEITA	ISMI	300mm
	公称値(公差)	公称値(公差)	公称値(公差)
直径(mm)	450(±0.20)	450(±0.20)	300(±0.20)
厚さ(μm)	775+α	825(±20)	775(±20)
TTV(μm)		10	10
Warp(μm)		100	100
フラットネス(μm)			
エッジ形状	TBD	SEMI T/4 テンプレート	SEMI T/4 テンプレート
方位マーク	現行ノッチ	現行ノッチ(注1)	ノッチ
裏面仕上げ	鏡面(注3)	鏡面	鏡面(グロス 0.8)
ウェーハID		T7(注2)	A/NマークつきT7マーク
目視検査		チップ、クラックなし	チップ、クラックなし
表面清浄度			

注1: レーザ方位マークはオプション

注2: アルファニュメリックIDはオプション

注3: エッジも鏡面仕上げ

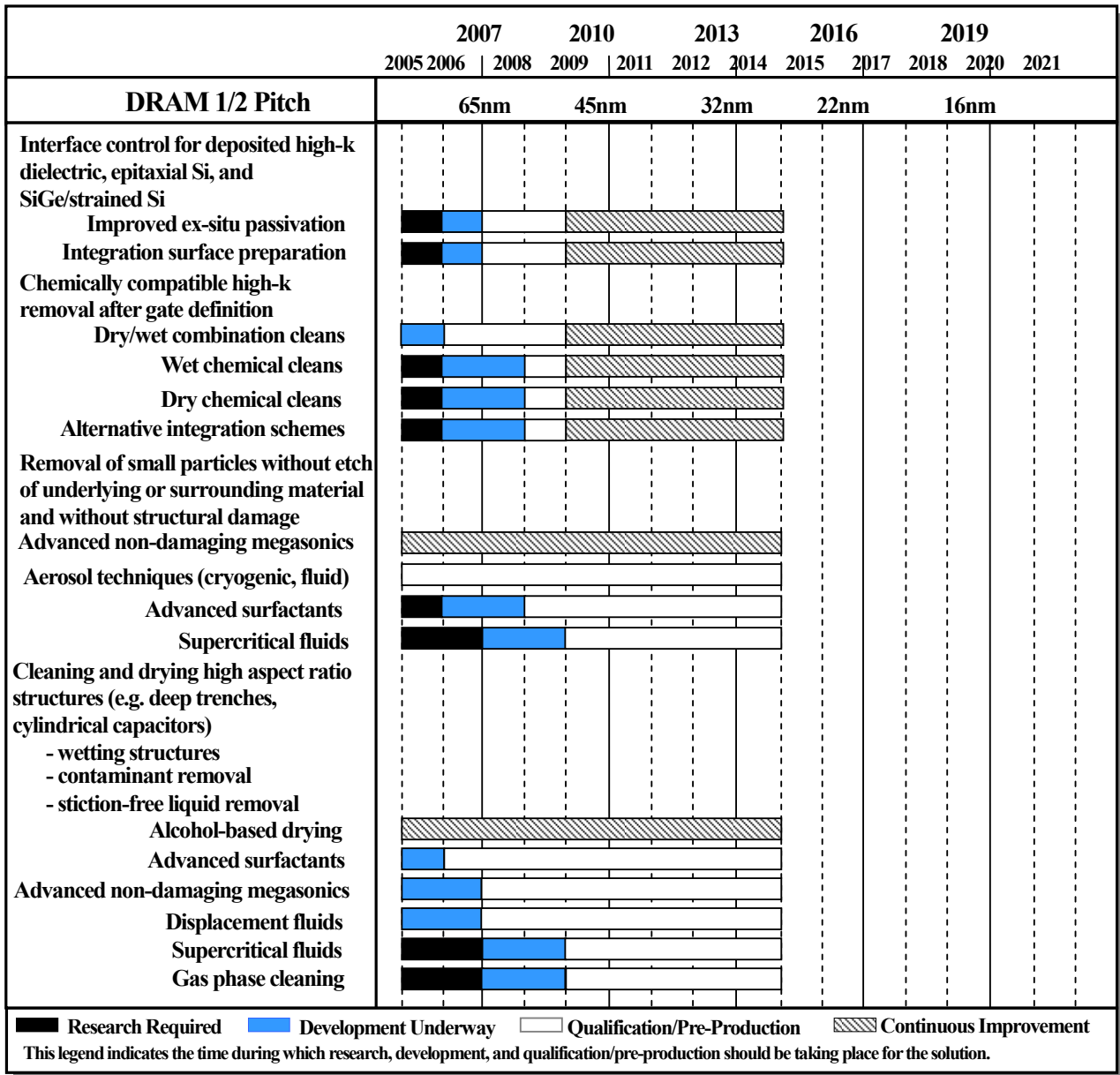
図表 5-3 JEITA 及び ISMI で検討した 450mm メカニカルウェーハの規格と現行 300mm SEMI 規格。450mm 規格の空欄は、メカニカルウェーハには不必要な項目として論議してない。フラットネスと表面清浄度はウェーハ特性として重要であるが、SEMI M1 表 9 のウェーハ規格項目には入っていない。

5-3 Surface Preparation

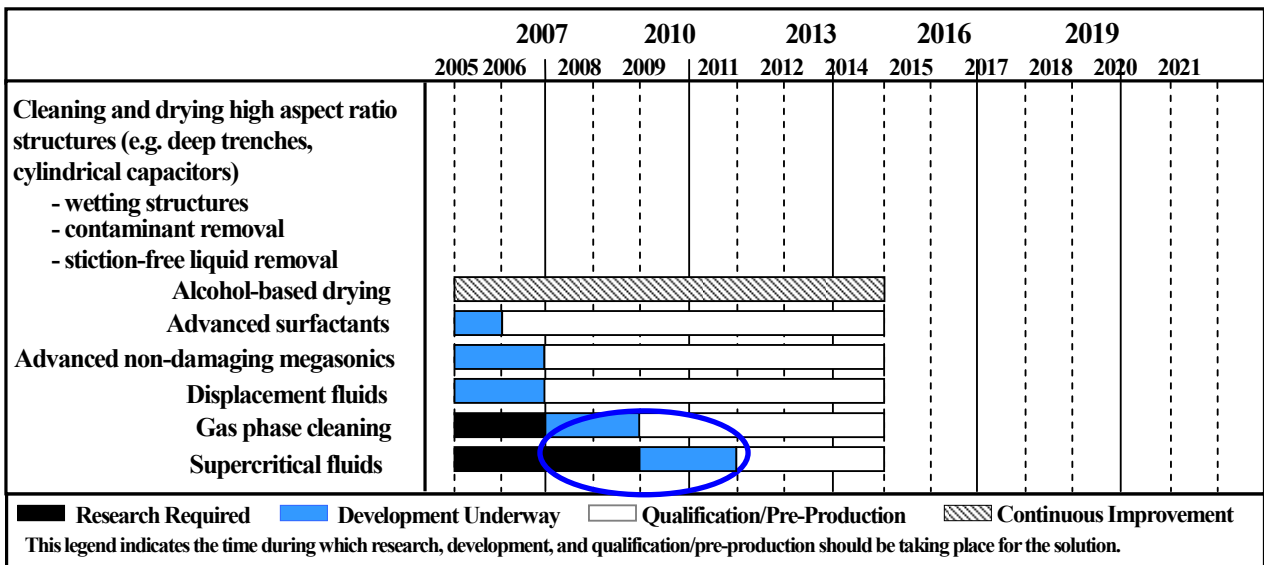
2006 年度版ロードマップの表面処理関連の変更点については、ウォーターマークの記述が登場した事である。尚、技術要求のテーブルは特に変更無かった。

ウォーターマークは、サブミクロンからミリメートルの直径サイズで存在するため、チップ上にそれらが接触する事で、破滅的な不良が発生してしまうため、寛容に取り扱う事ができない。つまり1つのウォーターマークは、1%のチップ損失を考慮すると、ウェハ上に1つ存在した場合においても、最大許容値を超えてしまう。従って、ウォーターマークは、ウェーハあたりゼロという基準値となり、それが示されている。

また有望解を加えた表面処理の技術課題は図表 5-4 に示されている。2006 年度版の変更点は、図表 5-5 に示すように、超臨界洗浄の技術開発が 2 年後倒しされた事である。それ以外は変更無しであった。新洗浄技術については、高レベルな研究開発が進められているが、今回、超臨界洗浄の開発が、2007 年から 2009 年へ移行する事になった事が、大きな変更点である。



図表 5-4 表面処理の有力解。ITRS2005(WAS)



図表 5-5 表面処理の有力解。ITRS2006 (IS)

5-4 Thermal/Thin Film

5-4-1 High-k ゲート絶縁膜

CMOS デバイスのゲート絶縁膜は、将来のスケーリングに対して最も困難な課題の一つになってきた。ゲート絶縁膜の(電氣的)薄膜化は微細化と性能向上を実現するためには不可欠な要素であるからである。しかしながら、要求される SiO₂ 換算膜厚(EOT)は 1nm を下回る極薄膜領域であり、従来の SiON ゲート絶縁膜では直接トンネルリーク電流やポリシリコンゲートからのボロン突き抜けを抑制できないため、物理膜厚は厚いが EOT は薄膜化が可能な高誘電率(High-k)ゲート絶縁膜が必要となってくる。

このような議論から High-k ゲート絶縁膜の実用化が急がれるが、ITRS2006 Update では High-k ゲート絶縁膜の実用化時期が見直された。ITRS2005 では ITRS2003 に比べて 1 年延期され 2008 年実用化と改訂されたが、ITRS2006 Update ではさらに延期され、MPU および LOP 向けには共に 2010 年導入とされた。LSTP 向けは 2008 年実用化と変更はない。(図表 5-6)。High-k ゲート絶縁膜は最近の学会発表等ではかなり有望な結果が得られつつあるが、実用化時期が先送りされた背景として、未だに信頼性などの High-k ゲート絶縁膜自体の未解明要因やトランジスタの V_{th} 制御など克服すべき課題が残っており、完全に SiO₂ や SiON に置き換わる High-k ゲート絶縁膜技術の実用化にはもうしばらくの時間を要すると言う本質的課題が挙げられる。

High-k ゲート絶縁膜に対する性能要求項目の例を挙げれば、1) EOT ≤ 1.0nm の膜厚でゲートリーク電流が SiO₂ に較べて 3~4 桁低い、2) 比誘電率 > 10 (長期的には > 20)、3) SiO₂ に匹敵するキャリア移動度、4) トランジスタのしきい値 V_{th} を 0V 近くまで制御できること、5) SiO₂ と同等の低ばらつき、6) 特性の安定性・再現性、7) 10 年程度を保証できる長期信頼性、などである。さらに、Poly-Si をゲート電極に使う場合には、1000°C 以上の耐熱性とドーパントの突き抜けを抑制できることが必要になる。High-k 膜あるいは High-k スタックの物性としては、界面準位が SiO₂ と同等に低いことや膜中欠陥が少ないことなどが挙げられる。

Year of introduction	ITRS2005	ITRS2006 Update
2008	High-k for Low Power High-k for MPU Metal Gate	High-k for LSTP
2010		High-k for LOP High-k for MPU Metal Gate

図表 5-6 High-k ゲート絶縁膜およびメタルゲートに対する ITRS2006 Update の変更点

上記の要求の多くを満たす High-k 材料として、最近では Hf 系酸化物に集約されてきた。Hf 系酸化物として検討の対象になっているのは主に HfO₂、HfON、HfSiO、HfSiON である。この中でも、最近の学会発表の件数では HfO₂ と HfSiON の発表が 80% 以上を占め、ほぼこの 2 つの材料に絞られてきた。HfSiON 膜は膜中に窒素を導入することにより 1000°C 以上の耐熱性が得られ、従来の CMOS プロセスとの適合性が非常に良好であることが最大の利点である。HfO₂ は HfSiON に比べ誘電率が高いことが大きなメリットで、この結果、膜厚スケーリングに有利となる。上記 HfO₂、HfSiON の電氣的特性では、EOT < 0.9nm の Poly-Si ゲートスタックでリーク電流も SiO₂ に比す

分に低い結果も報告され、当面の EOT 薄膜化要求に対しては十分な性能が得られている。また、キャリア移動度に関しても SiO₂ の 90% 程度の値が報告されている⁴。移動度に関しては「もはや障害は無い」との意見も出るほどである⁵。長期信頼性の良好なデータも報告されつつある。

Hf 系 High-k ゲート絶縁膜の最大の課題は、Poly-Si ゲートトランジスタの V_{th} が SiO₂ 系ゲート絶縁膜ほど下げられないという点である。特に PMOS の V_{th} が 0.6V 以上と高い。この現象はいわゆる「Fermi level pinning」と呼ばれるものである。Fermi level pinning のメカニズムに関しては Poly-Si/HfO₂ 界面の Si-Hf 結合に起因するものとして 2003 年の VLSI シンポジウムで最初に報告された⁶。また、High-k 膜中の酸素空孔発生とそれに伴う電荷移動というモデルも提案されている⁷。Hf 系 High-k ゲート絶縁膜を用いたトランジスタの V_{th} 低減に関しては、SiN キャップ、カウンターチャネルドープ、あるいはフッ素イオン注入などの手法が提案されている。また、最近では High-k ゲート絶縁膜とゲート電極との界面制御技術が重要と認識されており、この観点から Hf 系酸化物に La 等の元素を添加する方法^{8,9}や界面に Hf 系以外の絶縁膜を設ける方法¹⁰などが提案されている。

5-4-2 メタルゲート

ゲート電極材料に関しても将来のスケーリングに関して大きいチャレンジがある。従来の Poly-Si ゲートに対してはゲート空乏化を抑制していく必要があり、Poly-Si 中のドーピング濃度を上昇させていかなければならない。しかしながら、高濃度に不純物がドーピングされた Poly-Si 電極の活性化処理はゲート絶縁膜やシリコン基板への不純物侵入(突き抜け)の観点から十分な注意が必要となる。

上記のような工夫を加えながら Poly-Si ゲート電極を引き続き使用していくことは重要であるが、ゲート空乏化や不純物侵入(突き抜け)を完全に抑制する手段として、メタルゲート電極の採用が望まれる。メタルゲート技術に関しては、材料の絞込みが最優先課題と考えられる。しかしながら、材料研究開発段階では様々な材料が試みられているが、nMOS および pMOS に対する最適材料はまだコンセンサスが得られていない状況と認識される。

このような状況を受けて、ITRS2006 Update ではメタルゲートの実用化時期の変更され、ITRS2005 では 2008 年であった時期が、ITRS2006 Update では 2010 年に先送りされた(図表 5-6)。High-k ゲート絶縁膜の導入時期変更と合わせて、FEP における大きな変更点である。

メタルゲート電極の仕事関数の要求値は、デバイス種類(HP、LOP、LSTP)毎、さらにデバイス構造(バルク、FD-SOI、Multi-gate)毎に規定されている。これら値はシミュレーションにより各年代ごとに PIDS から示されたトラン

⁴ S. Inumiya et. al., A thermally-stable sub-0.9nm EOT TaSix/HfSiON gate stack with high electron mobility for gate-first fabrication of hp45 LOP devices, IEDM Tech. Dig. p.27 (2005).

⁵ R. Jammy, Front end of line manufacturing technology, IEDM short course (2005).

⁶ C. Hobbs et. al., Fermi Level Pinning at the PolySi/Metal Oxide Interface, Symposium on VLSI Technology, p.9 (2003).

⁷ K. Shiraishi et. al., Physics in Fermi Level Pinning at the PolySi/Hf-based High-k Oxide Interface, Symposium on VLSI Technology, p.108 (2004).

⁸ H. N. Alshareef et. al., Thermally Stable N-Metal Gate MOSFETs Using La-Incorporated HfSiO Dielectric, Symposium on VLSI Technology, p.10 (2006).

⁹ X. P. Wang et. al., Dual Metal Gates with Band-Edge Work Functions on Novel HfLaO High-k Gate Dielectric, Symposium on VLSI Technology, p.12 (2006).

¹⁰ S. C. Song et. al., Highly Manufacturable 45nm LSTP CMOSFETs Using Novel Dual High-k and Dual Metal Gate CMOS Integration, Symposium on VLSI Technology, p.16 (2006).

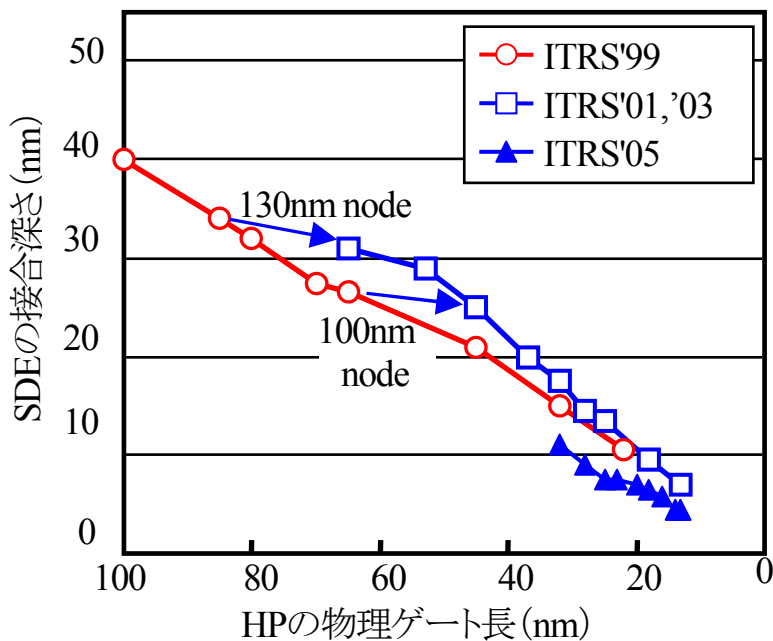
ジスタ性能要求値を満たす最適仕事関数を求め、それを世代毎に値が変わらないように調整したものである。(世代に関わらず一定の仕事関数としたのは、出来るだけメタルゲート材料を変更したくないという配慮で行ったものである。)バルクデバイスにおいては、バンドエッジメタルが必要であり、NMOS/PMOS それぞれシリコンの伝導帯/価電子帯の端から 0.2eV 以内の材料が必要となり、いわゆるデュアルメタルゲートを実現する必要がある。FD-SOI と Multi-gate トランジスタに要求される仕事関数はシリコンのバンドギャップのほぼ中央付近の値となる。

以上のように近年の精力的な研究開発により High-k/メタルゲート電極を用いたゲートスタックはその実用化まであともう一歩というところまで来たが、そのプロセス適合性や信頼性の課題を克服し切れておらず、完全実用化というフェーズには到達していないのが実情である。こういった情勢の中、2007 年初頭に High-k/メタルゲート電極を用いたゲートスタックを用いた実用化のアナウンスが 2 社からなされた。これに伴い、再びロードマップ加速に向けた新たな改訂の動きが始まりつつある。

5-5. Doping

5-5-1 ドーピング技術の位置づけと今後

ITRS におけるドーピング技術の位置づけを探るため、近年のロードマップでドーピングに対する要求値がどのように変化しているかを調べた。図表 5-7 に示したのは、extension (SDE)の接合深さの要求値の変遷である。ITRS1999からITRS2003まではゲート長のシュリンクに伴う変更が見られるものの、深さに関しては大きな変更はない。しかしながら ITRS2005 では、接合の浅さに関して要求値が劇的に厳しいものとなっている。この変更は、ITRS2005 で High-k 絶縁膜の導入時期を 2008 年に後倒した際に、デバイス性能の向上を犠牲にしないようにするためではあるが、その背景は、これだけの浅い接合の実現可能性の目処が立ったと認識されたことがある。



図表 5-7 ITRS Update による、SDE 接合深さに対する要求値の変遷

しかしながら ITRS2005 作成当時のその認識が、この 1 年で大きく変化した。2006 年は、ITRS においては部分的な改訂の年にあたり、その改定内容は基本的には要求値に関しての表の一部の改訂のみにとどまるのが基本である。実際ドーピングに関しても表の改定はなかったものの、notes において、「現実的なデバイス構造を考慮ことの必要性和、それを取り込んだ見直しが 2007 年の改定で予定されている」という、ITRS2005 の記述に現実性が欠けることを認めるような記述が追加された。

これはドーピングという技術において、拡散層の形成・評価という点では比較的容易にできるものの、実際にその拡散層が必要とされる MOSFET において、拡散層のみを形成した場合と全く同じにプロファイルを実現し、利用することが極めて困難であることが、改めて認識された結果と考えられる。

すなわちどのような思想の下に、どのようなプロファイルを有する接合を形成していくことが、現実的かつデバイスの高性能化に最も有用であるかを検討することが、ドーピング技術においてはこれまで以上に重要になってきている。

さらにまた ITRS においては、ドーピング技術の範疇にはシリサイドまで含まれており、単に図表 5-7 に示したような、浅い接合を形成することだけを接合技術と称しているわけではない。MOSFET トータルとしての性能向上を実現するための S/D 設計としてドーピング技術は捉える必要がある。

そこで WG3 としては 2006 年度の主要検討課題としてドーピング技術を取り上げ、WG3 メンバー、およびドーピング技術に実際に携わっている方々からのヒアリングにより、特に詳細な調査を行った。以下、拡散層のターゲット構造、ドーピング・アニール・エピタキシャル成長技術、シリサイド技術のそれぞれについて、調査結果を記す。

5-5-2 接合への要求値とその実現可能性、および将来像

ソース・ドレイン領域の接合において、エクステンション接合深さ(X_j)及びソース・ドレイン接合深さ低減とトランジスタ寄生抵抗低減、接合リーク電流低減、接合容量低減が主に期待される。特に近年、SiON 膜の電氣的ゲート絶縁膜厚の薄膜化が困難となっているため、トランジスタゲート遅延時間(CV/I)の低減に最も重要なチャンネル長に強く関係するエクステンション接合深さは、 $x_j \sim 0.3 L_g$ (L_g : ゲート電極長)と非常に薄く設定されている。また、プロファイルの急峻さに関して、「Steepness (nm/dec.)がゲート電極長の 0.11 倍」というロードマップの目安を参考にすると、例えば SDE/ch.濃度比が 2 桁程度の場合、30 nm 程度のゲート電極長でさえ短チャンネル効果の抑制は難しいことが容易に理解できる。不純物プロファイルは熱拡散工程に強く依存していることは広く知られており、Steepness 向上のためには活性化時のサーマルバジェットの低減が必須であるが、Spike annealing 技術の導入以降、顕著に効果のある新規技術が広く実用化されているとは言えない状況である。そこで近年、オフセットサイドウォール技術や Halo 技術が採用され、エクステンション接合を横方向に制御することで短チャンネル効果は抑制されているが、寄生抵抗の増大が問題である。さらに Halo 技術では、ゲート容量に対してドレイン容量が相対的に大きくなるため、Sub-threshold slope や Drain induced barrier lowering (DIBL)の劣化を伴うことが欠点である。加えて Halo 技術では、接合の高電界化と欠陥残留による接合容量や接合リーク電流の増大が懸念される。例えば、接合リーク電流の構成比は、poly-Si edge 成分が 99%、底面成分が < 1%、STI edge 成分が < 1%程度であるとの発表がある¹¹。さらに、poly-Si edge 成分では温度依存性のない Gate-induced drain leak (GIDL)電流が支配的であり、特に LSTP デバイスで深刻な問題である。このように、ソース・ドレイン領域の接合形成に関して、応用分野それぞれにおいて

¹¹ W. J. Taylor et. al., Junction specifications for the 45 nm node, IWJT, p.62 (2006).

Steepness 向上と接合電界緩和を考慮することが求められている。

さらに近年、トランジスタの特性バラツキが顕在化しており、微細化に従って不純物濃度揺らぎによるランダム成分に注目が集まっている。しかし、このような大規模な特性バラツキの評価に値する世代では上述の延命技術を用いているため、微細化に伴って短チャネル効果が顕著となり、特性バラツキが劣化することは容易に想像できる。そこで、角度ばらつきを低減したイオン注入技術や次節以降に示す様な新技術を用いたエクステンションの浅接合化と寄生抵抗の低減は当然ながら、さらに、トランジスタ特性バラツキとプロセスバラツキの相関を考慮することが求められている。

次に、トランジスタ寄生抵抗に関して、チャネル歪みの印加による高移動度化技術には短チャネル化により移動度が劣化する場合もある。エクステンション領域の寄生抵抗は、トランジスタのオン抵抗の 3%程度であり、寄与は小さいと考えられることから、接合深さ(チャネル長)と寄生抵抗(駆動電流)に関して、n/pMOSFET それぞれのトランジスタ全体性能の観点からロードマップを検討する必要がある。前節で述べた 2007 年での大幅な改訂版には、この様な観点の検討も必要であると考えられる。

シリサイド膜に対しては、ソース・ドレイン領域との接触抵抗低減による寄生抵抗低減とソース・ドレイン領域の接合リーク電流低減が主に期待される。現状、NiSi 膜により、nMOSFET および (SiGe-S/D 領域を持つ) pMOSFET 共に、比較的良好な寄生抵抗値が得られているが、微細領域での NiSi 厚膜化による接合リーク電流増大が問題となる可能性がある。そこで、微細領域でのシリサイド膜特性のモデル化が必要であると考えられる。

さらに近年、シリサイド膜の横方向位置制御技術^{12, 13}やその延長線上にあるショットキー接合トランジスタ¹⁴による寄生抵抗低減も期待されている。特に後者は、低抵抗化だけでなく、短チャネル効果耐性が期待されているが、リーク電流低減や Schottky 障壁低減が課題である。そこで現実的な構造として、不純物偏析技術により接合とシリサイド膜間隔を極端に縮めた Schottky-S/D (Dopant Segregation Schottky (DSS) S/D)技術¹⁵が研究され、寄生抵抗の低減とキャリアの注入速度の向上により、nMOSFET の Ion は 20%程度向上することが報告されている。今後、Dual silicide 技術と共に、ショットキー障壁を低減できる材料・構造の探索が必要とされる。

一方、シリサイド膜にはコンタクトエッチング時のストッパーの役目もあり、接合とシリサイド膜の特性だけではなく、コンタクト形成工程との整合性を確保しつつ構造や材料を選択する必要がある。以上のように、シリサイド膜に関しても、n/pMOSFETs それぞれのトランジスタ全体性能の観点からロードマップを検討する必要があると考えられる。

最後に近い将来像として、ゲート電極長以外の微細化、例えばゲート電極間隔やゲート電極とコンタクトの間隔のような極端な微細構造において、エクステンション接合深さ(Xj)及びソース・ドレイン接合深さ低減とトランジスタ寄生抵抗低減、接合リーク電流低減(GIDL 電流低減も)、接合容量低減を実現しつつ、さらにそれぞれの特性バラ

¹² M. Shima et al., High-Performance Low Operation Power Transistor for 45nm Node Universal Applications, Symposium on VLSI Technology, p.156 (2006).

¹³ H. Nii et al., A 45nm High Performance Bulk Logic Platform Technology (CMOS6) Using Ultra High NA(1.07) Immersion Lithography with Hybrid Dual-Damascene Structure and Porus Low-k BEOL, IEDM Tech. Dig. p.685 (2006).

¹⁴ C.H. Ko et al., NiSi Schottky Barrier Process-Strained Si (SB-PSS) CMOS Technology for High Performance Applications, Symposium on VLSI Technology, p.80 (2006).

¹⁵ A. Kinoshita et al., High-performance 50-nm-Gate-Length Schottky-Source/Drain MOSFETs with Dopant-Segregation Junctions, Symposium on VLSI Technology, p.158 (2006).

ツキを低減する必要が高まることは容易に考えられる。特に今後、極限的な微細領域のため、寄生抵抗と寄生容量を低減することが非常に重要になると考えられる。それらが実現されることを前提に、超高活性エクステンションやせり上げエクステンション/SD 構造を実現するドーピング技術の構築が期待される。さらに、FinFET 等の 3D 構造に対するドーピング技術の実現性の検討も期待される。

5-5-3 ドーピング・アニール・エピタキシャル成長技術

ドーパントの注入技術に関しては、MOSFET の拡散層を精度よく形成するという目的のために、ドーズ量の精密制御が可能である点でイオン注入に代わる方法は見当たらない。実際、ドーピングの将来技術としてプラズマドーピングが有力候補となっただけでなく、注入量、注入深さの制御が困難であることからなかなか実用化されてこなかった。このような状況に対し、ガスクラスタドーピング(インフュージョンドーピング)が新たに有力な候補技術として目されるようになってきた。ガスクラスタドーピング技術は、弱く結合させた原子あるいは分子を帯電させ、通常のイオン注入と同様に加速することで、基板への注入を行う技術である。B で浅く注入可能なドーピング方法としては、 BF_3 を用いる方法が古くに実用化され、また最近では $\text{B}_{10}\text{H}_{14}$ や $\text{B}_{18}\text{H}_{22}$ などを用いる方法も提案されている。さらにこれらに比較して質量数がさらに数百倍以上となるガスクラスタイオン注入技術も提案されており、この方法では表面極近傍にのみ、高濃度の拡散層形成が可能となる。しかしながらいずれの技術も当面は、制御性、量産性の点から、イオン注入を大きく置き換えるところまでは到達していないのが現状である。

一方アニール技術に関しては、RTA 技術に加えて最高温度での温度保持を行わないスパイクアニールが広く適用され、さらにミリ秒アニール技術としてフラッシュアニール、レーザーアニールの検討が進められており、一部実用化もされている。ミリ秒アニールは、注入されたイオンを拡散させずに活性化を可能とし、また一部のデバイスメーカーでは本装置が実用化されていることを背景に、5-5-1 に記したように ITRS2005 では SDE 要求値の大幅な前倒しがなされた。しかしながらミリ秒アニールはいずれも表面側からの加熱による極短時間の高温プロセスとなっており、その結果として昇温、降温の精密制御が実用上の重要な課題となる。またこの表面側からの加熱の結果として、パターンによる温度ばらつきが発生する。そのためミリ秒アニール装置の種類によっては表面に熱を吸収する層を設けるなどの対策が必要となるなど、広く利用されるまでになるために、さまざまな今後の検討課題も抱えている。

さらに先の世代の技術としては、高温短時間化を推し進めたプロセスとして表面を溶融させるマイクロ秒アニール技術が、また逆に低温長時間プロセスとして固相成長技術が候補となっている。ITRS2003 ではマイクロ秒アニールの開発完了時期として 2013 年が想定されていたが、ITRS2005 では、2007 年に大きく前倒しされた。ミリ秒アニールの一つであるレーザーアニール技術の実用化検討によって、並行してマイクロ秒アニール技術の検討も進むと期待されたことが前倒しの理由であろう。一方固相成長技術は 2007 年から 2008 年に後倒しとなった。固相成長技術は、イオン注入によって形成されたアモルファス層を結晶化するのに必要十分な、 600°C 程度での熱処理を行なうことによる方法であり、非常に容易なプロセスでドーパントを高活性化することができる。しかしながら接合リークの要因となる点欠陥起因の除去が困難であることは以前から認識されており、それに対する新しい対策が見出されていない以上、現時点では実用化には遠いと考えざるを得ない。また活性化できるドーパント濃度も $1\text{E}21\text{cm}^{-3}$ 以上にするのは極めて困難であり、この点でも高温プロセスであるマイクロ秒アニール技術は優位に立つ。このような技術上の違いが、それぞれの技術の前倒し、後倒しの要因となったものと考えられる。

一方現実には、上記いずれにも該当しない拡散層の形成方法として、チャンネル領域にストレスを発生されることを目的として、pMOSFET のソースドレイン領域に in-situ ボロドーフト SiGe 層を埋め込む方法が用いられている。

また現在は検討段階であるが、nMOSFET に対して n タイプのドーパントを含有した Si:C を埋め込む方法が検討されている。このプロセスによれば、急峻かつ高濃度で、活性化率も高い理想的なドーパントプロファイルを実現することができる。現時点、この方法は Deep Junction のみに適用されているだけであり、extension の適用にはインテグレーション上の工夫等さまざまな課題の克服が必要である。ITRS2005 では、将来技術の項目の一つとして in-situ doped junctions の項目が新設され、2007 年にせり上げ構造を用いた Elevated junction の実用化が想定されている。チャンネルに効果的に応力を印加することで、高移動度化を可能とするとともに、接合リークの低減、シリサイドーションのための犠牲層形成までを同時に実現できることから、有力な将来技術の一つであることは疑う余地はない。この技術に関わる学会発表の件数が最近特に増加していることから、技術のブラッシュアップにより本プロセスのさまざまな改善が可能となることが強く期待されると同時に、微細化と両立する本技術を適用したデバイスの構造立案、またそれを実現するプロセスの最適化が、だんだんと困難になっていくことが示唆される。

5-5-4 シリサイド技術

シリサイド/Si コンタクト技術においては、シリサイド薄膜の均一平坦化、コンタクト構造の熱的安定性向上、コンタクト抵抗の低減が課題として挙げられる。

ソースドレイン (S/D) 領域の浅接合化に伴って、コンタクト界面にも平坦性が要求され、これに合わせてシリサイド膜厚も 10nm 程度にまで薄膜化しなければならない。また、浅接合領域の抵抗値を低く維持するためには、シリサイド反応に伴う Si の消費を抑える必要がある。そのため、従来の TiSi_2 、 CoSi_2 などのダイシリサイドから、NiSi や Pd_2Si などシリコンの消費量の少ない金属リッチなシリサイド層への転換が図られている。NiSi は CoSi_2 や C54-TiSi_2 と同程度の低抵抗率を有することからも、最も有望な次世代コンタクト材料である。特に、NiSi は 350°C 程度の低温熱処理で形成可能なことから、プロセス温度の低温化にも適し、 C54-TiSi_2 や CoSi_2 で顕著な、微細化に伴うシート抵抗の増大(細線効果)が見られない点でも優れている。

コンタクト領域の微細化に伴う、コンタクト抵抗の増大は今後深刻な課題となる。65 nm 以下の世代では、 $1\text{E-}8 \Omega\text{cm}^2$ 台のコンタクト抵抗率が要求されている。コンタクト抵抗率は、本質的に金属/半導体界面のショットキー障壁高さ、および半導体側の不純物濃度により決定される。図表 5-8 に n 型および p 型 Si に対する各種シリサイドのコンタクト抵抗率を示す¹⁶。n 型および p 型における Si 拡散層の不純物濃度は、それぞれ $2\text{E}20\text{cm}^{-3}$ および $1\text{E}20 \text{cm}^{-3}$ である。NiSi を用いることで、 TiSi_2 や CoSi_2 に比較しても低い、 $1\text{E-}7 \Omega\text{cm}^2$ 未満のコンタクト抵抗率を、n 型および p 型双方のコンタクトで実現できる。p 型に対しては、NiSi/p-Si のショットキー障壁高さが 0.4 eV 以下と比較的低いこと、また n 型に対しては、NiSi の低温形成プロセスが功を奏し、NiSi/Si 界面への基板不純物の偏析効果が強く現れるため、コンタクト抵抗率が低減されると考えられる。今後、界面不純物偏析を積極的に利用することで、ショットキー界面を通過する電子に対する鏡像効果を働かせ、実効的障壁高さを低減する技術が期待されている。さらに p 型コンタクトに関しては、 $\text{Si}_{1-x}\text{Ge}_x$ 界面層の導入によるエネルギーバンドアライメント制御によって、0.2 eV 程度のショットキー障壁高さの低減が可能と見られる。

一方、コンタクト材料に同種の金属シリサイドを用いる限り、n 型および p 型コンタクト双方で同時に低ショットキー障壁高さを実現することは本質的に困難であるとの見方もある。これは、n 型および p 型コンタクトに対するショットキー障壁高さの総和が、半導体のエネルギーバンドギャップに対応するため、片方で障壁高さの低い材料は、もう一方では障壁高さが高く、不適になるからである。そのため、将来、32 nm 世代で要求されるような $2.5\text{E-}8 \Omega$

¹⁶ S. Zaima, O. Nakatsuka, A. Sakai, J. Murota, and Y. Yasuda, Interfacial reaction and electrical properties in Ni/Si and Ni/SiGe(C) contacts, Appl. Surf. Sci. 224, pp. 215-221 (2004).

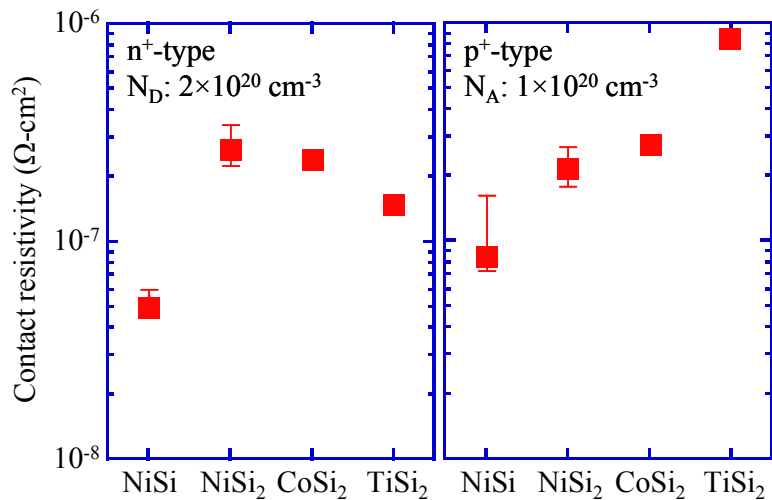
cm²のコンタクト抵抗をn型、p型双方で実現するには、それぞれに対して、低ショットキー障壁高さを示す適切なシリサイドを形成する、デュアルシリサイドコンタクトが必要となる可能性が高い。この際、n型コンタクトには ErSi₂ のような希土類系シリサイド、p型には Pd₂Si、PtSi、および IrSi などが候補として挙げられる。

NiSi/Si コンタクト構造では、高温プロセス時に NiSi 多結晶の凝集に伴う界面構造荒れとシリサイドシート抵抗増大の問題が懸念される。その熱的安定性の改善に向けて、様々な元素の添加による界面構造制御技術が報告されている。NiSi 中への 10%程度の Pt 添加により NiSi 結晶の配向性が制御され、それによって凝集温度を 100°C 程度向上できることが知られている。また、0.5%程度の C 添加が NiSi 層の熱的安定性向上に効果があることも報告されている。コンタクトにおけるこれらの添加元素が、キャリア移動度やリーク電流などの電気的特性に与える影響については未解明な点もあり、その採用には総合的な検討が必要と考えられる。

接合領域の微細化に伴って、シリサイド形成後の拡散層抵抗の増大が懸念される。これはシリサイド形成により、一定の Si 層が消費されるため、接合領域がさらに浅くなりシート抵抗が増大するためである。Ultra thin body の SOI 構造においては、特に拡散層抵抗が激増するため、電流経路がコンタクト端部に集中し、寄生抵抗が極めて高くなる懸念がある。これを防ぐためには、NiSi や Pd₂Si のような金属リッチなシリサイドの採用による Si 消費量の低減や、シリサイド/Si 界面のさらなる均一化が必要である。しかし、将来的には、S/D のせり上げ構造による、シリサイド形成後の浅接合領域厚さの確保が必須となると考えられる。

浅接合化の進展に伴って、シリサイド形成によって増大する接合リーク電流の問題も深刻となってくる。シリサイド形成時の界面固相反応過程において、Co や Ni は支配的な拡散種であり、なおかつ Si 中での拡散係数が比較的大きい。そのため、接合領域近傍に多量の金属原子が拡散し欠陥を形成することで、接合リーク電流が増大することが報告されている。接合領域へのフッ素ドーピングによって Ni 原子の拡散を抑制でき、接合リーク電流を低減させる技術が報告されている。また、フラッシュランプやレーザーアニール法などを用いた、表面領域に限定した極短時間の熱処理によるシリサイド形成で、金属原子の拡散を最小限に抑える技術も期待される。

浅接合化に伴う問題に対する究極の解決策としては、チャンネルまでにつながる接合領域全てをシリサイドで構成するショットキーS/D 技術が期待される。これにより、拡散層抵抗を一気に下げると同時に、deep S/D 構造や SOI 構造の採用により接合リーク電流抑制が実現できる。ただし、ショットキーS/D においてはソース領域におけるコンタクト抵抗を十分に低減する必要があり、n型およびp型コンタクト双方に対してショットキー障壁高さの十分低いシリサイド材料をそれぞれ選択するデュアルシリサイドコンタクトに加え、不純物界面偏析などを用いた障壁高さのさらなる低減技術が必要となると推測される。



図表 5-8 各種シリサイドのコンタクト抵抗率。n 型および p 型 Si 拡散層における不純物濃度は、それぞれ 2E20cm³ および 1E20 cm³。

5-5-5 ドーピング技術についてのまとめ

ドーピング関連技術は、ゲート絶縁膜関連技術に比較してデバイス特性への影響が間接的であるため、評価が困難であることも相俟って、ITRS においては要求値だけが先走ってしまった嫌いがある。しかしながらドーピング、活性化、エピタキシャル成長、シリサイドーション等のドーピングに関わる技術を適切に組み合わせることで、高性能化を実現するためのデバイス構造の実現が初めて可能となる以上、それぞれの要素技術がある程度先行していない限り、デバイスでの検証を行うことはできない。各世代で必要となる技術を見極めることが重要である一方で、さまざまなユニットプロセス技術がそれに一步先んじて開発されることが、結果的に最適なプロセスを選択することを可能とするものとする。

5-6 Stacked DRAM

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012
DRAM M1 ^{1/2} pitch (nm)	80	70	65	57	50	45	40	36
Dielectric constant	40	50	50	50	50	50	60	60
Capacitor Dielectric	Al ₂ O ₃ , HfO ₂ , Ta ₂ O ₅			↕		Ta ₂ O ₅ , TiO ₂		Ultrahigh k, new materials
Capacitor Dielectric	Al ₂ O ₃ , Ta ₂ O ₅	Al ₂ O ₃ , HfO ₂ , Ta ₂ O ₅ , TiO ₂ , ZrO ₂				Ultrahigh k, new materials		

図表 5-9 Stacked DRAM 有力解の比較。WAS は ITRS2005、IS は ITRS2006。

ITRS2005 でキャパシタ材料の見直しが行われ、HfO₂ 系材料が有力解の一つとして取り入れられた。その際に、材料が変化するタイミングと誘電率が変化するタイミングに食い違いが生じていた。これは、ロードマップのテーブル

ルを作成した際に、キャパシタの材料とその誘電率のロードマップを、それぞれアンケートの結果に基づいて作成したという経緯による。図表 5-9 に WAS と記載してある行が ITRS2005 年の有力解に対応しているが、FEP_WG では PIDS と協同で図表 5-9 に IS と記載してある行のように変更し、併せて有力材料の見直しも行った。

5-7 Ferroelectric Random Access Memory(FeRAM)

2001 年版の FeRAM の表は、製品出荷または製品出荷表明にほぼ沿ったロードマップであったが、2005 年版および 2004 年アップデート版では学会発表を含めた技術発表に沿ったものとなった。2005 年度版が技術発表による傾向をロードマップとしたのは以下の理由が挙げられる。

1. ユーザー限定による出荷であるため、製品の詳細情報がつかみにくい。
2. 市場にあわせて低容量にシュリンクしており、そのまま表にすると技術ロードマップとして不自然。
3. 技術的には製品レベルであるが、市場をにらんで出荷を見送っている場合が多い。

FeRAM の表の数値は STRJ PIDS が FeRAM メーカーに依頼したアンケートの結果に基づいたものである。ITRS2006 年アップデート版における主な変更点は、新強誘電体材料(BiFeO_3 , BFO)を表に加えたことである。2005 年版の時点では分極量限界は $30\mu\text{C}/\text{cm}^2$ であった。BFO を用いるキャパシタによって、電荷量 $100\mu\text{C}/\text{cm}^2$ を可能とした。以上の議論に基づき、改訂された FeRAM の文面と表の抜粋を図表 5-10 に示す。

ITRS2007 年に向けての課題としては、STRJ PIDS と FEP の量産ベース FeRAM の継続的調査が挙げられる。

また当然のことながら、先行 2 社の月産 1 万個という基準は他のメモリにも適用されるべきである。少しずつ 2 社の製品の売上げが増えている。2005 年版の表に比べて 2 社の量産技術レベルが向上しているので、2007 年版の表の調整が必要になると思われる。

ADD

Although BFO exhibits a large polarization, it also requires a higher switching voltage which means that the film needs to be thinner or possibly doped to accommodate low voltage operation. Since the ferroelectric properties of each material have improved in recent years, it essential to master the material processing conditions for the ferroelectric material.

WAS

Year of First Product Shipment	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Ferroelectric Materials	PZT, SBT							PZT, SBT, New Materials								
Deposition Methods	PVD, CSD, MOCVD			MOCVD, New Methods												
CSD – Chemical Solution Deposition PZT – P(Zr, Ti)O ₃ SBT – SrBi ₂ Ta ₂ O ₉																

IS

Year of First Product Shipment	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Ferroelectric Materials	PZT, SBT							PZT, SBT, New Materials (BFO)								
Deposition Methods	PVD, CSD, MOCVD			MOCVD, New Methods												
CSD – Chemical Solution Deposition PZT – Pb (Zr, Ti)O ₃ SBT – SrBi ₂ Ta ₂ O ₉ BFO – BiFeO₃																

図表 5-10 FeRAM ロードマップ (ITRS2005 の変更点)

5-8 まとめ

FEP WG の 2006 年度は、1) ITRS2005 の問題点抽出と ITRS2006 Update への反映、2) STRJ 独自活動としてウェーハ大口径化、High-k/メタルゲート技術、シリサイドを含む浅接合技術、FeRAM の動向について現状調査を行った。

本報告において、特にウェーハ大口径化、High-k/メタルゲート技術、浅接合技術に関しては、現状調査結果を中心に記載した。2006 年度に行った現状調査を基にして、ITRS2007 をより現実的な内容にすべく、各極と議論してゆくつもりである。

謝辞

今年度の最新技術調査で下記の方々にご協力いただきました。深謝いたします。

ヒアリング日	テーマ	講師
2006 年 7 月 5 日	FeRAM 技術	長野能久氏(松下電器)
8 月 9 日	ウェーハの Edge Roll Off	福田哲生氏(富士通)
9 月 12 日	High-k/Metal 技術	辰巳徹氏(NEC)
〃	High-k/Metal 技術	田井香織氏(ソニー)
9 月 21 日	浅接合技術	黒井隆氏(ルネサステクノロジ)
〃	Silicide 技術	須黒恭一氏(東芝)
11 月 15 日	Doping 技術	布施玄秀氏(SEN)
〃	Silicide 技術	中塚理氏(名古屋大学)
12 月 7 日	ISMI の 450mm Project	Michael Goldstein 氏(Intel)
2007 年 1 月 24 日	Schottky-SD 技術	古賀淳二氏(東芝)