

第 13 章 WG11 メトロロジ(計測)

13-1 はじめに

2006年は、WG11の活動が、YE(Yield Enhancement)、Metrology、WECC(Wafer Environmental Contamination Control)と3の分野の領域分け鮮明になってきたが、リソース的制限の中で、metrologyの2006年の報告として、①ITRS2006のUpdateの説明と、②2007年改定に向けた取り組み項目の整理、および、③国内のヒアリングを中心にした、Metrologyの技術動向についてまとめた。③項については、YEとも密接に絡む、リソグラフィープロセスに関連するシステムティック欠陥(Hot spot)にフォーカスし、その現状と対応する metrologyについてまとめ、総括をしている。

13-2 ITRS 2006 Update 版の主な改訂ポイント(図表 13-1 参照)

2006 update では大きな改訂はないものの、リソグラフィームetroロジのロードマップ表の色分けが大きく変更された。ウェーハのCD計測に関して2005年版では2010年から赤色表記の部分が現れていたが、この1、2年でのCD-SEM、並びにOCD(Scatterometry)装置の技術改善と将来的な性能向上見通しを反映して赤色表記の出現時期が3から4年先送りされた。32nm世代までの見通しがほぼ立った。また、ロードマップ表には直接は現れてこないが、日本側が主導して行ってきたLER/LWR計測方法の標準化(SEMIスタンダード化)について2006年12月のITRS台湾会議の場で報告している。

フロントエンドプロセス(FEP)メトロロジのロードマップ表では、ゲート構造での元素分析に関する要求表が新たに追加された。追加されたのは以下の元素分析に関する項目で、要求感度は0.1%となっている。

- 1) ゲート絶縁膜の元素分析(窒素を含む)、パターン加工ウェーハ
- 2) メタルゲートの元素分析、テストウェーハ
- 3) メタルゲートの元素分析、パターン加工ウェーハ

一方、マスク用のメトロロジと配線用のメトロロジに関しては、変更点なしであった。これは2006年のITRS活動であまり議論が進まなかったことが、その背景としてある。

	2005	2007	2010	2013	2016	2018	2020	
Technology Node	80 nm	65 nm	45 nm	32 nm	22 nm	18nm	14 nm	Driver
MPU ½ Pitch (nm)	85	67	48	34	24	19	15	
MPU Printed Gate Length (nm)	54	42	30	21	15	12	9	
MPU Physical Gate Length (nm)	32	25	18	13	9	7	6	
Lithography Metrology								
Printed Gate CD Control (nm)								
Allowed Litho Variance = 3/4 Total Variance of physical gate length	3.3	2.6	1.9	1.4	0.9	0.7	0.6	MPU
Wafer CD Tool 3 Precision P/T=0.2 for Printed and Physical Isolated Lines	0.67	0.52	0.37	0.27	0.19	0.15	0.12	MPU
Wafer CD metrology tool precision (nm) * (P/T=.2 for dense lines**)	2.0	1.6	1.1	0.78	0.54	0.44	0.34	MPU
Line Width Roughness (nm) <8% of CD	2.6	2.0	1.4	1.0	0.7	0.6	0.5	MPU
Precision for LWR	0.5	0.4	0.3	0.2	0.1	0.1	0.1	c
Overlay Control (nm) (mean +3)	16.0	13.0	9.0	6.0	4.4	3.6	2.8	
Overlay Metrology Precision (nm) P/T=0.1	1.6	1.3	0.9	0.6	0.4	0.4	0.3	
Front End Processes Metrology								
High Performance Logic EOT equivalent oxide thickness (EOT) nm	1.2	1.1	0.65	0.5	0.5	0.5	0.5	MPU
Logic Dielectric EOT Precision 3 (nm)	0.0048	0.0044	0.0026	0.002	0.002	0.002	0.002	MPU
Interconnect Metrology								
Barrier layer thick (nm)	7.3	5.2	3.3	2.4	1.7	1.3	1.1	MPU
Void Size for 1% Voiding in Cu Lines	8.5	6.7	4.8	3.4	2.4	1.9		MPU
Detection of Killer Pores at (nm) size	8.5	6.7	4.8	3.4	2.4	1.9		MPU

図表 13-1 ITRS メトロロジロードマップ表の代表的項目

13-3 2007 年改定に向けた取り組み

2006 update 版には反映されなかったもの、以下の議論が ITRS 会議の場で進められた。これらの議論は 2007 年改訂に向けて継続される。WG11 からは局所応力測定とドーパントプロファイル計測に関するロードマップを提案していく予定である。

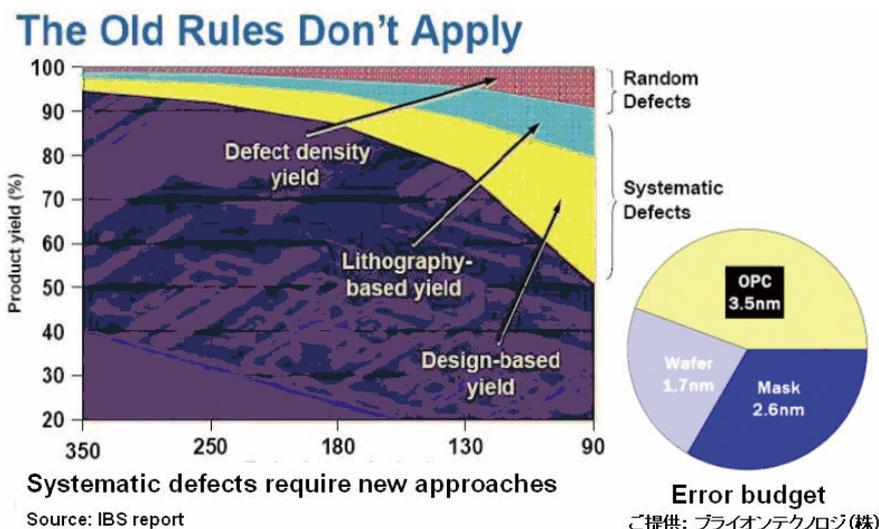
- 計測再現性の指標に関する議論: Total Measurement Uncertainty (TMU) と Total Measurement Reproducibility (TMR)
- 32nm 以降での CD 計測技術(新技術の必要性の有無)
- 重ねあわせ計測要求精度の変更(2007 年改訂版では 20%に緩和?)
- ダブルパターニング、ダブル露光でのマスク計測
- EUV マスクのフラットネス計測
- 3D 構造計測(プロファイル、ラフネス)
- メモリチップでの高アスペクト比構造の計測
- インライン TEM 試料サンプリングと断面計測
- 193nm でのエリブソメータとリフレクトメータの校正
- チャンネル部の局所応力測定
- USJ での 3D ドーパントプロファイル計測(特に MUGFET と新プロセス)
- SiGe、Ge、III-V 族チャンネルでのエピ層の品質評価
- TEM 及び HR-XRD、並びに TEM トモグラフィ技術

13-4 Metrology 技術調査のまとめ

2006 年度の Metrology の技術調査のテーマとして、歩留まりにインパクトの大きいシステムティック欠陥に着目して調査を行った。とりわけ、リソグラフィプロセスのホットスポットの発生の理解および、Metrology の対応について、今回の年度報告書として総括した。

13-4-1 歩留まりと欠陥要因のトレンド

図表 13-2 に示したのは、情報としては少し古くなったが、2004 年度の IBS レポートである。この報告書によれば、ASIC のテクノロジーノードに対して、180 nm node 以降ランダム欠陥よりもシステムティックな欠陥の増加が著しく歩留まりに深刻な影響を及ぼすことが伺える。



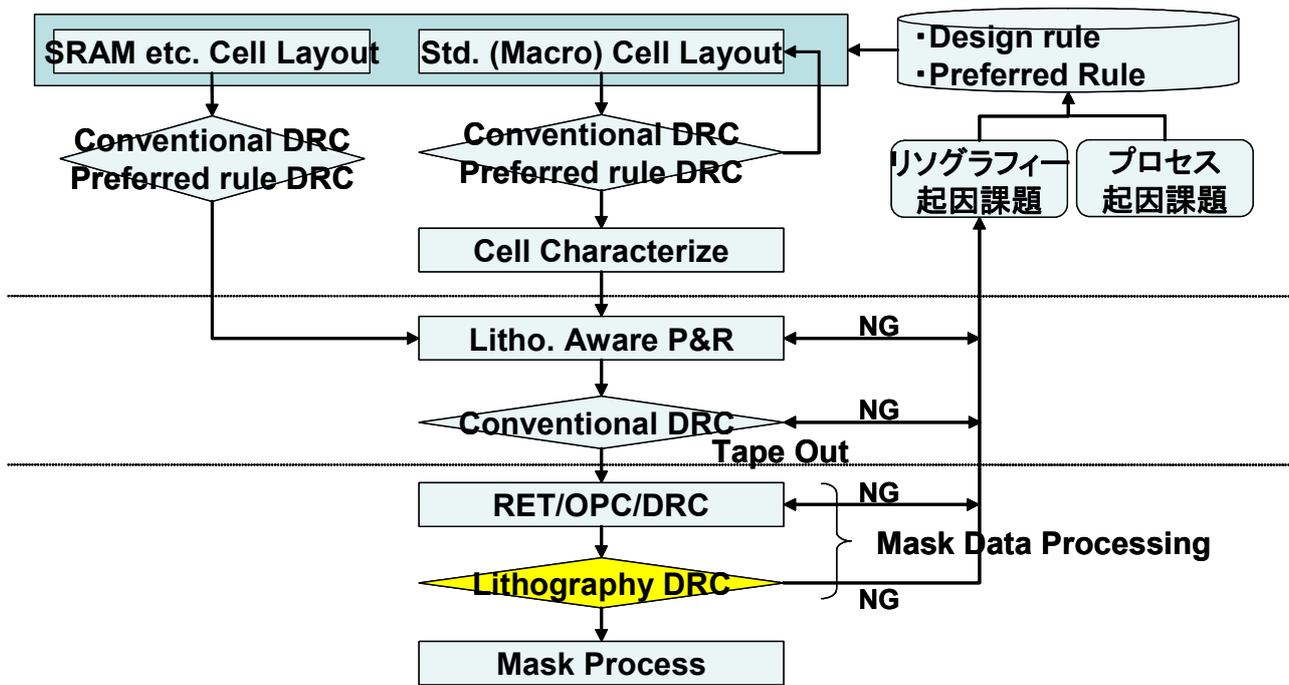
図表 13-2 システムティック欠陥のトレンドと CD エラーバジェット

システムティック欠陥の内訳としては、リソグラフィプロセスに起因するものと、設計に起因するものに大別される。設計起因には、OPC (Optical Proximity Correction) 等のデータ処理周りも含まれる。CD に関して言えば、ウェーハプロセスやマスクプロセスに比較しても OPC 起因の誤差が4割強も占めていることが分る。位置合わせに関しては、デザインルールに対して露光装置のパフォーマンスが十分に追従しており、64 nm node 量産の現時点においても特に深刻な問題に至っていない。ただし将来的に 32 nm node のアプローチとして、液浸の高屈折液剤の実用化あるいは EUV の開発進捗の遅れによっては、2重露光の重要性が増し、これに伴う systematic な位置ずれの yield への影響がクローズアップされることは容易に想像される。現段階においては、CD バラツキに関して、OPC 回りの現状を把握することと、それに対応した CD の Metrology について着目することは大きな意義がある。

13-4-2 設計データからマスクプロセスに至る systematic 欠陥の低減

図表 13-3 に示したのは、ロジックデバイスにおける設計データ作成からマスク製造プロセスに至るまでのデータ処理フローである。現在では、リソグラフィの-margin不足に起因する systematic 欠陥を低減するための処理が多く加わっていることが判る。処理フローを簡単に説明すると、

1. デザインルールおよび、過去の知見から得られた情報に基づきメモリーセルおよび、スタンダードセルのレイアウトを作成。この際、設計者は、リソグラフィのシミュレーションを用い、気になるところを ED-window (Exposure latitude – Depth of focus) を含めてチェックすることが出来る環境を与えられている。しかしながら、プロセスmarginと集積度のバランス感覚は、設計者のセンス、技量に依存しているところが依然大きい。SRAM 等のメモリーセルパターンの最適化は、シミュレーションと TEG 検証で既に確認の取れたものをそのまま使用するのが通例である。メモリーセルのデザインルールは、集積度に大きく影響するために、必要なプロセスmarginを確保しつつ最大限集積度を上げる必要性から、リソプロセス設計者が実験データを基に、リソグラフィシミュレータのキャリブレーションを行いつつ、照明条件、NA の最適化とパターンの最適化を同時に行っている。これを設計者が雛形として用いているわけである。このようにして、設計されたデータは、一般的な DRC (Design Rule Checker) を通して、ルール違反がないかをチェックされ、セルの図面が確定 (Cell Characterize) されてゆく。次に確定されたセルを用いて、lithography friendly にセルを配置し、配線がなされる (Lithography aware Place & Router)。
2. 次にチップ全体レベルでの DRC を行い設計の手を離れる (Tape Out)。Tape out されたデータは、マスク製造プロセスの前に、RET (Resolution Enhancement Technology) のためのパターンの発生や、CMP 平坦化対策、ローカルフレア対策用のダミーパターンの発生、OPC 等のデータ処理が行われ、最後に DRC で最終チェックが行われていた。ところが近年、コンピュータの高速化や計算アルゴリズムの工夫により、現実的な処理スピードで RET/OPC 処理後のフルチップデータに対して、ED-window の検証ができるようになった。これにより、従来ウェーハ上で初めて検知される Hot Spot が、データ段階でいち早く検知できる Computational Lithography 技術が発達した。このように、より上流で、大きな製造リスクを伴う Hot Spot を解消する取り組みがなされようとするトレンドが色濃く伺える。また、検知された不具合や、Hot Spot は、その内容によって修正できる範囲に限られるため、次回以降の設計初期に反映させる仕組みが取られている。すなわち以降の設計データとして規定したり、リスクの程度によっては推奨ルールとしてデータベース化することである。このように設計段階では、シミュレーションを活用し、空間像と設計データを比較検証するといった一種の Virtual な計測が行われている。

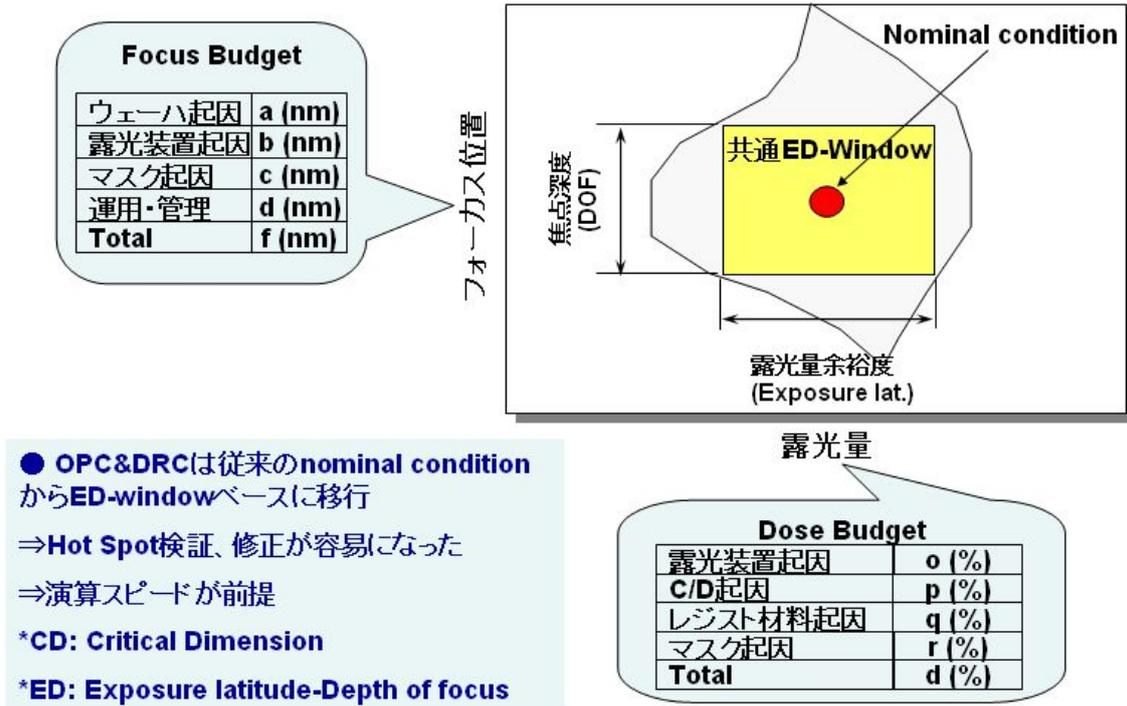


図表 13-3 設計データ処理フロー（設計データ作成からマスクプロセス前まで）

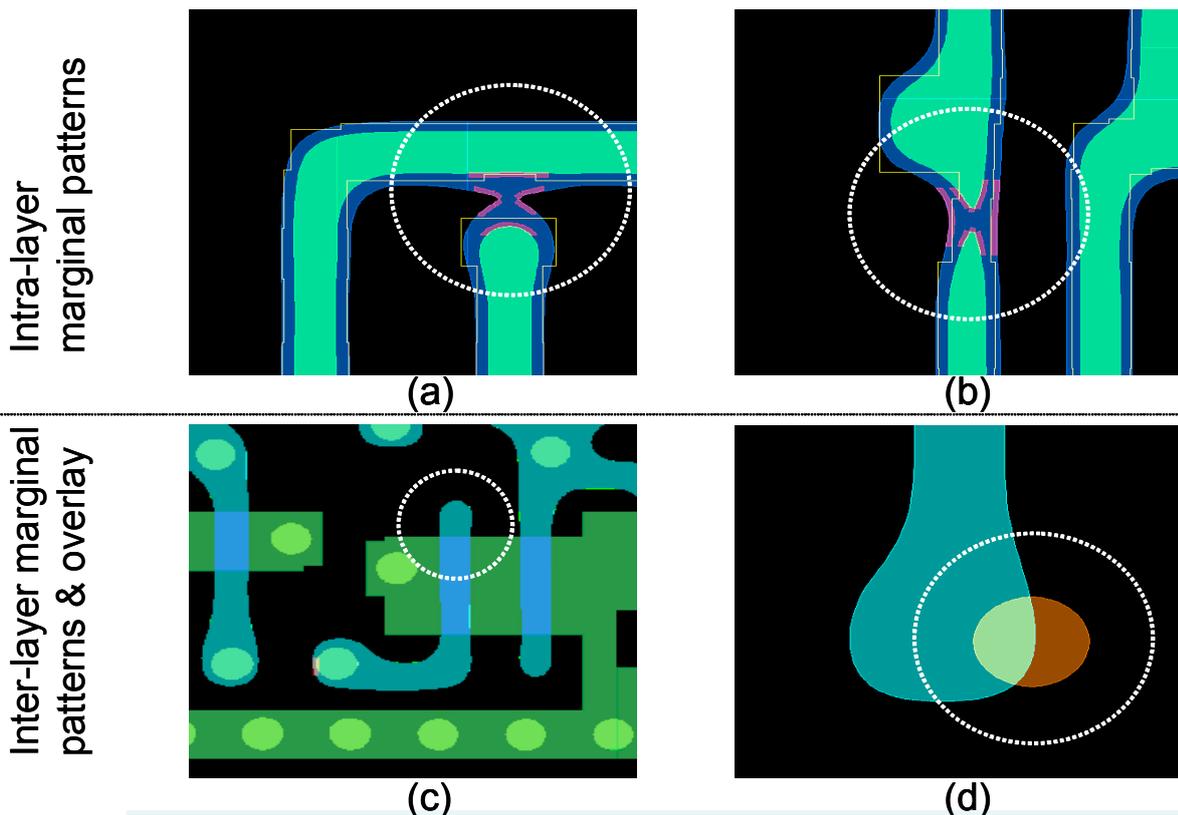
図表 13-4 は ED-window の説明図である。露光量を横軸にフォーカスポイントを縦軸に取った場合、CD の規格値を満たす領域内にプロセス上変動し得る露光量とフォーカス量が四角い窓として確保できれば、プロセスは安定しているということを示し、そうでない場合は、CD 規格値を満たす領域を大きくするための工夫、もしくは四角い窓を小さくする必要があるということを示す。この四角い窓を ED-window と呼んでいる。

図表 13-5 は、こういった ED-window のコーナー条件で、パターンが歪みが生じるかどうかの評価を空間像ベースで行ったものである。図表 13-5-(a)はパターンショート、(b)はパターンネッキング（縊れ）、(c)は活性領域からのゲートのエクステンションの後退（ラインエンドショートニング）、(d)は、位置ずれによるコンタクトホールと配線パッドとのコンタクト面積の劣化を捕捉した例を示している。従来は、シミュレーション時間の制約上（マスク納期）、不可能であった検証方法であり、この高速な Computational Lithography がもたらす効果は非常に大きいものがあり、今後ますます重要性を増してゆくものと考えられる。

図表 13-6 に示したのは、コンピュータの高速化に伴い、Simulation のサンプリングポイントがグリッドベースで把握できるようになった事例説明である。また従来のサンプリングポイントがエッジ上に存在したのに対して、 $\lambda / (4 * NA)$ 以下のグリッドで 16ビット階調化することで計算時間の短縮も同時に行っている。この手法は、TCC (Transmission cross coefficient) の計算の際の光源形状へも適用されている。これにより計算精度と計算スピードとの最適化がなされている。

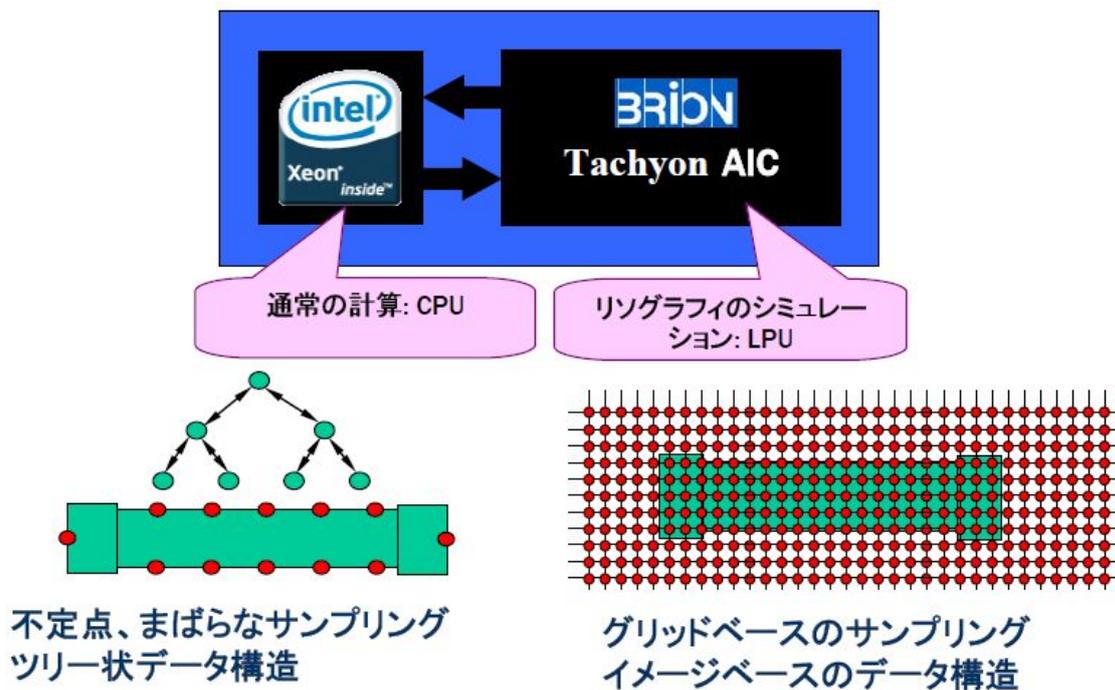


図表 13-4 ED-window の説明



- Hot Spotは寸法&重ねで、同一層内、層間でチェックが可能となった
- 従来のウェーハ段階での捕捉から設計段階での捕捉が可能となった

図表 13-5 Computational lithography における Hot spot 検出事例



図表 13-6 グリッドベースのシミュレーションサンプリング説明(資料提供:ブライオンテクノロジー(株))

このように Computational Lithography が重要な位置づけを占めるようになってくると、その simulation のキャリブレーションのための CD 計測あるいは 2 次元 CD 計測 (Optical Proximity Effect 計測) が非常に重要になってくる。従来の 1 次元的な線幅の計測にとどまらず 2 次元的な画像の輪郭抽出機能が必要となってきた。これは 2 次元形状を出力する simulator と 1:1 の比較およびキャリブレーションが可能であることを意味する。

注 1) Computational Lithography ではエッチングのモデルを仮定したエッチングシフト包含されている。

注 2) Computational Lithography において空間像と称しているのは、純粋な投影光学の光強度分布では無く、FICD までのモデルが考慮されて、FICD を推定できる情報である。

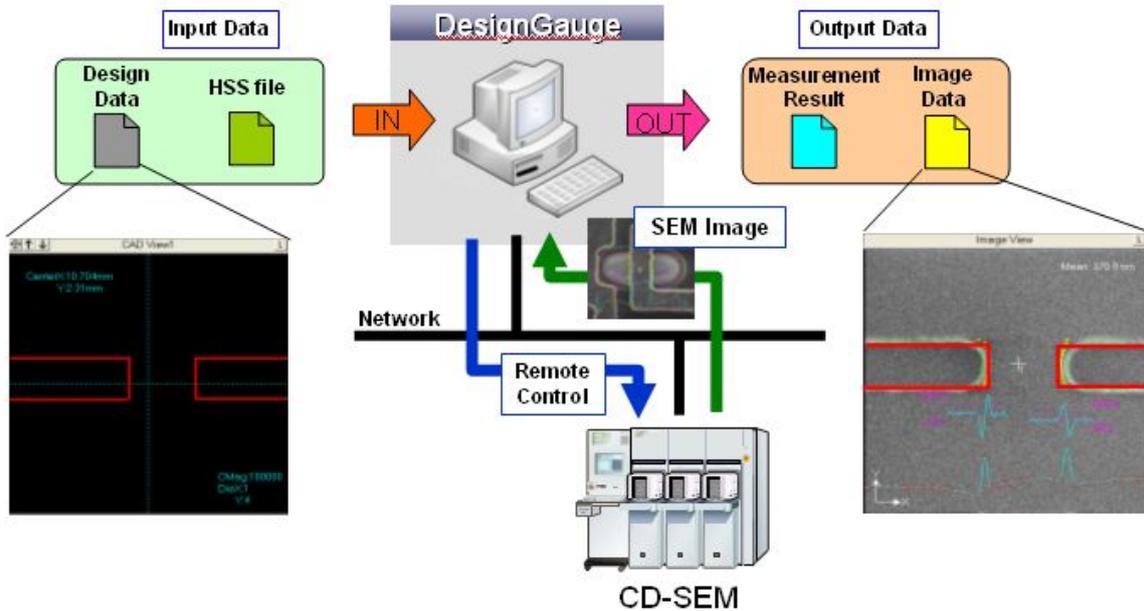
13-4-2-1 OPE (Optical Proximity Effect) 計測の現状と今後

前述したように設計段階での Hot Spot 抽出は、とりもなおさず Computational Lithography の高精度化であり、それは、モデルの精度もさることながら、如何に OPE データを正確に抽出し、シミュレーションモデルのキャリブレーションが出来るかにかかっている。従来の OPE、PPE (Process Proximity Effect) データ取得は SEM レシピの作成の煩雑さに加えて、測長場所のアライメント精度も十分なものではなかった。これらを解決するにあたって提案されているのが、CD-SEM に追加された新たな機能であり、図表 13-7 に示したように、設計の CAD データ上情報からレシピ情報を作成できる簡便さを有しており、同時に画像の輪郭抽出を行うことで、設計データとの 2 次元 CD の 1:1 の比較ができるようになった。これによってレシピ作成の作業時間の大幅な短縮と同時に、従来の測長箇所のアライメント誤差も解消されることとなった。

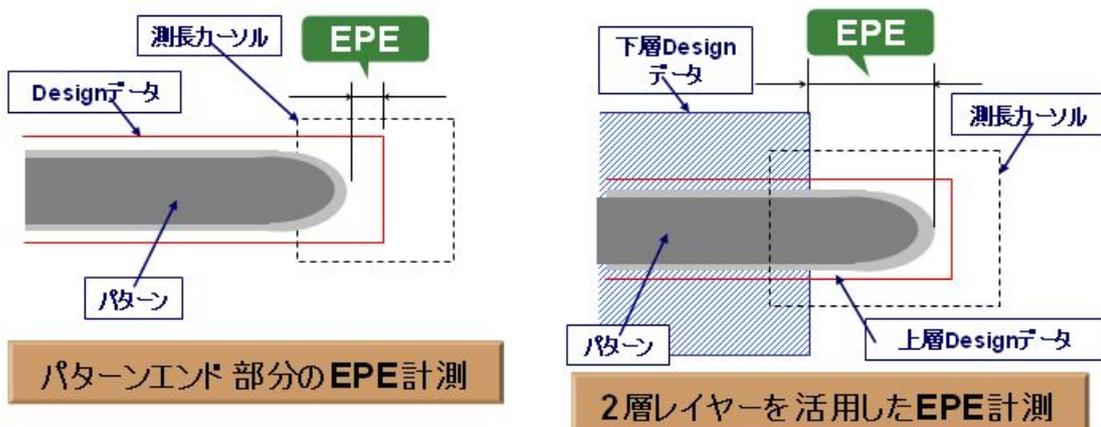
OPE の計測にあたっては、CD-SEM しか量産技術としては存在していないのが現状であり、これは分解能およびスループットを両立できているからに他ならない。しかしながら、スループット改善に対する要請は絶えず挙がっており、それに応えたバンダーサイドの改善も目を見張るものがある。一方、計測精度に関して言えば、ArF レジストはスリミングの問題があり、DICD (Development Image Critical Dimension) の絶対値の議論には曖昧さが残っている。しかしながら、現状の ArF レジストの材料組成において、2 次電子による画像観察のコントラストを上げるという技術の困難さから考えると、ArF の SEM 計測においては、測定の手順や方法論が明確になって測長管理ができていれば良い。

図表 13-8は、輪郭抽出を2層間のパターン配置ずれまで拡張した事例で、ゲートのラインエンドの活性領域からの突き出し状況や、2層間のパターンの位置ずれも同時に評価できる様子を示している。2次電子による観察であるため、あくまでも観察試料表面に2層が露出していることが前提であることは言うまでもない。

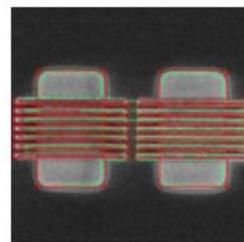
CD-SEMのOPE、PPE計測の課題として認識しておかなくてはならないのは、現在CD-SEMは、自動測長が必須であり、OPE、PPE計測の上での前提になっている。このような中で、長期的なCD-SEM装置の校正方法の標準化もベンダー主導で確立してゆく必要がある。また、自動計測における、フォーカスやスティグマ補正の安定性も直接計測値に影響するため、こういった計測&制御技術についてはより一層の注力が必要である。



図表 13-7 Design Gauge の説明-1 (資料提供: (株)日立ハイテクノロジーズ)



- 設計データとの2次元的な線幅比較が可能
⇒OPE, OPC検証に有効!
- 2層間の位置ずれ計測にも応用可能
⇒OPE, OPC検証に有効!
- ※EPE: Edge Placement Error



2層間の位置ずれ計測にも応用

図表 13-8 Design Gauge の説明-2 (資料提供: (株)日立ハイテクノロジーズ)

13-4-3 マスクプロセスにおける Metrology

設計データが、RET/OPC/DRC 等のデータ処理がなされた後に、マスクプロセスに移行する。DRC 後のデータはマスク描画データに変換され、マスク描画プロセスに至る。マスク製造プロセスにおいては、CD 計測、配置計測のみならず、欠陥検査&修正も非常に大きなウェイトを占めている。これはマスクのコストや TAT における比率からも伺える事実である。

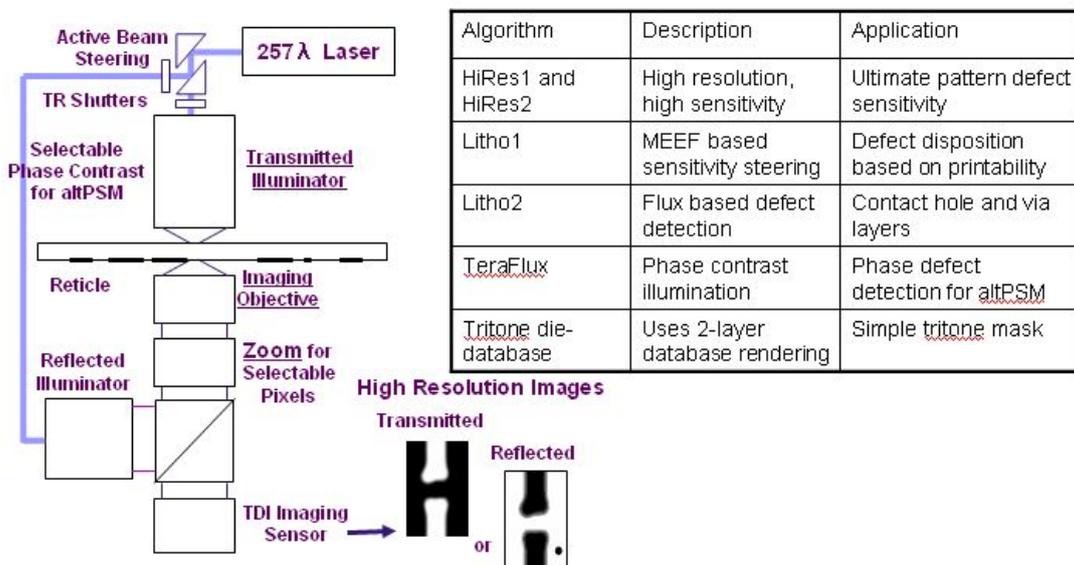
欠陥検査に関して、図表 13-9 に示したのは、代表的な光学式の Die to database の比較検査装置で、257nm のレーザー光を、照明光学系を通してレチクルに照射し、その投影像を TDI イメージセンサーで観察し、RET/OPC 後の GDS データと比較するものである。また反射像としては、ビームスプリッターで照明光を分岐し、マスクの Cr 面を照射し、同様にマスクの反射像を観察する。特徴をまとめると、

- ・ 現状はランダム欠陥検査が主体。マスク描画プロセスでの欠陥検査。(Die to database が主流、メモリー部は Cell to Cell も可能)
- ・ スループットの制約上、観察光源は光。分解能向上は短波長化と高 NA 化、最新の照明光の波長は 199 nm。デバイストレンドに対して分解能はハーフピッチ程度。

欠陥検査と CD 計測を合わせた究極の metrology としては、マスクの投影像を、AIMS (Aerial Image Measurement System) 等を使用して、実際のウェーハ露光条件と等価な光学条件で空間像を観察し、設計データと比較することであろう。

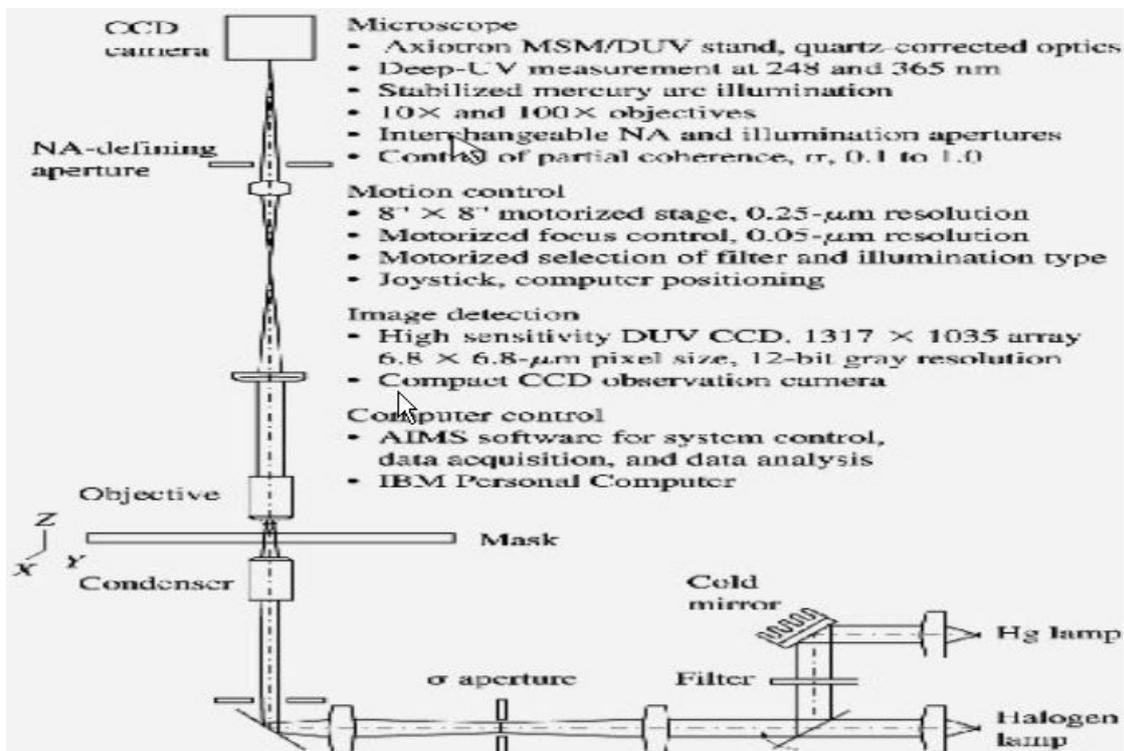
注) AIMS は商標ですが、ここではマスクの品質を空間像で評価する計測方法として代表させています。

現状は欠陥検査での灰色の箇所の確認、あるいは、マスクの欠陥修正後の確認として AIMS は用いられている。マスクプロセスの精度がリソグラフィプロセスの精度を大きく律速するまでは、現状の光ベースの欠陥検査装置で対応がなされるものと思われるが、そうでない場合は、例えば、マスクの 3 次元構造が空間像に大きなインパクトがある場合等、空間像検査に移行する必要性があると考えられる。将来の EUV 導入にあたっては、マスクブランクス の位相欠陥検査が必須であり、そのための検査装置を新たに開発する必要がある。これはマスクブランクス の時点で位相欠陥を特定しないと、マスクパターニング後の表面検査ではもはや欠陥を特定できないからである。たとえ、マスクパターニング後の AIMS 検査を行っても、位相欠陥修正は、非常に困難、あるいは不可能であるからである。



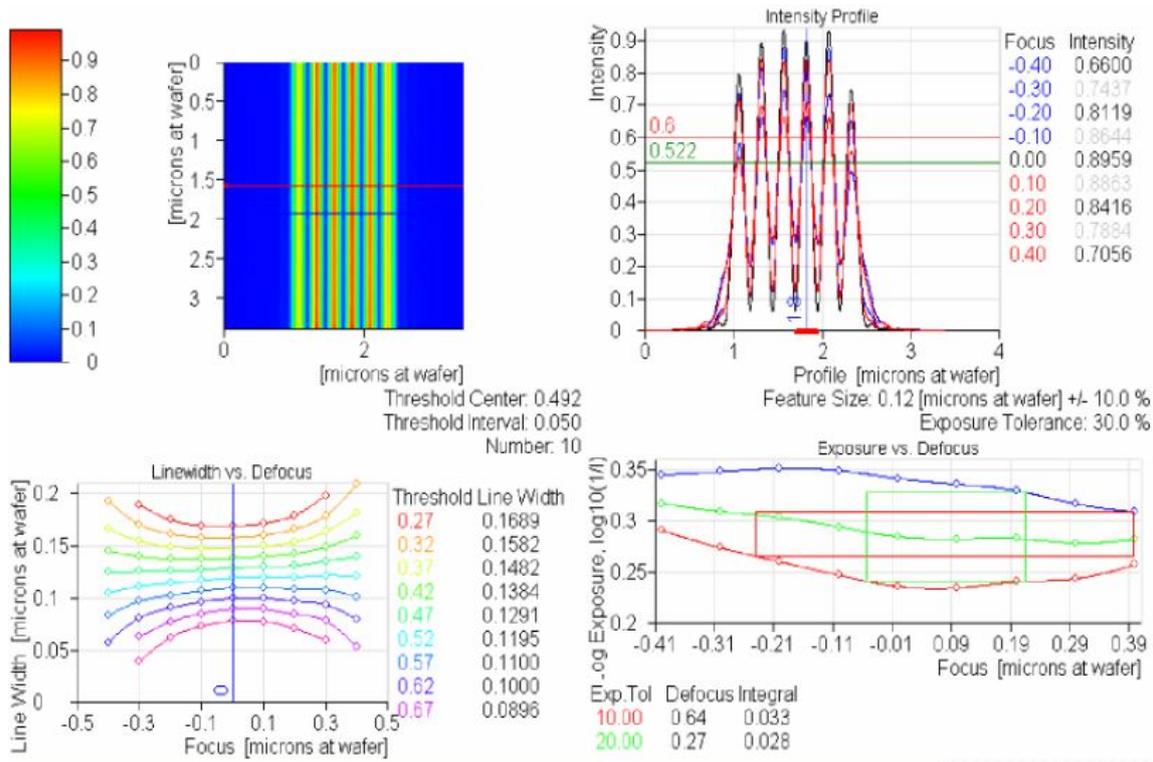
図表 13-9 光学式マスク欠陥検査装置の説明 (資料提供: ケーエルエー・テンコール(株))

AIMS (Aerial Image Measurement System) については、図表 13-10 にその検査光学系を示した。基本的に AIMS は露光装置とほぼ等価な、照明系、投影系を有しており、大きく異なるのは、マスクの観察領域が非常に小さいことである。(逆に観察領域が小さいが故に計測装置として実用化されているわけでもある) 図表 13-10 は、光源として、248 nm (KrF), 365 nm (i 線) に対応した仕様の検査光学系の説明図であるが、最新の AIMS は ArF 光源 (193 nm) で、液浸露光に対応した高 NA 仕様になっており、照明系についても様々な照明形状や偏光にも対応している。このため、図表 13-11 に示したように、マスクを実際の露光装置で露光した状況と、ほぼ等価な状況で、空間像を取得することができる。言い換えると、AIMS を用いることで、マスク作成段階で、マスクの品質を、実際の露光装置と同様の環境で評価ができ、ED-window ベースで、Hot spot の検出が原理的に可能であるということである。現状の Computational Lithography においては、あくまでもマスクの情報は一律の断面形状情報と、CD-SEM による Top down 表面観察イメージで与えられ、しかもその情報量(サンプリング量)は非常に少ない。したがって、Computational Lithography が捕捉できる Hot spot は、マスクプロセス起因のシステムティック欠陥が十分に反映されているとは言いがたい。一方 AIMS では実際のマスクの透過像としての空間像を用いることが根本的に異なる。現時点での AIMS は、あくまでも、欠陥判定の最終手段あるいは、補助的な検査手段であって、その当初の目的からして、マスクのフルフィールドを計測するためのスループットも、それに対応したステージの位置制御精度、フォーカス制御精度も無い。しかしながら、今後の微細化のトレンドを考えると、デバイス製造に至るより上流で確実に Hot spot を捕捉する必要性の観点からは、欠陥検査を含めた 2 次元形状の metrology として、AIMS は、その必要性が大いに議論されても良いのではなかろうか。



図表 13-10 AIMS の検査原理概要

σ aperture: 照明系統り、NA-defining aperture: NA 変更絞り (資料提供: カールツァイス (株))

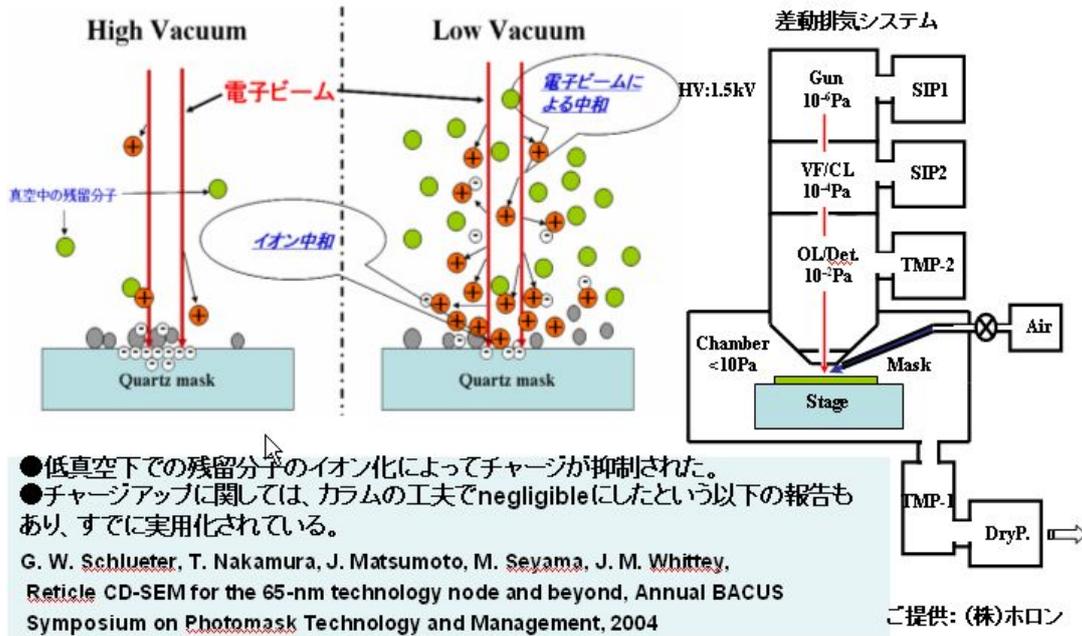


図表 13-11 AIMS による空間像評価事例

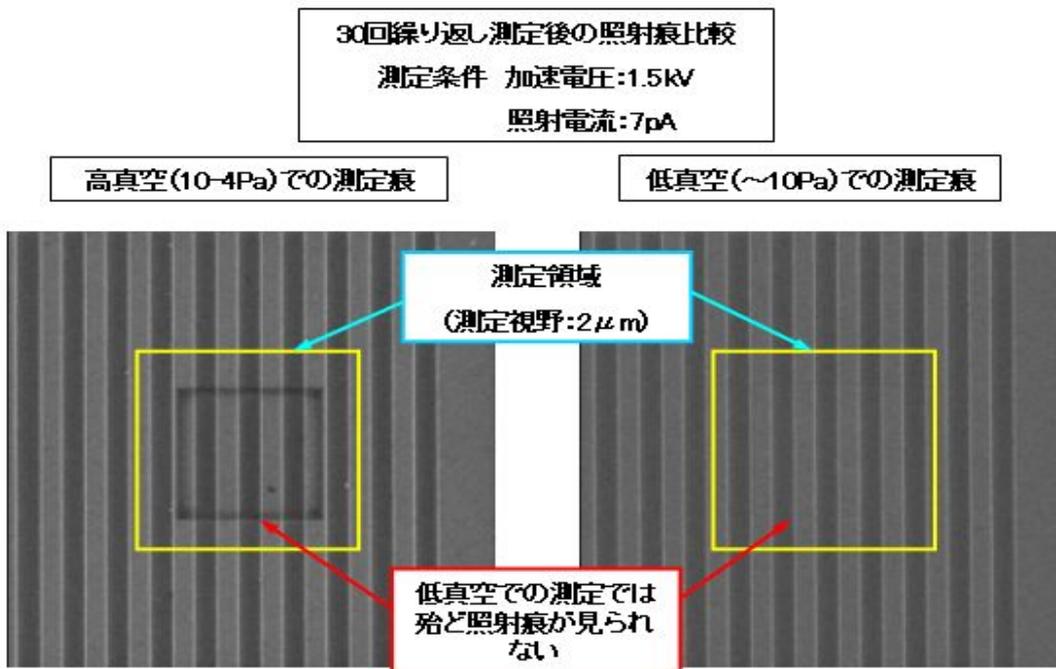
(左上) 120 nm L&S パターンの空間像の色分け表示、(右上) L&S パターン中央部の空間像断面プロファイル、(左下) 120 nm L&S パターンの空間像 CD のフォーカス、露光量依存性、(右下) 120 nm L&S パターンの ED-window (資料提供:カールツァイス(株))

一方マスクの metrology としては、CD-SEM による測長と、光波による配置計測が行われている。CD-SEM による CD 計測については、近年チャージング、コンタミネーションの問題が解消され、CD 計測精度が安定化している。図表 13-12 には、低真空雰囲気にするすることで、試料表面の電子のチャージを、一次電子によってイオン化された残存分子で中和するといった報告もなされ実用化に至っている(マスク用 CD-SEM の例)。また 2004 年の BACUS symposium において、通常の高真空化においてマスク表面にチャージしやすい 2 次電子を電子カラム下の電極を用いて吸い上げるといった工夫等によって、チャージングを解消した報告がなされており、既に実用化されている。図表 13-13 には、低真空化でコンタミネーションが抑制された結果が示されている。チャージング、コンタミネーションの計測精度への影響は、計測再現精度で表現され、これは試料を static に繰り返し計測して、その計測値の変動を標準偏差として定量化したものである。視覚的には、高倍率で繰り返し計測した後に低倍観察することで、チャージング、あるいは、コンタミネーションの影響を 2 次電子のコントラスト差として捉えることができる。

一方、マスク用 CD-SEM においても、自動化については日進月歩で進歩している。ただし、ウェーハ用 CD-SEM で実用化された CAD データと CD-SEM 画像の比較といった機能は展開されておらず、今後の課題となろう。前述したように Computational Lithography において、2 次元形状の DICD, FICD 計測を正確に求めることが要請されているわけであるが、これは同時にマスクについても同様の要請であることが分かる。つまり空間像の厳密なシミュレーションを行うためには、実験に使用したマスクの情報も正確に入力しなければならないわけである。



図表 13-12 低真空化によるチャージング抑制 (資料提供: (株)ホロン)



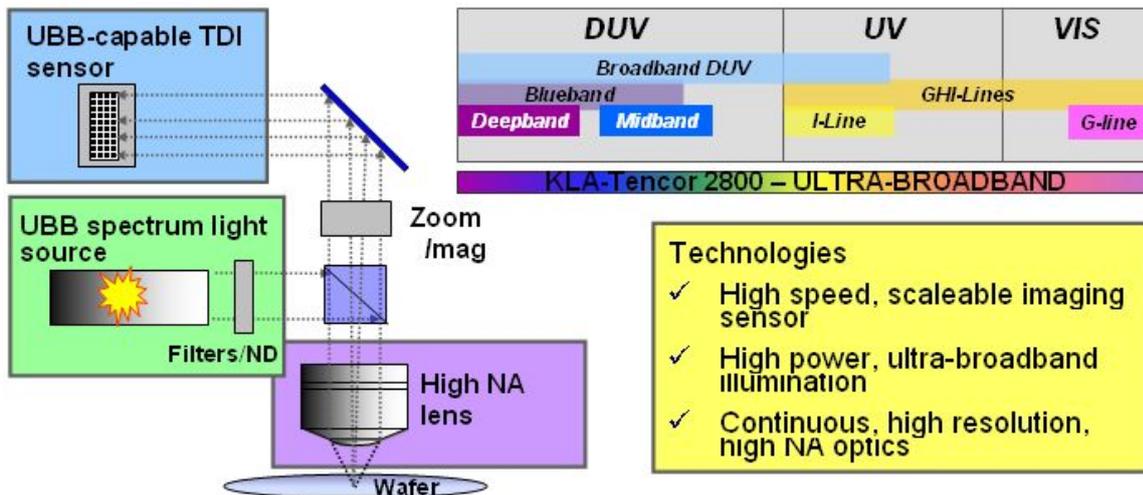
図表 13-13 低真空化によるコンタミネーション(&チャージング)抑制事例。
 高真空、低真空の 2 つの真空度で、高倍計測後に低倍観察して電子ビームのスキャン残像を確認 (資料提供: (株)ホロン)

また今後の露光装置の高 NA 化や、偏光の導入においては、マスクの 3 次元形状も正確に把握しておく必要性からマスクの 3 次元計測の必要性も増してくるものと考えられる。一つの候補としては、AFM が考えられるが、今後十分な検討が必要である。

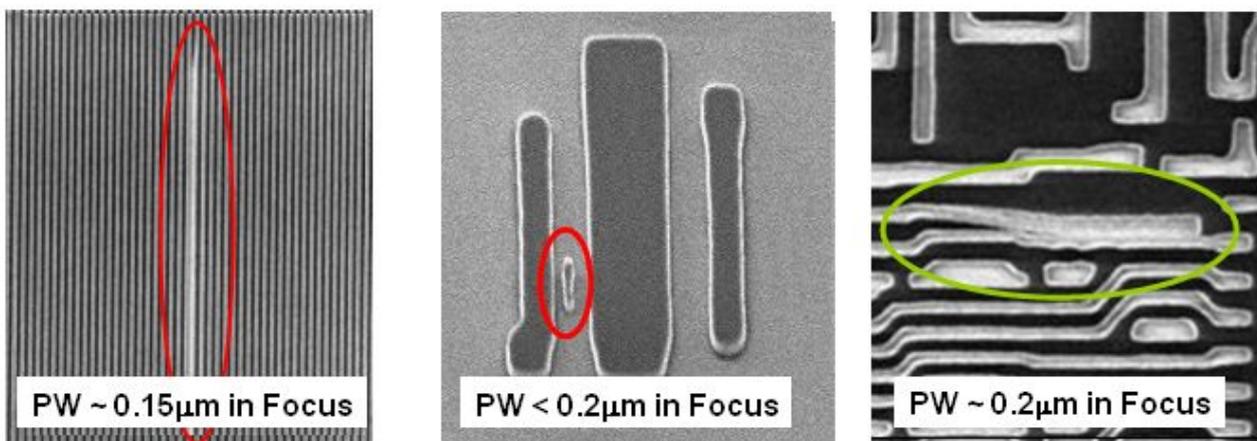
13-4-4 ウェーハプロセスにおける Metrology

ウェーハプロセスにおいては、マスク同様欠陥検査、CD 計測、位置ずれ計測が重要である。欠陥検査につ

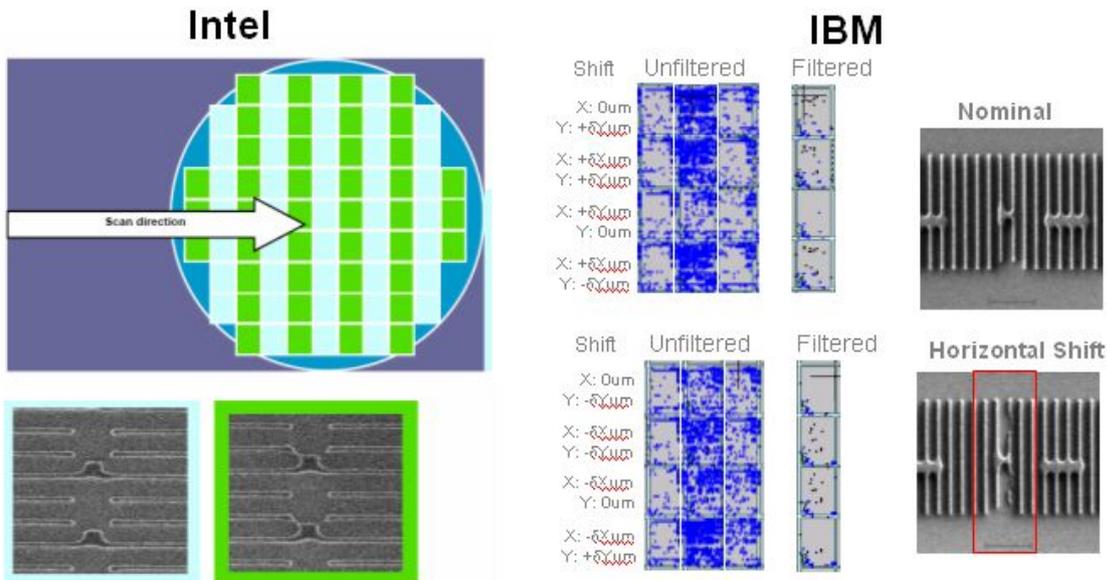
いては、ウェーハ上パターンはマスク上パターンの 1/4 のディメンションであることとショット数が多いため、マスク以上に分解能と検査スピードが要求される。したがって現在は光計測による欠陥検知+SEM review という形態をとって最終的に欠陥を特定する手法を採っている。図表 13-14 に示すように、ウェーハの欠陥検査もマスクの検査同様、光を光源とした観察光学系で、スループットを重視している。分解能もマスク欠陥検査のトレンド同様に短波長化、高 NA 化である。ただし、欠陥検査の methodology として従来の nominal condition における欠陥検査に加えて、PWQ(Process Window Qualification)といて、本来想定しているプロセスウィンドウに対応した露光条件(許容フォーカスレンジ、許容露光レンジ、あるいは許容位置ずれレンジ)内で水準振りを行い Hot spot を含めた欠陥の感度を上げて検出する手法が提案され実用化されている(図表 13-15、13-16)。これによって、歩留まりに影響のあるプロセスマージンの低い Hot spot を量産直前に検知して対処することが可能となっている。これは、Hot Spot 検出の最終段階であり、前述した設計データ処理段階の上流で Hot spot がすべて解消できることが理想である。しかしながら、実際には、Computational Lithography のキャリブレーションを含めた精度や、実際の製品処理時のマスク、露光装置および露光プロセス環境と、キャリブレーション時のそれらとの差異等々によって発生する CD 精度が、想定したバジェット以上のことも多々ありえるため、新たな Hot spot が発生しうるのである。このようにどの段階であっても、歩留まりに影響度の大きい Hot spot を捕捉する取り組みは非常に重要である。



図表 13-14 光学式ウェーハ欠陥検査装置例 (資料提供:ケーエルエー・テンコール(株))



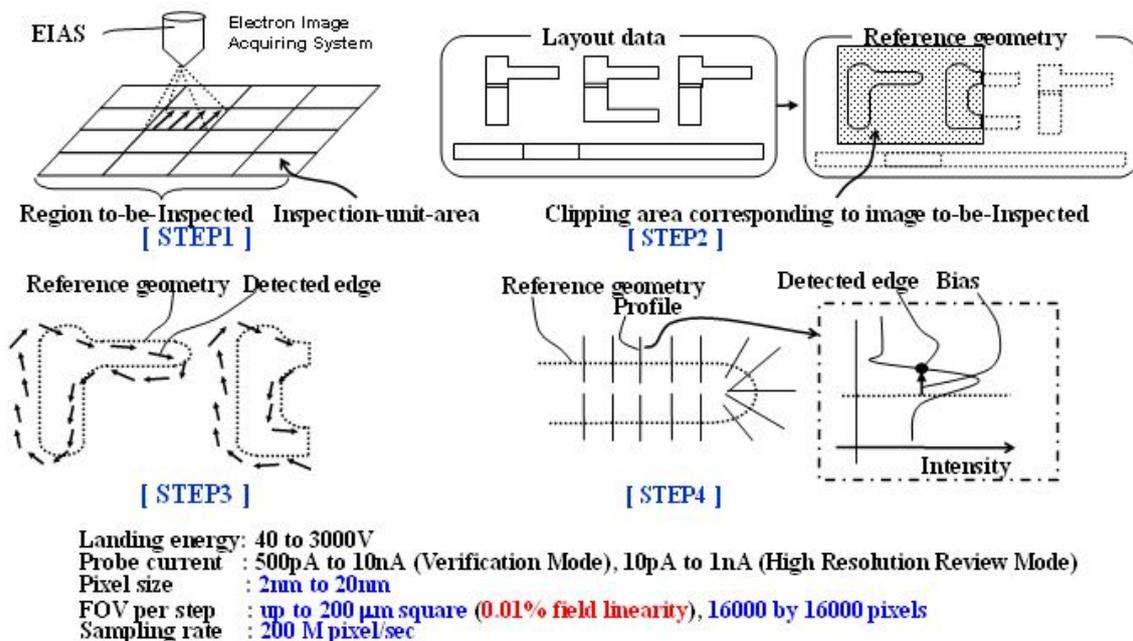
図表 13-15 PWQ によるフォーカスマージン検証事例



Proceedings of SPIE Vol. 5754, p. 215-255, 2005 Proceedings of SPIE Vol. 5756, p. 51-60, 2005

図表 13-16 二重露光における位置ずれマーシンの PWQ による欠陥検出事例

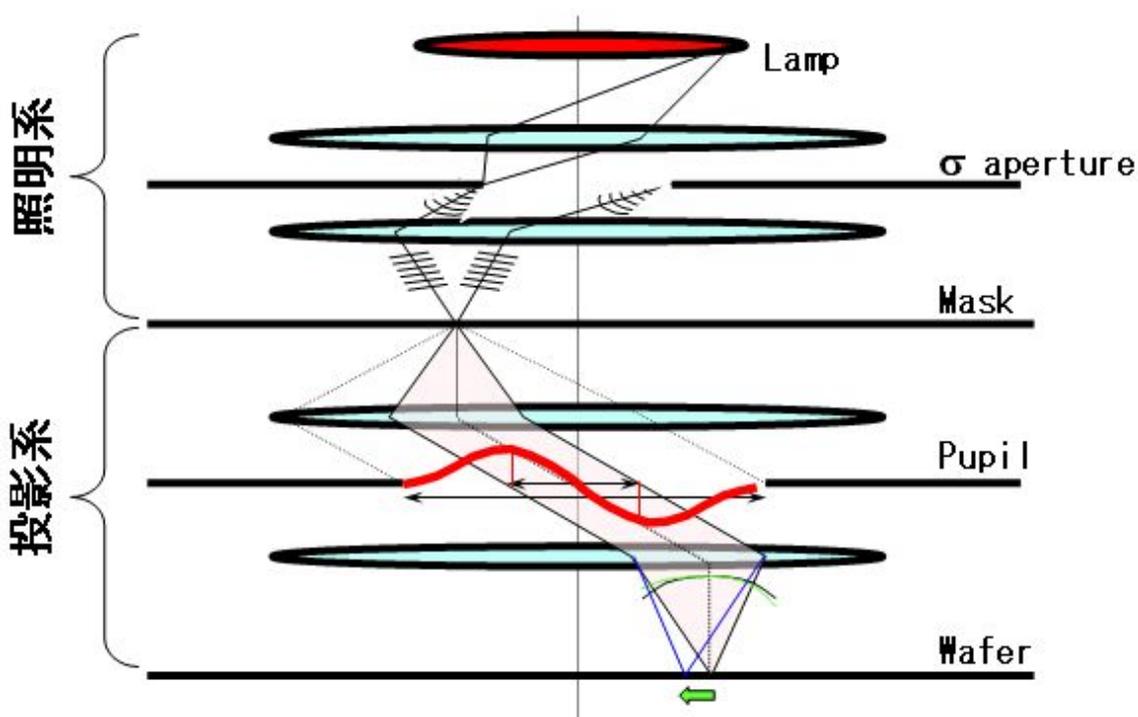
前述したように、ウェーハの欠陥検査の主流は光学式であるが、SEM による高スループット検査の取り組みも行われている。2 次電子を用いた高速のパターン観察技術として、低倍率観察で広視野領域を高速のサンプリングレートで走査し、ピクセル分解能をあげることで、高精度で高速の SEM 画像を取得し、設計データ、あるいは、Computational Lithography からの空間像出力結果と比較し、その差異の大きさや傾向から欠陥を特定するといった手法である。図表 13-17 に示したのは、その一例であり、今後期待される検査技術領域であると考えられる。



図表 13-17 2 次電子高速サンプリングによる高速、広視野欠陥検査技術 (資料提供: (株)ナノジオメトリ研究所)

一方、ウェーハプロセスにおける CD 計測については、CD-SEM の計測精度の向上もさることながら、光学的 CD 計測技術 (Scatterometry: エリプソメトリーを用いたモデル&ライブラリーベースの CD、形状計測技術) の進歩によって、Precision to tolerance が大幅に改善し、ロードマップの改定に大きく貢献した。システムティック欠陥に対しては、前述したように、Computational Lithography のキャリブレーションのための DICD 計測、FICD 計測の高スループット化と計測精度向上要請が増しているといったところである。

位置ずれ計測については、従来通りの光学式の位置ずれ計測装置が使用されている。計測原理は明視野画像処理による位置ずれ計測マークの主尺-副尺間の相対位置計測である。位置ずれマークの計測精度改善にあたっては、計測機ハードの収差低減や画像処理技術の改善はもちろんのこと、ウェーハプロセスにロバストで S/N が良い計測パターン構造の最適化が中心となっている。シングル露光が継続する以上は、アライメント精度や位置ずれ計測が、トレンドに対して律速するまでには当面至らないであろうが、問題は 2 重露光である。2 重露光の位置ずれの許容値は非常に小さく、まずは、露光装置自体のパフォーマンスを大幅に向上させることが必須である。露光装置に起因する位置ずれとしては 2 つに大別され、ひとつは、アライメント光学系、およびレチクルとウェーハステージ制御系といった非結像系起因と、コマ収差等の奇関数収差によるパターンの周波数特性にตอบสนองした配置ずれの結像系起因がある。後者の収差によるパターン配置について簡単に補足すると、図表 13-18 に示した投影光学系の概略図において、マスク面の任意の一点には、照明系からの平面波が照明形状に対応した立体光束で集光し、ひとつの平面波毎にマスクパターンで回折され、投影系の瞳 (NA を物理的に規定している窓) を通過してウェーハ上に結像する。瞳を通過する際の回折光の位置は、マスクパターン (大きさやピッチ) に依存する。投影系にコマ収差等の奇関数収差が存在すると、位相変化が大きい瞳領域を通過する回折光のウェーハ決像面での配置ずれが大きくなることが分かる。ちなみにデフォーカスや球面収差は偶関数収差なので空間像のコントラスト低下は招くが配置ずれには影響しない。



図表 13-18 投影光学系の概略図 (奇関数収差によるマスク投影パターンの配置ずれの様子)

またプロセスサイドとしては、ウェーハの非線形性は徹底的に押さえ込む必要がある。ウェーハプロセスの位置ずれの非線形性は、積層膜自体のストレスや熱履歴によるストレス変化だけでなく、デバイスの 3 次元構

造に依存するため、マイクロ、マクロの見地から、非対称なストレスによるパターンの配置ずれには配慮が必要である。

一方計測側としては、従来スクライブ内に配置された複数のマークによって、露光ショットの位置ずれを代表させていたわけであるが、ショット内の複数箇所に配置を展開してゆく必要性や、パターンに依存性した配置ずれの計測技術や、シミュレーション予測技術が必要となろう。前述のウェーハの欠陥検査で触れた、広視野高サンプリングレートの SEM 技術は、欠陥検査の領域ばかりでなく、このような位置ずれ計測の領域への展開の大きい期待される場所である。この領域を光でカバーするのは非常に困難であろう。また、スループットの計測機による測定だけでカバーできない領域については、Computational Lithography で光学収差を取り込んで予測し、CD のホットスポット予測だけでなく、配置ずれのホットスポットを抽出することも非常に重要な技術になると考えられる。

13-4-5 総括

Metrology のカバーする領域は非常に広く、毎年テーマを絞って技術動向調査報告を行っている。今回は、歩留まりに非常に大きなインパクトのあるリソグラフィプロセス、および設計データ作成から OPC 等のデータ処理周りで発生するシステムティック欠陥 (Hot spot) の理解と、それに対応する Metrology の現状と課題、方向性についてまとめた。システムティック欠陥 (Hot spot) が発生する大きな原因としては、リソグラフィプロセスのマージン (CD budget: ED-window, OL budget) 不足が原因であり、これは、従来コンピュータ速度の制約から、リソグラフィのシミュレーションによるマージンの予測を高精度で行うことができなかったことに起因している。この問題がインフラとして解消することによって、マージン検証をチップ全体に渡ってグリッドベースで捕捉することが可能となった。つまり、従来ウェーハプロセスで発覚していた Hot spot 抽出を、設計データ処理段階で発見することによって、大きな製造ロスと、納期遅延の問題の大部分が解消できるようになった。このように計算速度のインフラを前提とし、Computational Lithography が発達した一方で、これをさらに高精度化 (シミュレータのキャリブレーション) するために、ウェーハ上での 2 次元の DICD (OPE データ取得)、FICD (PPE データ取得) 計測が重要になるものと予想される。この計測にあたっては、CAD とリンクしたレシピの作成の効率化と、SEM 画像の輪郭抽出機能が重要な役割を占めている。一方、ウェーハ上での DICD、FICD 計測同様にシミュレータのキャリブレーションおよびシミュレーション時の入力情報として、正確なマスク情報が必要となっており、ウェーハ同様の CD-SEM 計測機能が必要となってきた。マスクの CD-SEM 計測においては、チャージング、コンタミネーションといった問題はすでに解消されている。マスク、ウェーハ上の欠陥検査においては、現状パーティクル等のランダム欠陥の検出が主体であり、これは現実的なスループット要請から光計測が用いられている。このため検出感度としては、 $\lambda/(4NA)$ 程度であり、ウェーハ上換算でデバイスのハーフピッチレベルである。一方、スループットが最大の課題であった SEM 画像による欠陥検査については、サンプリングレートの高速化によって、低倍率の広視野において既存の高倍率 CD-SEM 同等のピクセルサイズを実現しており、今後大いに期待される技術である。将来的にマスクの精度が非常にクリティカルになってきた際には、AIMS 等を用いたマスクの透過像ベースの品質管理、欠陥検査も必要になってくると考えられる。位置ずれに関しては、リソグラフィのトレンドが 2 重露光へシフトした場合、デバイスのパターンレベルにおける配置ずれや、重ね合わせずれを計測する必要性が予想される。このような場面では、前述した高サンプリングレートの SEM 計測も有力な計測候補となり、益々その技術的な重要性が増してくるものと考えられる。また Computational Lithography による光学収差起因の位置ずれに関しては CD 同様、Hot spot 検出として非常に大きな効果をもたらすと期待される。またウェーハ上における Hot spot 検出においては PWQ (Process Window Qualification) が提案され、感度の高い Hot spot 検出として既に大きな効果をもたらしている。以上述べてきたように、リソグラフィおよびデータ処理周りの Hot spot に対する対応としては、さまざまな取り組みが行われつつあるが、metrology としてのより一層の対応が求められている。