

## 第 2 章 設計タスクフォース

### 2-1 はじめに

設計 TF(タスクフォース)は STRJ の中において、他のワーキンググループよりも遅れて 1999 年に結成された。各 WG とは少し視点を変えて、当時日本の半導体産業が SOC に傾注してビジネスを展開していくことを鑑み、SOC の設計上の課題をえぐり出そうという試みであった。8 年の歳月をかけてこのミッションを達成するべく活動を続けてきた。しかしながら、SOC 自体がすでに日本だけで取り組む技術分野ではなくなってきており、すでに ITRS では SOC を前提にロードマップの議論がされていること、また、タスクフォースでえぐり出した課題は設計技術上の課題となり、設計 WG(WG1)にて議論をするスタイルになってきていること、などを考えると、タスクフォースとしての役割は終了したと判断し、今年度(2007 年度)で設計 TF は終了することになった。

設計 TF として最後のメンバは以下のとおりである。

石橋 孝一郎 (リーダー)	ルネサステクノロジ
浅田 善己(サブリーダー)	富士通
古野 慎治(幹事)	沖電気工業
朝重 浩喜	松下電器
東 大祐	シャープ
阿久井 聡	ソニー
藤沢 雅憲	ローム
拔山 知二	NEC エレクトロニクス
斉藤 利忠	東芝
内山 邦男	日立製作所
益 一哉(特別委員)	東京工業大学
天川 修平(特別委員)	東京工業大学

本報告書は設計 TF としては最後の報告書になる。そこで歴史を振り返る意味で本報告の最初の部分では、過去設計 TF が行ってきた活動について概説する。

一方、設計 TF においては、SOC 設計の観点から ITRS のロードマップ上の数字を見ていると配線抵抗の急激な上昇に問題があることがわかってきた。本年度は 2005 年度から検討を続けてきた配線の抵抗が SOC の性能に与える影響についての調査をさらに押し進めてかなり詳細な検討結果が得られた。本報告書の後半では、この配線抵抗の検討結果を述べていく。

### 2-2 設計 TF の過去の活動

設計 TF は SOC 設計上の課題解決のためにどのような技術をどの時点で実現すればよいかを明らかにすることをミッションとして 1999 年 3 月に結成された。当初の主査は SIRIJ の上田潤氏、副主査は富士通の後藤源助氏であり、全体のメンバはオブザーバー含め 15 名で構成された。以下の活動指針のもとに進められた。

- (1) 将来の半導体技術に関して設計全般に渡る課題と解決策を議論する。
- (2) ITRS 委員会の設計と関連の深い WG と連携を取る
- (3) 技術のターニングポイントを予測する。
- (4) SOC 応用分野毎のロードマップの作成を行う。

特に(4)においては、3 つに分けてグループを作り、高性能高機能分野、低価格短納期分野、小型低電力分野の 3 分野それぞれについて、ロードマップを作成することになった。

従来の国際半導体技術ロードマップでは、主として DRAM や MPU をテクノロジドライバとして技術ロードマ

ップが論じられてきた。設計 TF では、国際半導体技術ロードマップのこれまでの方向性に対して、日本発の今後の新市場を開拓するデジタルテレビ、ハードディスクレコーダ、携帯電話、デジタルカメラ、PDA(Personal Digital Assistants)といった新しい分野のデジタル民生機器に搭載される組込みプロセッサや低電力 SOC をテクノロジドライバとして考えた場合の技術ロードマップの議論を進めることを主眼とした活動を進めてきた。デジタル民生機器に搭載される組込みプロセッサや低電力 SOC をテクノロジドライバとするロードマップの議論を進めることで、低電力 SOC における設計、プロセス、デバイスの技術上の問題点を明確にすることを目標としている。これらのことから、会員企業での問題点把握と、その対策着手を早め、結果的に会員企業の競争力強化につながることを期待される。また、問題点を把握して関係者にインプットすることで、ロードマップの数字の見直しにつながる効果も期待される。

1999 年度は、活動開始年度として、性能高機能分野、低価格短納期分野、小型低電力分野のそれぞれについて SOC の展開モデルを作成し、その中で CPU の周波数、素子数、浮動小数点演算性能、消費電力などの予測を行った。さらに、各分野の SOC を設計する上での課題を指摘するなどの活動を行った。

2000 年度、リーダーは東芝の多胡浩之氏になり、日本では特に携帯電話や PDA などの”手のひらサイズの電池駆動携帯情報機器”が重要であるとして、この分野に絞り込んで SOC のロードマップを検討した。この携帯情報機器において、どのようなアプリケーションが実現できるか予測をすると共に、トランジスタのリーク電流が非常に大きな問題になるであろうことを指摘した。SOC のリーク電流の検討はその後 2003 年度まで続けられた。歴史的には、このリーク問題は ITRS でも大きく取り上げられることになり、ITRS2005 版ではリーク値を決める電源電圧やトランジスタのしきい値電圧、ゲートリーク電流が大きく見直された。設計 TF におけるこの検討は ITRS における修正に先駆けて、行われている。すなわち、設計 TF のミッションである SOC の設計上の課題をえぐり出すことに成功している。

2001 年度、リーダーはソニーの門脇智彦氏になった。ITRS の"System on a Chip"章が全面的に見直されて"System Drivers"章として拡充されることになった。そこで設計 TF としては”手のひらサイズの電池駆動携帯情報機器”をここまで検討してきたので、これをベースに ITRS の"System on a Chip"章に合わせて情報の追加修正を行った。その結果、MPU 向けの高速化傾向の強い当時のロードマップに対して、異なった傾向の性能要求を示すことになった。

2002 年度は、リーダーは日立製作所の内山邦男氏、サブリーダーは東芝の田中茂氏に変わった。ここでは、WG6 (PIDS)と WG3 (FEP)との連携を行い、当時最新のロードマップをベースにモバイルマルチメディア向け低電力 SOC の設計パラメータを検討した。この中で、配線モデルの性能に対する影響と SRAM のアクセス時間について、特に詳細な分析をした。また、新しい問題点として、ロジック回路の中性子線によるソフトエラーの検討も行い、石橋孝一郎氏による STRJ WS 講演にいった。

2003 年度は、リーダーは日立製作所の内山邦男氏、サブリーダーは富士通の浅田善己氏で、この体制は 2005 年度まで続いた。この年は、2002 年度のモバイルマルチメディア向け低電力 SOC の設計パラメータに関する定量的検討をベースに、その定量性の精度を深めた。具体的には、当時最新の 2003 年度の ITRS ロードマップに基づき、定量的検討を見直した。また、SOC に必要になる組み込みメモリに対する動向の調査を行った。

2004 年度からは設計 TF として DFM (Design for Manufacturing)の検討に取り組んだ。近年 DFM や DFY(Design for Yield)などのキーワードで表わされる技術を適用して設計を進めることが重要であると言われ

ている。DFM、DFY は、文字通り「製造を考慮した設計」あるいは「歩留りを考慮した設計」という意味であるが、最近のプロセスの急速な微細化にともない、デバイスのばらつきが増大し、設計が難しくなってきたことや製造歩留りが安定しないなどの諸問題が顕在化してきたことが、このような設計が重要になってきたことの背景にある。とくに、トランジスタのばらつきが、SOC の諸特性にどのような影響を与えるのか基礎的な検討を行った。SOC 内のメモリのリード電流はトランジスタのばらつきを考えるとメモリセルサイズを 1.9 倍にしなくてはならなくなるということがわかった。また、ばらつきを考えると、SOC の消費電力が約 9 倍になるなど、さまざまな技術分野で少なからぬ影響があることを明らかにした。そして、このばらつきに対応した設計技術が今後重要になることを指摘した。

2005 年度では、ITRS の Design 章に DFM 関連の記述を盛り込むことになり、設計 TF として、ITRS の Design TWG との関連を強めることになった。そこで、ITRS と意見交換をしながら、2004 年度に行ったトランジスタのばらつきが SOC の特性に与える影響の評価の精度を高める活動を行った。その結果、LOP デバイスでは、2010 年までに High-k 材料を導入する必要があることを指摘した。さらにこの年度より、東工大の益教授グループに参画いただき、配線の特性が SOC の特性に与える影響の評価を開始した。

2006 年度からはリーダがルネサスの石橋孝一郎氏、サブリーダが富士通の浅田善己氏、幹事が沖電気の古野慎治氏の体制になり、東工大の益教授グループも参加していただいた。この体制で 2007 年度まで配線の特性が SOC の特性に影響の評価を行った。

### 2-3 配線の特性と SOC の性能との関係について

LSI を構成する要素は、MOS トランジスタと並び、配線がある。2005 年度まで、ばらつきも含め、デバイスの特性が SOC の性能に及ぼす影響について定量的に検討してきたが、配線特性も SOC の性能に重大な影響を及ぼす。また、ITRS のミーティングにおいて、Interconnect のグループから、今後配線の微細化に伴って、グレイン境界や配線・層間膜界面における電子の散乱の効果により、実際の LSI 内部の配線材料の抵抗率がバルクの配線材料の抵抗率よりも上昇するという見解が示された。これらのことから設計 TF として問題意識を持ち始めた。

このような経緯で、2005 年度より配線特性が SOC の性能に及ぼす影響の定量的な検討を開始した。本年度は 2005 年度より開始し、3 年にわたって検討してきた配線特性が SOC の性能に及ぼす影響についてまとめて報告する。昨年度は配線抵抗が SOC の速度特性に与える影響を調査した。そして、今年度は配線抵抗が SOC の面積及び電力に与える影響を調査した。

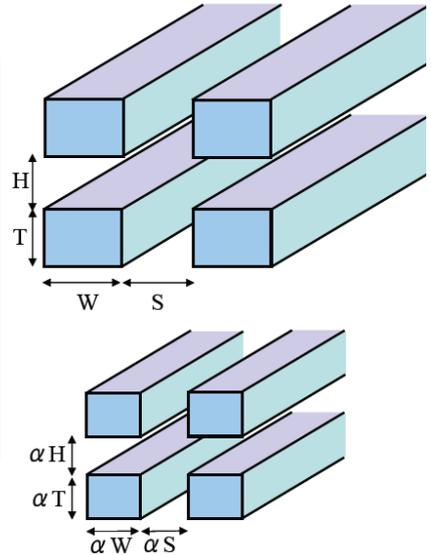
### 2-4 配線のスケールリング則と抵抗率の上昇について

まず、初めに配線のスケールリング則について定義する。

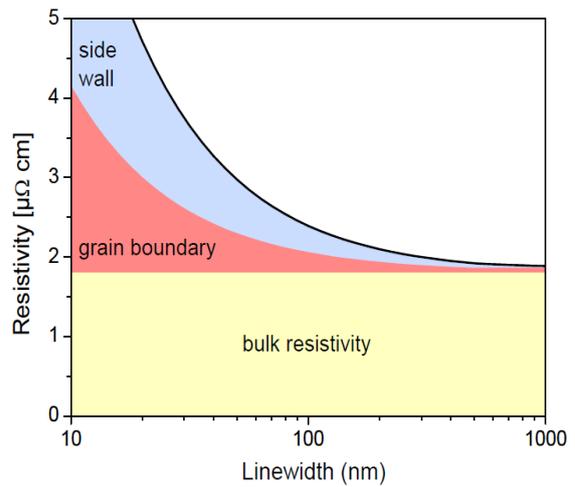
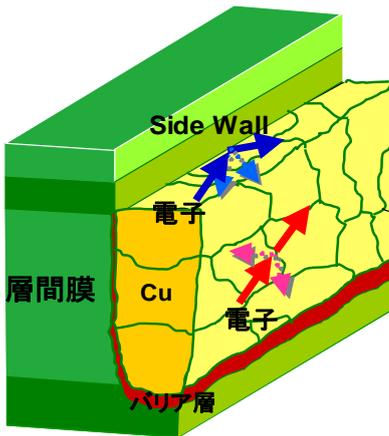
図表 2-1 はスケールリングファクターを  $\alpha$  とした場合の配線のスケールリング則を示したものである。通常  $\alpha$  はロジックの世代が 1 世代進むと 0.7 の値をとる。スケールリング則によれば、配線の断面構造は、世代ごとに微細化され、配線の断面積は一世代で  $\alpha$  の自乗で約半分になる。また、配線の長さは  $\alpha$  倍になるので、正味の配線抵抗は  $1/\alpha$  になる。一方、配線の長さや幅が  $\alpha$  倍になるため、相対する配線の面積は  $\alpha$  の自乗になるが、配線スペースも  $\alpha$  倍になるので、正味の配線容量は  $\alpha$  になる。配線の時定数は、配線抵抗と配線容量の積であるので打ち消しあってちょうど 1 になる。すなわちスケールリング則によれば、配線の時定数は、世代で変化しないことになる。

一方、ITRS に記載されている数字の中には、このようなスケーリング則を超えた変化をするパラメータが存在する。その一つが配線の抵抗率の増加である。微細化した配線において、配線の抵抗率の上昇の問題があることは、ITRS2003 において既に簡単な記載がある。ITRS2005 では、抵抗率の上昇についてより正確にモデル化され、将来の配線の抵抗率についてロードマップとして記載されるようになった。

	Symbol	Scaling Coefficient
Wire Thickness	T	$\alpha$
Width	W	$\alpha$
Space	S	$\alpha$
Dielectric Thickness	H	$\alpha$
Length	L	$\alpha$
Resistance	$R_{int} \sim L/(W \cdot T)$	$1/\alpha$
Capacitance	$C_{int} \sim LW/H$	$\alpha$
RC delay	$R_{int}C_{int}$	1

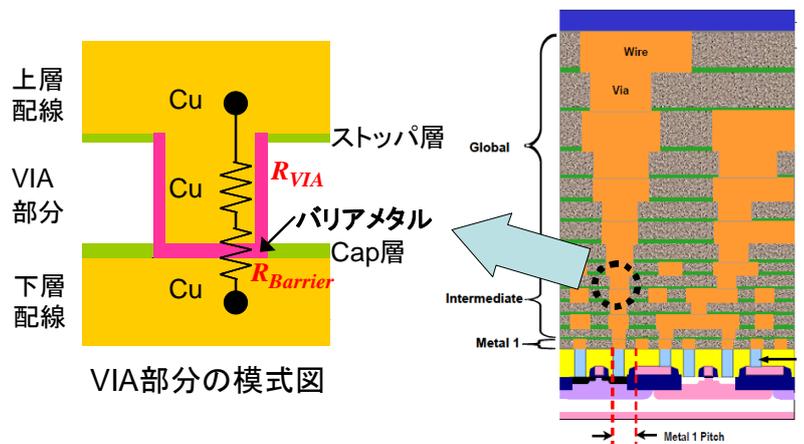


図表 2-1 配線のスケーリング則



図表 2-2 配線の構造と配線の抵抗率のトレンド

図表 2-2 は、ITRS2005 の Interconnect 章に記載されているものであり、配線材料の抵抗率が配線の微細化とともに上昇することを示したものである。配線材料は Cu を主成分とするものであり、本来抵抗率というものは材料定数として材料固有で一定のものである。しかしながら、配線幅が細くなるにしたがって、銅配線のグレイン境界における電子散乱や配線・絶縁膜界面のラフネスに起因する電子散乱の影響で抵抗率が急激に上昇する。さらに、配線材料 Cu と絶縁膜の間に、配線材料が絶縁膜中に拡散しないように設けられるバリアメタル層の影響が無視できない。バリアメタル層は、配



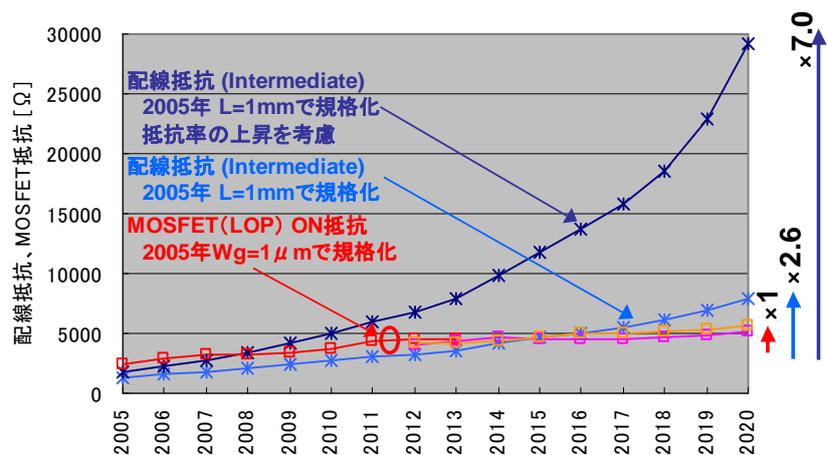
図表 2-3 LSI の断面構造と VIA 部分の詳細

線材料 Cu と絶縁膜の間に薄く形成されるが、一般にバリアメタル材が Cu に対して抵抗率が大きいことから問題になってくる。

また、図表 2-3 に示すように近年の LSI の断面構造では配線の多層化が進んできている。配線間の容量を削減するために絶縁膜の誘電率を下げるるとともに、上下の配線層の間を接続するビアのアスペクトレシオを大きくするといったことが行われている。ビアに Cu を埋め込む際にもビア底と側面にバリアメタル層を形成する。このバリアメタル層により、ビアに埋め込まれた Cu の正味断面積が減少し、そのことで Cu 部分の抵抗( $R_{via}$ )が大きくなる上、さらにビア底のバリアメタルの抵抗( $R_{Barrier}$ )が直接ビアの抵抗として見え、VIA 抵抗としては、両者の直列抵抗となるとしてモデル化した。

以上の効果を考慮の上、配線抵抗と MOSFET のチャンネル抵抗の今後の推移を計算したものを図表 2-4 に示す。本図は、2005 年時点での MOSFET (LOP) のチャンネル抵抗と散乱の影響を考慮しない銅配線材料バルクの

抵抗率を用いた場合の配線の抵抗と、散乱の影響を考慮した場合の配線の抵抗を ITRS2005 で示された値に基づき計算を行ったものである。MOSFET の ON 抵抗は、各世代の電源電圧<sup>1</sup>を各世代の MOSFET (LOP) のオン電流<sup>2</sup>で割った上で定数倍<sup>3</sup>することで計算する。2005 時点の ON 抵抗は、2005 年時点でのゲート幅  $1\mu\text{m}$  あたりのオン電流と電源電圧とから計算する。2006 年以降の ON 抵抗は、微細化により縮小したゲート幅をベースに計算する。すなわち 2005 年でゲート幅  $1\mu\text{m}$  として、2006 年以降は、 $M1^3$  のハーフピッチの縮小に比例してゲート幅を縮小させて、このゲート幅でのオン電流を元に計算する。



図表 2-4 配線抵抗と MOSFET の ON 抵抗

Intermediate 層の配線抵抗については、2005 年時点で  $1\text{mm}$  の配線長の抵抗を設定し、2006 年以降の配線抵抗として、配線長が  $M1$  のハーフピッチの縮小に比例して短縮するとして、その配線長で各年代の配線抵抗率から配線抵抗を計算する。配線幅は、Intermediate 配線の最小線幅を設定する。図表 2-4 に付記する通り、MOSFET のチャンネル抵抗は 2005 年から 2020 年にかけて約 2 倍に上昇する。一方、配線抵抗はバルクの抵抗率を考えた場合でも MOSFET のチャンネル抵抗の上昇を上回り、散乱の影響を考えると、抵抗率のさらなる上昇が予想される。MOSFET の抵抗率の上昇割合を 1 とすると、散乱の影響を考えた場合の配線抵抗の上昇率は実に 7 倍にもなる。したがって、今後たとえ MOSFET の性能向上があったとしても配線抵抗の上昇により、SOC の性能が向上しないことが予想される。

次に、VIA の抵抗の今後の傾向について検討した。VIA の抵抗の計算については、2005 年時点での代表的な VIA の抵抗値を配線 WG に示してもらい、ITRS2005 に記載されている VIA 径やバリアメタルの厚さなどから計算を試みた。

以下、VIA 抵抗の計算モデルの詳細を説明する。2005 年時点の銅配線の抵抗率、VIA の断面形状、バリアメタルの厚さのデータを ITRS2005 より抽出し、もう一方で、2005 年時点の業界における標準的な VIA 抵抗値を使って、図表 2-3 のように VIA の銅部分の抵抗値( $R_{VIA}$ )とバリアメタル部分の抵抗値( $R_{Barrier}$ )に分離した。こ

<sup>1</sup> ITRS2005 PIDS 章 Table47a, 47b に、Vdd : Power Supply Voltage として記載されている。

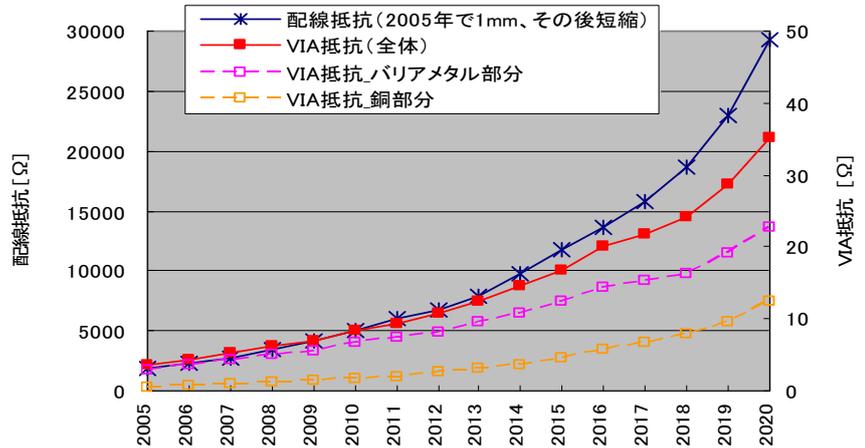
<sup>2</sup> ITRS2005 PIDS 章 Table47a, 47b に、Id,sat : Effective Drive Current として記載されている。

<sup>3</sup> 1 層目(最下層)の配線を指す

の後、銅部分の抵抗値( $R_{VIA}$ )は、VIA 部の銅材料の寸法変化と抵抗率の変化による抵抗変化を計算し、バリアメタル部分の抵抗値( $R_{Barrier}$ )は、バリアメタル材料の抵抗率は一定としてバリア層の厚さと断面積で決まる抵抗値を計算し、両者が直列接続にあるとして、抵抗値を加算して VIA 抵抗を計算した。

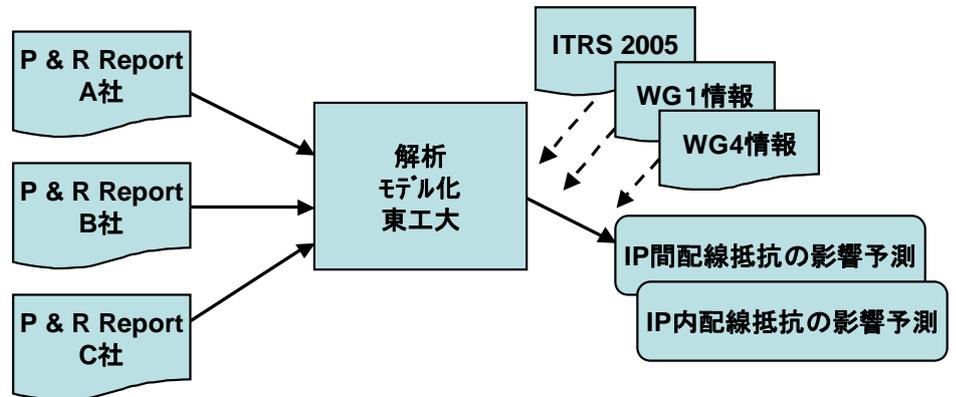
図表 2-5 から読み取れるように、2010 年頃までは、VIA 抵抗のうち、大部分をバリアメタルの抵抗が占める。その後、VIA 部分が微細化することで銅部分の抵抗が上昇し、2020 年頃には、VIA の抵抗の約 1/3 が VIA の銅による抵抗寄与で、2/3 がバリアメタルによる抵抗寄与となる。

やはり図表 2-4 から読み取れるように VIA 抵抗の上昇は散乱の影響を考慮した配線の抵抗の上昇とほぼ同じ上昇率をたどることになる。現時点の配線構造では通常、配線抵抗がビアの抵抗よりも支配的であるが、将来においても同じ傾向をたどると予想される。したがって、今回の検討では、ビアの抵抗は配線抵抗の中に組み込まれているとして検討を進めた。



### 2-3 配線長分布のモデル化

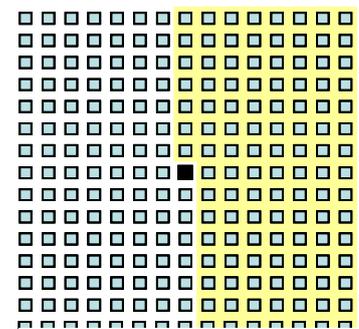
配線抵抗の LSI に及ぼす影響を見るには、チップ内の最長配線に注目し、その配線における RC デレイを見積もることがよく行われる。ITRS においては、配線の断面積が急激に小さくなるために、配線の抵抗は急激に上昇し、RC デレイで見ると急激な上昇が起こり、LSI の設計は不可能になるという結論が出てしまう。このため、テクノロジーが進むほど配線層数を増やして、上層の配線層の配線ピッチ及び配線厚さを大きくして一定の RC デレイを維持しようという「逆スケーリング」の考え方が ITRS にも導入されてきている。しかし、近年は設計技術の発達などにより、リピータを効果的に活用するなどして RC デレイの上昇を抑えて、配線層数を増やさずに所望の LSI の性能を維持することが行われており、ITRS でも導入されている「逆スケーリング」の考え方との乖離が出てきている。



図表 2-5 VIA 抵抗と配線抵抗

図表 2-6 配線抵抗の LSI 性能に対する影響の見積り方法

以上の背景から、配線の特性の LSI 特性への影響を見積もるために、LSI の配線長分布をモデル化し、このモデルに基づき配線抵抗の影響を評価することにした。LSI の配線長分布のモデル化に当っては、設計 TF に参加しているメンバ企業から、実際に SOC のレイアウト設計を行った際に P&R (placement & routing) EDA Tool が出力する P&R Report の生データをボランティアで提供していただいた。本データは実際に LSI 化した設計のデータであるので、設計 TF が取り組もうとする対象そのものである。このデータを 2005 年度から設計 TF の活動に参加している東工大の益研究室において解析してもらい、LSI の配線長分布のモ



図表 2-7 Davis モデル

デル化し、このモデルに基づき配線抵抗の影響を評価することにした。LSI の配線長分布のモデル化に当っては、設計 TF に参加しているメンバ企業から、実際に SOC のレイアウト設計を行った際に P&R (placement & routing) EDA Tool が出力する P&R Report の生データをボランティアで提供していただいた。本データは実際に LSI 化した設計のデータであるので、設計 TF が取り組もうとする対象そのものである。このデータを 2005 年度から設計 TF の活動に参加している東工大の益研究室において解析してもらい、LSI の配線長分布のモ

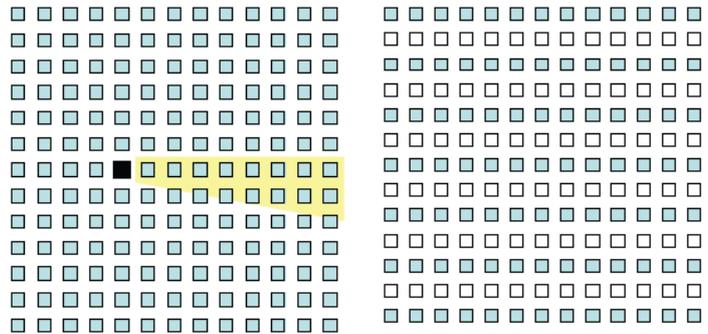
デル化を行った。こうして得られたモデルに対して、ITRS 上の数字あるいは、必要に応じて配線 WG あるいは、その他の関係者から必要なパラメータを提供してもらい、配線抵抗の LSI の性能に与える影響を評価した。(図表 2-6)

配線長分布を表すモデルとしては、従来、Georgia Institute of TechnologyのDavisらが提唱したDavisのモデルがよく知られている。Davisのモデルは式 2-1 で示されるRentの法則を用いて、配線長分布を得ようとするものである。

$$T = KN^p$$

式 2-1

ここで、 $T$  は LSI の信号ピン数、 $N$  はゲート数、 $K$  と  $p$  は係数である。この式で  $K$  と  $p$  を適当に選択することにより、経験的に信号ピンとゲート数の関係が表現できる。Davis らはこのモデルを元に配線長分布を求めた。

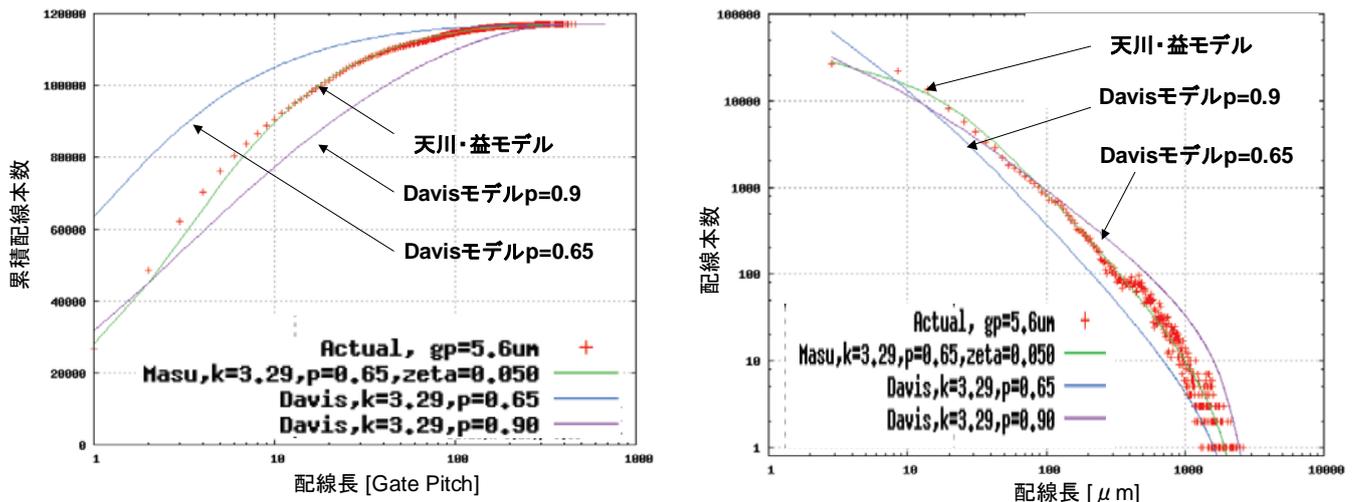


図表 2-8 天川・益モデル

益研究室の協力により、設計TF参加の各社から提供されたP&R Reportを解析した結果、Davisのモデルでは、近年のLSIの配線長分布を表現できないことがわかった。これは、図表 2-7に示すようにDavisモデルは黒く示されたセルと、右側の薄く塗られた半平面上にあるセルについて配線で接続される可能性があるという考え方であり、これが実態とあっていないからであると考えられた。新たに作成された天川・益モデル<sup>4</sup>においては、図表 2-8 に薄く塗られた部分で示すように接続されるセルの偏在性や、粗密性を考慮し、新たにパラメータ $\zeta$ を導入した。

C社から提供されたのは $hp^4=0.18\mu m$  (産業界で言われる  $0.13\mu m$  テクノロジー)のP&R reportである。C社から提供されたP&R reportを解析し、配線長分布の形にして、Davisのモデルと天川・益モデルを比較した結果を図表 2-9 に示す。

図表 2-9 からわかるように、C 社の配線長分布は Davis のモデルで係数  $p$  の値を変化させても合わせ込むことが難しい。一方、天川・益モデルを用いた場合は、新たに導入したパラメータ $\zeta=0.05$ を用いることにより

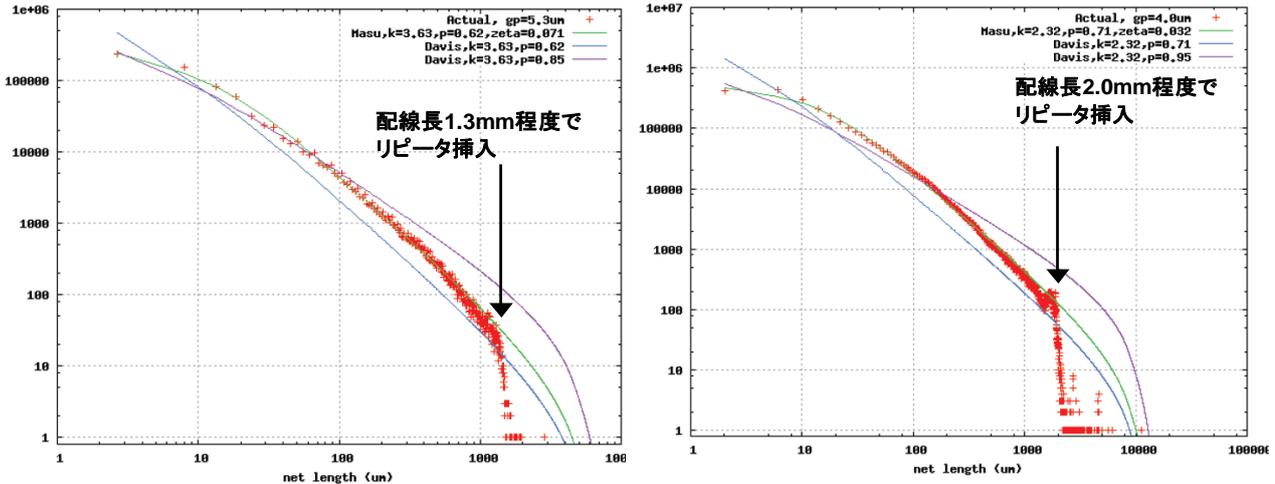


図表 2-9 C 社 LSI の配線長分布と Davis モデル、天川・益モデルの合せ込み状況の比較

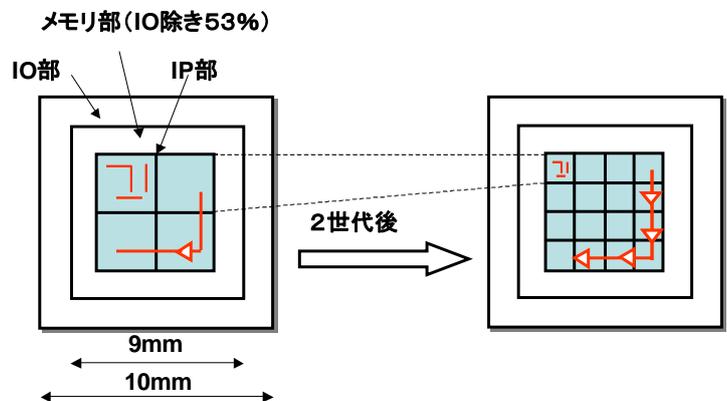
正確に C 社の LSI の配線長分布を表現できるようになる。

<sup>4</sup> hp : ハーフピッチの略号で、1 層目の金属配線のピッチの半分の値

次に、 $hp=130\text{nm}$ （産業界で言われる  $90\text{nm}$  テクノロジー）を用いた A 社の LSI 及び、B 社の LSI について検



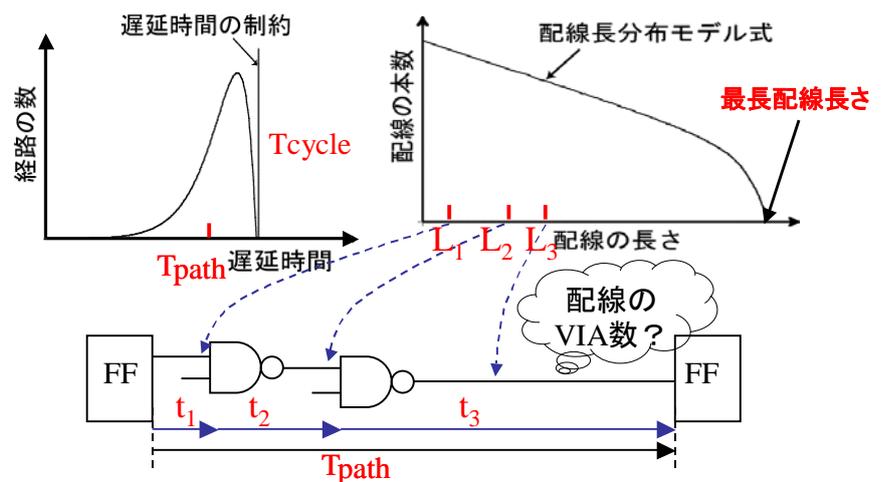
討を行った。図表 2-10 に A 社、B 社の配線長分布と Davis のモデル及び、天川-益モデルでフィッティングをかけた結果を示す。フィッティングをかけた結果では  $hp=130\text{nm}$  テクノロジーにおいても、配線長が長い部分を除いては天川-益モデルにより配線長分布を正確に表現できることがわかる。配線長が長い部分の配線長分布で配線本数が急激に減って、グラフでは崖状の変化が見られるが、これはリピータを挿入したことによるものであることがわかっている。図表 2-10 左側の B 社の配線長分布では、約  $1.3\text{mm}$  を超える長さの配線にお



図表 2-10 B 社(左)と A 社(右)の配線長分布のフィッティング結果

図表 2-11 SOC アーキテクチャモデル

いて、リピータの挿入が行われており、図表 2-10 右側の A 社の配線長分布では、約  $2.0\text{mm}$  を超える長さの配線において、リピータの挿入が行われていることがわかる。各々、 $1.3\text{mm}$  あるいは  $2.0\text{mm}$  以上の長さの配線が若干数存在することがわかるが、これらは試験関連等の信号であると推測される。したがって、リピータの効果を別途配慮することにより、天川-益モデルにより、LSI の配線長分布を正確にモデル化できることが示された。

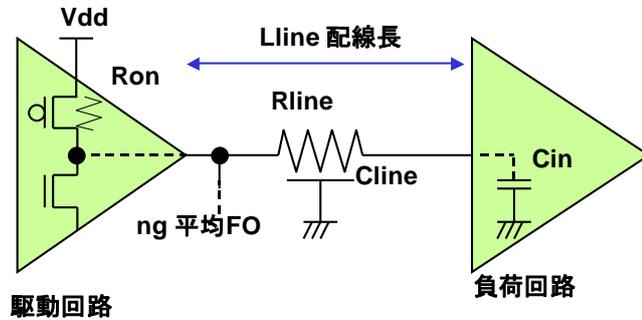


図表 2-12 IP ブロックのパス遅延分布の計算方法

## 2-4 配線抵抗の SOC 性能に与える影響の見積もり

配線長分布は天川-益モデルにより精度よくモデル化ができることを示したが、このモデルを用い、ITRS の数字を参考に、配線抵抗が SOC の性能に与える影響を試算した。図表 2-11 は仮定した SOC のアーキテクチャのモデルである。チップサイズは ITRS 2006 Systems Drivers Chapter の Consumer Stationary 等の SOC モデルで仮定されているように、テクノロジーが進んでも一定の値をとると仮定した。本検討ではチップサイズ 10mm<sup>2</sup> で一定と仮定した。近年の SOC は CPU コア、アクセレータハード IP、IO 用ロジックなどの複数の IP ブロックから構成されている。これらの IP ブロックはテクノロジーの世代が進む毎にその回路規模を大きくするわけではなく、SOC に搭載される IP ブロックの数を多くしている。

$$\tau_g = n_g R_{on} L_{line} C_{line} + n_g R_{on} C_{in} + R_{line} L_{line} C_{in} + R_{line} C_{line} \frac{L_{line}^2}{2}$$



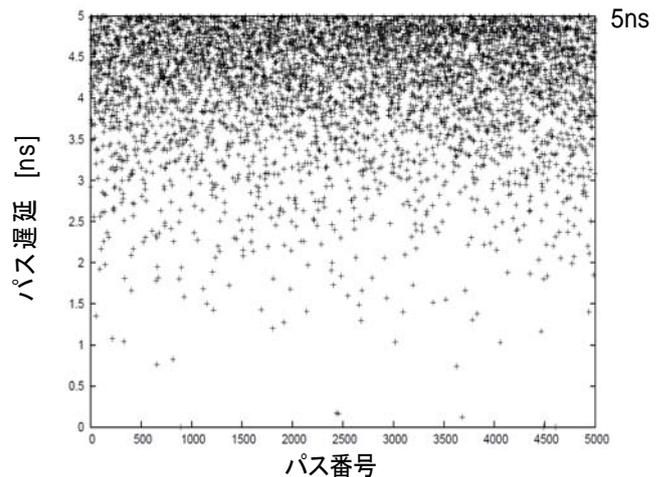
図表 2-13 パス遅延の計算式

テクノロジーが 2 世代進むと Feature

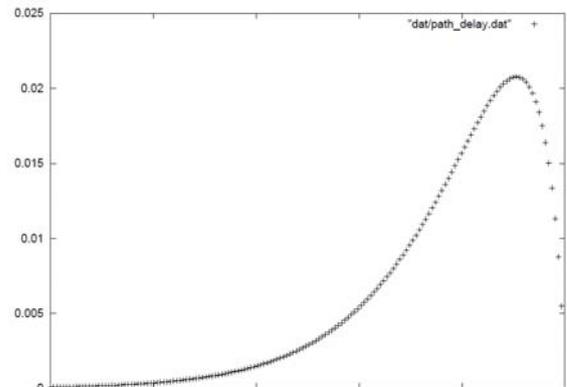
Size は半分になるので、搭載される IP ブロック数は 4 倍になることになる。また、IO 領域はチップ両側に 0.5mm ずつ存在すると仮定するとチップのコア部のサイズは 9 mm<sup>2</sup> になる。さらに設計 WG からの情報により、メモリ部が SOC の内部で占める割合はおよそ 53% であり、メモリ部分の増加については、近年飽和傾向にあるということである。したがって、メモリ部を除いた IP 部の大きさは今後 6.17mm<sup>2</sup> 相当であると設定した。このような前提のもとで、IP 部の動作周波数の動向と、IP 間を接続する配線における伝播遅延時間(伝送速度)を計算した。

手始めに、IP ブロックの動作周波数を計算する。IP ブロック内はテクノロジーの世代が進んでも回路そのものの変化はなく内部の配線構造も変化はない。したがって、その動作周波数は、トランジスタと配線の性能に直接影響を受ける。IP ブロックの性能の求め方としては、まず hp=90nm (2005 年)における IP ブロックの動作周波数を 5ns (200MHz)と仮定する。次に図表 2-12 で示すように IP ブロックの「回路のパス遅延時間分布(遅延時間対経路の数の関係)」と「配線長分布(配線の長さ対配線の本数の関係)」に合うように、FF-FF 間の論理回路パスを合成する。また、論理回路パス 1 段当りの遅延時間は図表 2-13 で示すような古典的な式で求めた。FF-FF 間のパス遅延は、論理回路パス 1 段当りの遅延時間を論理回路の段数分加算して求める。

このようにして求めた hp=90nm (ITRS 上で 2005 年)での IP ブロックの遅延分布を図表 2-14 に示す。図からわかるように、最大の遅延時間は 5ns に合わせてあり、



図表 2-14 生成した IP 内のパス遅延分布



図表 2-15  $\chi^2$  分布モデルによりモデル化し合成した遅延時間対経路数分布

この遅延時間を最大として、それより小さい遅延時間の分布は徐々に減少していくことがわかる。図は FF-FF 間のパス 5000 パスについてパス遅延分布を計算した計算結果である。

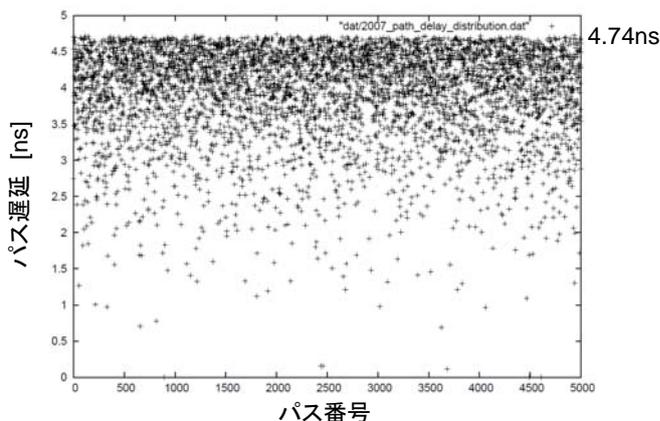
ちなみに、この IP 内のパス遅延分布を計算する際に設定した計算条件は、論理ゲート数:1Mゲート、平均ファンアウト数:1.86、式 2-1 の係数  $p = 0.7$ 、式 2-1 の係数  $K = 3.0$ 、新たに導入したパラメータ  $\zeta = 0.05$  である。配線長分布(配線の長さ対配線の本数の関係)については、参考文献iiに記載する式を使って計算を行った。回路のFF-FF間のパス遅延時間分布(遅延時間対経路の数の関係)については、 $\chi^2$ 分布関数で近似し、 $\chi^2$ 分布関数の自由度として、3.5 を設定した。図表 2-15 に横軸に最大パス遅延を 5ns として、回路のFF-FF間のパス遅延時間を取り、縦軸にFF-FF間のパス本数(規格化)を設定して、FF-FF間のパス遅延時間分布(遅延時間対経路の数の関係)を示した。

ここまでで、図表 2-15 に示すような、 $hp=90nm$  世代における最大パス遅延 5ns の論理回路が構成できたので、回路構成や配線長分布がプロセス世代間で大きく変わらないと仮定して、 $hp=90nm$  世代と  $hp=65nm$  世代のパス遅延分布を求める。計算方法は、図表 2-15 で生成された IP 内のパス遅延分布に対して、ITRS におけるデバイス及び、配線のパラメータを図表 2-13 に示す式に当てはめて計算することにより、異なるテクノロジーを適用した場合のパス遅延分布を計算する。配線長は、M1 half pitch に比例して短縮するとし、MOSFET ゲート幅もやはり、M1 half pitch に比例して縮小するとして計算した。図表 2-16 と図表 2-17 はそれぞれ、 $hp=65nm$  と  $hp=45nm$  におけるパス遅延分布を示したものである。

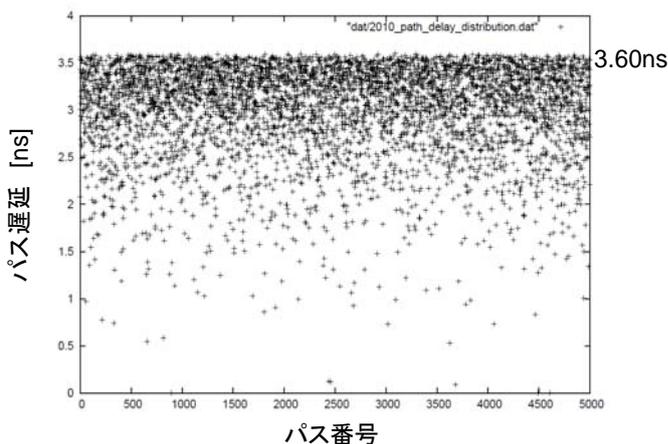
図表に示すように、 $hp=65nm$ 、 $hp=45nm$  と進むにしたがって最大のパス遅延が 4.74ns、3.6ns と減少することがわかる。このようにして、IP ブロック内の動作速度を求めた。

次に、IP ブロック同士をつなぐ長距離配線について考察する。図表 2-10 で示したように、 $hp=130nm$  世代においては本来長距離配線だったものが、リピータにより分断されて長距離配線の分布がなくなっていた。これは、リピータの技術を用いて、配線の RC によるディレイの増大を防いでいることを意味する。したがって、長距離配線を論じる場合には、リピータの効果を前提に考える必要がある。

そこで、必要なリピータの間隔の予測を行った。予測において、図表 2-13 のパス遅延の計算式の考察を行った。式中第 1 項と第 2 項はトランジスタの ON 抵抗に由来する遅延時間、第 3 項は配線抵抗と負荷容量による遅延時間、第 4 項は配線自身の抵抗と容量による遅延時間である。第 4 項は配線の長さが伸びると 2 乗で急激に大きくなる。ここでは最適なリピータ間隔は第 1 項から第 3 項までの和の値と第 4 項の値が一致したところであるとして求めた。図表 2-18 はこのようにして求めた最適リピータ間隔を示したものである。また、図表 2-9 で示すように、天川-益モデルで表される配線長分布で、配線本数が 1 本になる長さを最長配線長さ



図表 2-16  $hp=65nm$  におけるパス遅延分布



図表 2-17  $hp=45nm$  におけるパス遅延分布

として示している。なお、本図表の計算は ITRS で定義される配線の種類のうち Intermediate 層を対象に計算したものである。

図で示すように最長配線長は世代毎にあまり変わることはなく 8mm 程度<sup>5</sup>の値を維持する。一方、最適リピータ長は  $hp=90\text{nm}$  世代では 0.63mm であり、7.8mm の最長配線を 12 分割して 11 個のリピータを挿入する必要があることになる。世代が進むにしたがって、配線抵抗が急激に大きくなり、最適リピータ間隔は急激に短くなる。 $hp=32\text{nm}$  世代において最適リピータ間隔は 0.09mm となり、8.2mm の最長配線に対して 90 個ほどのリピータを配置することが必要になる。

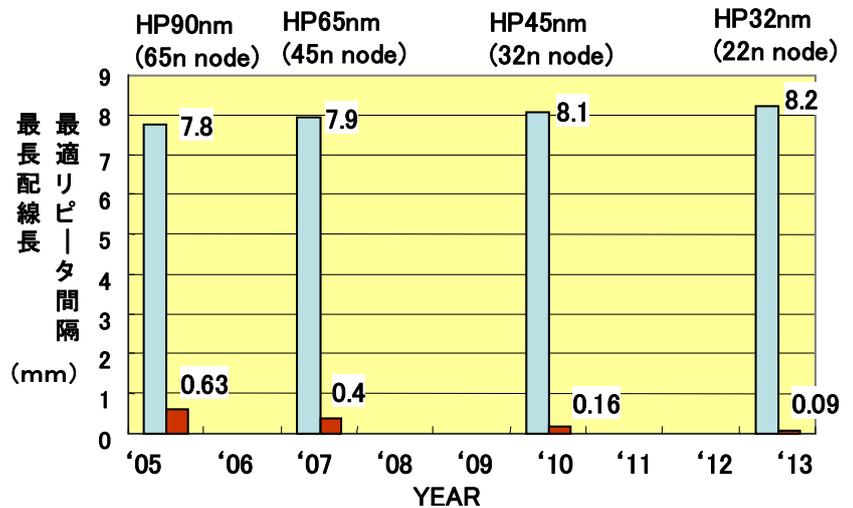
最後に、図表 2-16、図表 2-17 で示した IP ブロックの性能と最長配線の遅延時間を、リピータを用いて配線遅延を最適化した後の結果として図表 2-19 に示す。図表 2-19 には、配線抵抗の増加がない場合の IP ブロックの性能予測も、トランジスタの性能のみから推定した IP の動作速度として合せて示してある。

図表で示すように、IP ブロックの動作性能は世代と共に向上するが、トランジスタの性能のみから推定した性能よりも大幅に劣るようになる上、2010 年から 2013 年にかけて  $hp=45\text{nm}$  から  $hp=32\text{nm}$  と微細化が進んだ時の性能向上が飽和してくる。これは配線抵抗の増大により、トランジスタ性能の性能向上にかかわらず、IP の性能向上が飽和してくることを意味している。一方チップ内最長配線の駆動時間は、2013 年においてリピータの効果で急激に大きくなることはなくなるものの、予想される IP ブロックの動作周期の 8 割ほどの値に達することになる。この値は、現在のオンチップの長距離配線に関連し、回路的あるいは、アーキテクチャ上の工夫が必要であることを示しているといえる。

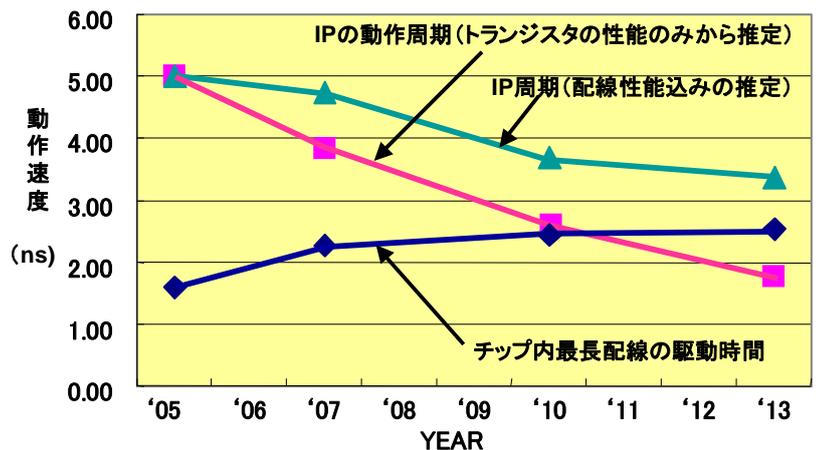
## 2-5 今後のリピータ挿入数の動向とその影響の評価

ここまでに、半導体プロセスが微細化するに伴って、配線性能がトランジスタ性能の向上ほど良好ではなく、乖離が大きくなることを示した。すなわち、チップ内の最長配線に対して最適なリピータの挿入を行っても、最長配線における伝播遅延時間が、IP ブロックの動作周期に対してはるかに遅いペースでしか高速化しないということである。

ここまでは、リピータを最適挿入しても SOC としての性能向上が難しいということを述べたが、これ以降では、



図表 2-18 SOC の最長配線長と最適リピータ間隔の推移



図表 2-19 IP の動作速度とチップ内最長配線の伝播遅延時間

<sup>5</sup> これは、ロジック部分のサイズ 6.17mm□の一辺の長さを若干上回る長さに対応することになる。

最長配線の駆動時間以外の問題、すなわち、リピータを挿入することにより生じる種々の効果について述べることにする。

### 2-5-1 検討に使用した配線パラメータとトランジスタパラメータ

ここからは、プロセスの微細化に伴う配線性能の問題に対処するために、長配線に対してリピータの挿入が行われるが、リピータを挿入することにより生じる種々の効果がどのようなトレンドで現れるについて、定量的な解析結果を示す。定量解析にあたって、2007 年以降のトランジスタパラメータと配線パラメータについては、ITRS2007 版に向けて Interconnect と PIDS のチームにて議論されているパラメータを先行して入手し計算した。これは、今回の計算を ITRS2007 の発行時期に先立って、2007 年の夏頃に開始したためである。2005 年のトランジスタパラメータと配線パラメータについては、ITRS2006Update に記載されているパラメータを使って計算した。

これらのパラメータを図表 2-20 と図表 2-21 にまとめて示す。2007 年以降のパラメータについては、ITRS2007 に最終的に記載されているパラメータと異なっている部分がある。これは、上記のように 2007 年版ロードマップの検討途上の Draft 版の数値を使ったためである。

製造年		2005	2007	2010	2013
MPU/ASIC M1 half pitch [nm]		90	68	45	32
産業上の対応する Logic 製品の プロセス世代の目安 [nm]		65	45	32	22
Intermediate 配線	配線ピッチ [nm]	200	136	90	64
	配線の抵抗率 <sup>6</sup> [ $\mu\Omega\text{-cm}$ ]	3.07	3.43	4.08	4.83
	RC 時定数 <sup>7</sup> [ps/mm]	355	741	1892	4044
	配線容量 <sup>8</sup> [fF/mm]	210	190	170	165
	配線抵抗 [ $\Omega\text{/mm}$ ]	1,690	3,901	11,132	24,514
Global 配線	配線ピッチ [nm]	300	210	135	96
	配線の抵抗率 [ $\mu\Omega\text{-cm}$ ]	2.53	2.73	3.10	3.52
	RC 時定数 [ps/mm]	111	227	542	1129
	配線容量 [fF/mm]	220	215	190	185
	配線抵抗 [ $\Omega\text{/mm}$ ]	505	1,057	2,853	6,101

図表 2-20 今回の計算に適用した配線のパラメータ

製造年	2005	2007	2010	2013
MPU/ASIC M1 half pitch [nm]	90	68	45	32
産業上の対応する Logic 製品の	65	45	32	22

<sup>6</sup> バルクの Cu 材料の抵抗率は、 $2.2\mu\Omega\text{-cm}$  である。ここに記載されている値は、配線幅依存の散乱の効果と、バリアメタルの厚さによる正味の銅配線部分の減少の効果を加味した抵抗率になる。

<sup>7</sup> 最小配線ピッチにおける配線長 1mm あたりの RC 遅延時間。配線抵抗としては、最小配線幅における電子の散乱の効果と、バリアメタルの厚さによる正味の銅配線部分の減少の効果を加味した抵抗を使って求められている。

<sup>8</sup> ロードマップでは、配線容量について 200~220 fF/mm などと幅を持たせて記載されているが、計算の都合により中間の値を代表値として使用する。この表には、本検討に適用した代表値を記載している。

プロセス世代の目安 [nm]					
LOP トランジスタ (NMOS)	電源電圧 Vdd [V]	0.9	0.8	0.7	0.6
	ゲート長 Lg [nm]	45	32	22	16
	MOSFET の固有遅延 CgVdd/Ids [ps]	1.52	1.17	0.81	0.53
	ドレイン電流 Ids [ $\mu$ A/ $\mu$ m]	589	571	698	743
	ゲート容量 Cg [F/ $\mu$ m]	9.9e-16	8.4e-16	8.1e-16	6.6e-16
	等価 ON 抵抗 Ron [ $\Omega$ / $\mu$ m]	1,232	1,129	808	651
	サブスレッショルドリーク電流 Isd,leak [nA/ $\mu$ m]	3.0	7.2	13.2	8.1
	ゲートリーク電流 Jg,limit [A/cm <sup>2</sup> ]	3.3e1	3.0e1	5.0e2	1.8e1
	トランジスタ構造	Bulk	Bulk	Bulk	FD-SOI
LSTP トランジスタ (NMOS)	電源電圧 Vdd [V]	1.2	1.1	1.0	0.95
	ゲート長 Lg [nm]	2.53	2.73	3.10	3.52
	MOSFET の固有遅延 CgVdd/Ids [ps]	2.56	1.97	1.35	0.99
	ドレイン電流 Ids [ $\mu$ A/ $\mu$ m]	497	478	570	635
	ゲート容量 Cg [F/ $\mu$ m]	1.1e-15	8.6e-16	7.6e-16	6.5e-16
	等価 ON 抵抗 Ron [ $\Omega$ / $\mu$ m]	1,946	1,853	1,413	1,206
	サブスレッショルドリーク電流 Isd,leak [nA/ $\mu$ m]	1.0e-2	3.3e-2	3.4e-2	4.0e-2
	ゲートリーク電流 Jg,limit [A/cm <sup>2</sup> ]	1.5e-2	4.2e-1	9.3e1	8.7e-1
	トランジスタ構造	Bulk	Bulk	Bulk	Bulk

図表 2-21 今回の計算に適用した MOSFET のパラメータ

また図表 2-20 の中で、グレーに網掛けのされている「配線抵抗」のパラメータについては、「RC時定数」と「配線抵抗」から導出している。図表 2-21 の中で、グレーに網掛けのされている「ゲート容量 Cg」のパラメータについては、「MOSFETの固有遅延 CgVdd/Ids」と「電源電圧 Vdd」と「ドレイン電流 Ids」とから導出している。MOSFETの等価ON抵抗 Ronは、「電源電圧 Vdd」と「ドレイン電流 Ids」とから導出している。MOSFETのON抵抗と回路の動作速度の関係については、参考文献に詳しい記載がある。

### 2-5-2 その他の検討モデル

上記の配線の基本的なモデル、トランジスタの基本的なモデルに加え、以下のモデルや仮定を設定して計算を行った。

回路の標準的なトランジスタサイズは、NMOS のゲート幅が、Intermediate 配線のピッチの 2 倍で、PMOS のゲート幅は NMOS のゲート幅の 1.5 倍であるとした。このトランジスタサイズを基準に、回路の ON 抵抗、入力容量、リーク電流などを計算する。リピータ回路は、標準的なトランジスタサイズの 16 倍のサイズを使って構成されていると想定した。

配線を含む回路の遅延時間の計算は、図表 2-13 に示す遅延モデルを使って計算した。

SOC の配線長分布を設定して計算を行う必要があるが、配線長分布を計算するための基礎パラメータとして、図表 2-22 と図表 2-23 に示すパラメータを使った。

製造年	2005	2007	2010	2013
ゲートピッチ [ $\mu$ m]	3.0	2.12	1.50	1.06
ゲート数 [M-gate]	4.23	8.46	16.9	33.8

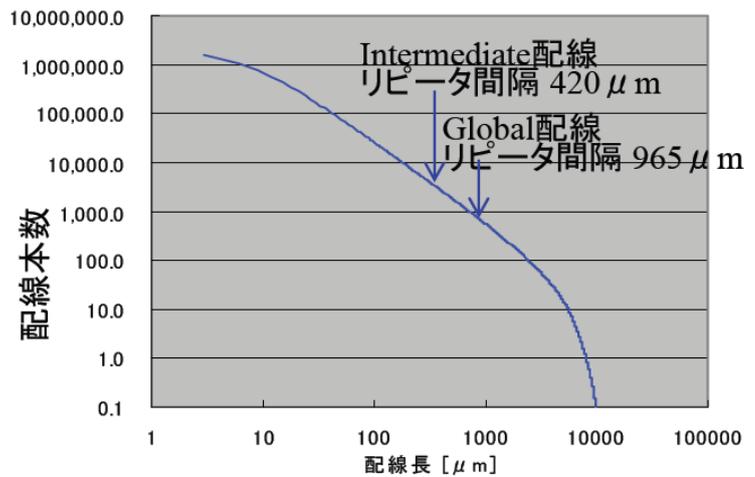
図表 2-22 各世代の SOC として想定したゲート数およびゲートピッチ

Rent の係数 $p$	0.7
Rent の係数 $k$	3
平均ファンアウト数	1.85
益・天川の係数 $\xi$	0.05
外部Rent指数 (external Rent's exponent <sup>iii</sup> )	0.36

図表 2-23 各世代の SOC で共通に適用した配線関連のパラメータ

ここまでの定数を使って 2005 年時点の配線長分布を計算したのが、図表 2-24 である。(計算やモデルや計算方法については、参考文献iiに詳しい記載がある。)

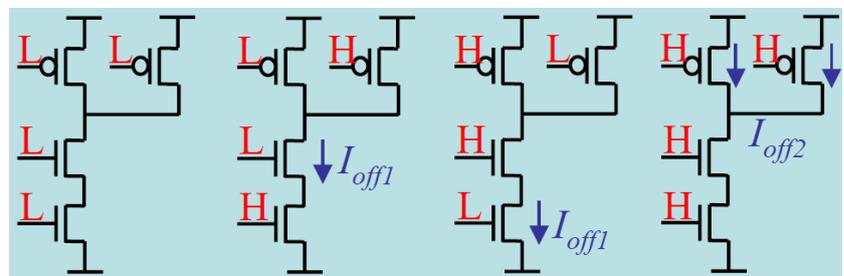
図中には、LOP トランジスタ + Intermediate 配線で最適リピータ挿入を行った場合のリピータ間隔および、LOP トランジスタ + Global 配線で最適リピータ挿入を行った場合のリピータ間隔をマークしている。リピータの最適挿入は、配線遅延成分と回路遅延成分が一致する条件で行う。LOP トランジスタ + Intermediate 配線の組合せでは、 $420 \mu m$  おきのリピータが挿入されるという計算結果になっており、 $420 \mu m$  を越え、 $840 \mu m$  以下の配線長の配線に対して、リピータが 1 個挿入され、 $840 \mu m$  を越え、 $1260 \mu m$  以下の配線長の配線に対してリピータが 2 個挿入されるという考え方でリピータ数の計算を行う。配線長毎に、挿入されるリピータ数が決まるので、これにその配線長における配線本数を乗じることで、特定の配線長の配線に対するリピータ数の総数が求められる。Intermediate 配線の場合には、 $420 \mu m$  以上の各配線長におけるリピータの総数を加算することで、チップ内のリピータの合計数を求めることができる。



図表 2-24 2005 年時点の配線長分布

ここに記載されている配線長は総配線長であり、分岐を含む場合は、各枝の配線長を合計した総延長に対応する。解析を簡単にするため、分岐を含む場合も総延長に対応したリピータ挿入が行われると考えてリピータ数を計算するとした。

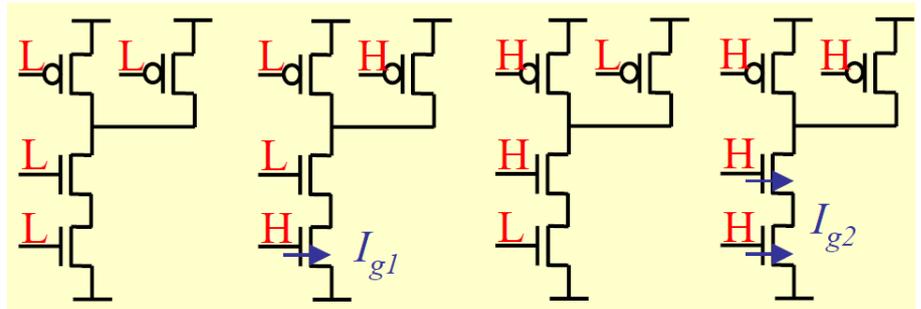
リーク電流の計算モデルには、以下に示すモデルを使用した。リーク電流を考慮する対象は、論理ゲートとリピータ回路である。論理ゲートは、2NAND 回路で代表し、リピータ回路は、インバータ回路で代表する。2NAND 回路とインバータ回路の各々に対して、サブスレシールドリーク電流とゲートリーク電流の両方をモデリングして、リピータ回路の挿入がチップレベルのリーク電流にどのように影響するかについて評価する。



図表 2-25 2NAND ゲート(論理ゲート)におけるサブスレシールドリーク電流の考え方

上記のように、論理回路のリーク電流は、2 入力 NAND ゲートのリークを基準に考えるが、2 入力 NAND ゲートをベースにリーク電流を見積ると、特にサブスレショルドリーク電流について、NMOS トランジスタの縦積みの効果によりリーク電流を過小に見積る傾向があるので、この点を留意する必要がある。リーク電流の考え方については、下に記載するので、リーク電流を過小に見積る効果について、必要であれば、本報告書の計算結果に対して補正を行うことは可能であると考ええる。

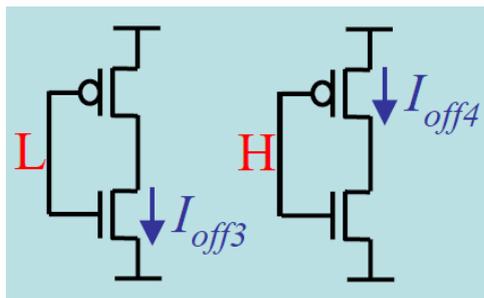
2NAND 回路のサブスレショルドリーク電流について、図表 2-25 のように、2 つの入力信号の組合せにより 4 つの状態に分けて考える。入力が LL の時は、縦積みの NMOS トランジスタが両方 OFF 状態であり、リーク電流が小さい状態となる。入力信号が LH あるいは HL の状態では、NMOS トランジスタのリークに相当するリーク電流  $I_{off1}$  が流れる状態となる。入力信号が HH の状態では、2 つの PMOS トランジスタにリークが流れる状態となる。ここで、ゲート幅あたりのリーク電流が NMOS と PMOS で同じであると仮定し、PMOS のゲート幅が NMOS のゲート幅の 1.5 倍であると仮定すると、



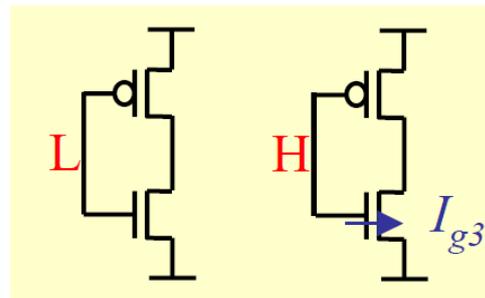
図表 2-26 2NAND ゲート(論理ゲート)におけるゲートリーク電流の考え方

入力信号が HH の場合には、 $3 \times I_{off1}$  のリーク電流が流れると考えることができる。入力信号の組合せが均等に生じると考えると、 $((1+1+3)/4) \times I_{off1}$  のサブスレショルドリーク電流が流れると考えることができる。

2NAND 回路のゲートリーク電流について、図表 2-26 のように 4 つの状態に分けて考える。ゲートリーク電流については、MOSFET のチャンネルが導電状態にあるときに大きなリーク電流が流れることと、PMOS に比べて NMOS の方が大きなリーク電流が流れると考えると、入力信号が LH と HH の組合せの時に、各々  $I_{g1}$  と  $I_{g2} = 2 \times I_{g1}$  のリーク電流が流れることになる。入力信号の組合せが均等に生じると考えると、 $((1+2)/4) \times I_{g1}$  のゲートリーク電流が流れると考えることができる。



図表 2-27 リピータにおけるサブスレショルドリーク電流の考え方



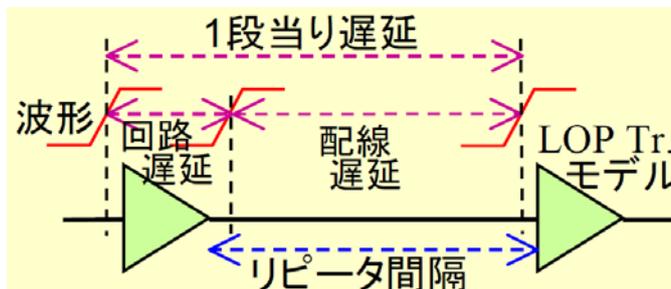
図表 2-28 リピータにおけるゲートリーク電流の考え方

リピータ回路のサブスレショルドリーク電流について、図表 2-27 のように、入力信号により 2 つの状態に分けて考える。入力が L の時は、NMOS トランジスタが OFF 状態であり NMOS トランジスタのリークに相当するリーク電流  $I_{off3}$  が流れる。入力信号が H の状態では、PMOS トランジスタにリーク電流  $I_{off4}$  が流れる状態となる。ここで、ゲート幅あたりのリーク電流が NMOS と PMOS で同じであると仮定し、PMOS のゲート幅が NMOS のゲート幅の 1.5 倍であると仮定すると、入力が H の場合には、 $1.5 \times I_{off3}$  のリーク電流が流れると考えることができる。入力信号の組合せが均等に生じると考えると、 $((1+1.5)/2) \times I_{off3}$  のサブスレショルドリーク電流が流れると考えることができる。

リピータ回路のゲートリーク電流について、図表 2-28 のように入力信号により 2 つの状態に分けて考える。ゲートリーク電流については、MOSFET のチャンネルが導電状態にあるときに大きなリーク電流が流れることと、PMOS に比べて NMOS の方が大きなリーク電流が流れると考えると、入力信号が H の時に、各々  $I_{gs}$  リーク電流が流れることになる。入力信号の組合せが均等に生じると考えると、 $(1/2) \times I_{gs}$  のゲートリーク電流が流れると考えることができる。

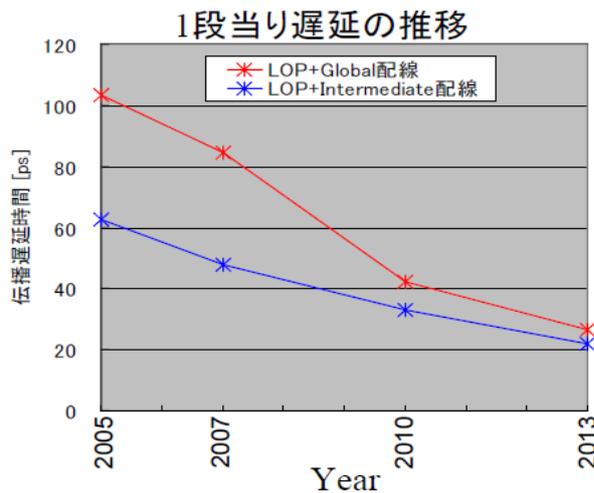
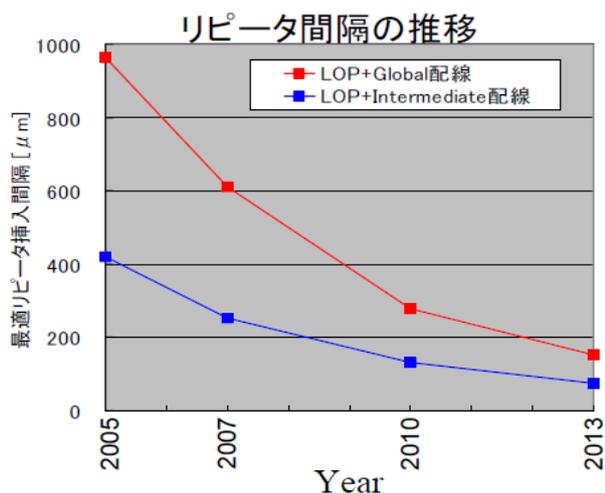
### 2-5-2 最適リピータ挿入間隔および関連するパラメータのトレンド

最適なリピータの挿入方法として、図表 2-29 に示すように、回路遅延と、配線遅延が同じ遅延となるような配線長でリピータの挿入を行った。リピータ間隔とリピータ 1 段当りの遅延がどのように推移するかをまとめたのが、図表 2-30 である。



図表 2-29 リピータの挿入方針

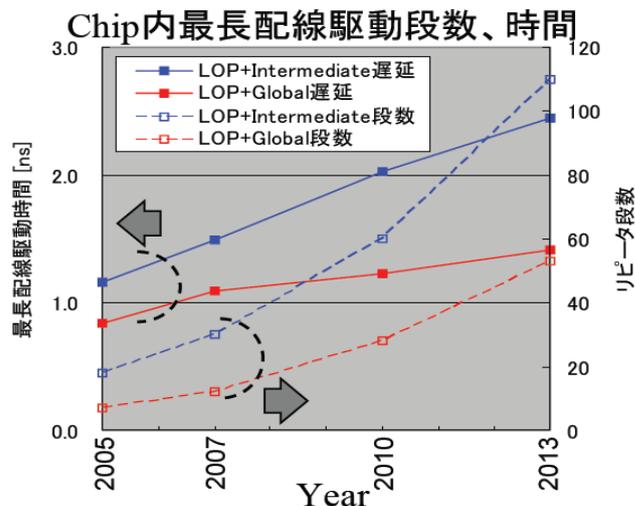
最適リピータ間隔は、今後、プロセスの微細化に伴って、急速に短縮する。Intermediate 配線に比べて、Global 配線の方が単位長の配線容量、配線抵抗とも小さいのでリピータ間隔は大きい。1 段当りの遅延について注目すると、プロセスの微細化に伴い、リピータの回路遅延や配線遅延が減少するので、プロセスの微細化



図表 2-30 リピータ間隔と 1 段あたりの遅延時間の推移

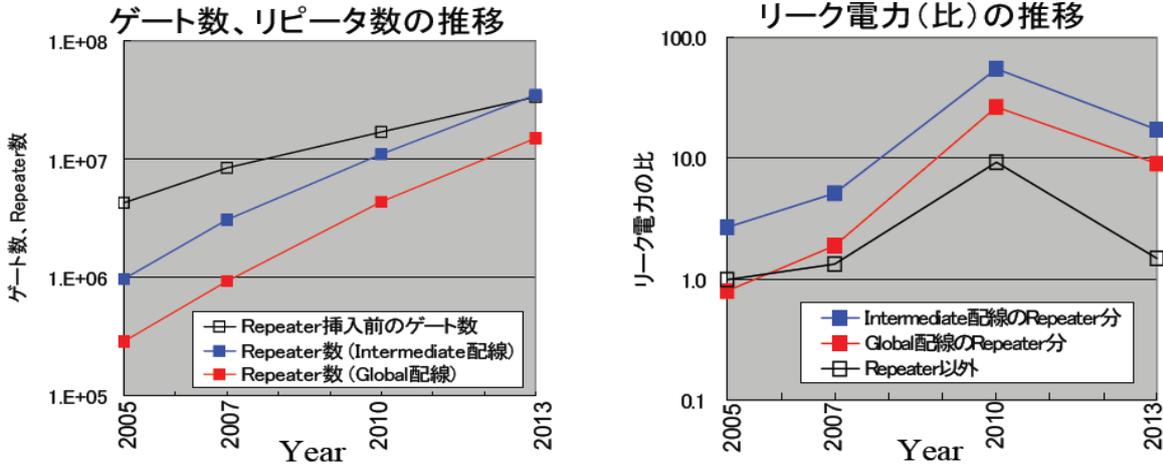
にともなって遅延時間短縮するトレンドが見える。

図表 2-31 には、2-4 章にて検討した SOC モデルにおける最大配線長(約 8mm)の配線長を駆動する場合のリピータ段数と最長配線の駆動時間を示す。プロセスの微細化に伴って、リピータ段数が増加し、これに伴って最長配線の駆動時間が増加する様子が見える。図表 2-30 では、リピータ 1 段の遅延時間がプロセス世代とともに減少していることがわかるが、SOC レベルでは、リピータ数が増加することに伴い、最長配線の駆動時間はむしろ増加し、SOC の速度性能が低下することがわかる。



図表 2-31 SOC 内の最長配線(約 8mm)の駆動時間

ここまでは、今後、配線の大量のリピータを挿入しても速度性能の維持が困難であることを述べた。大量のリピータを挿入することの影響について、チップサイズへの影響と、消費電力への影響について横軸に年代を設定して表記したものが、図表 2- 32 である。

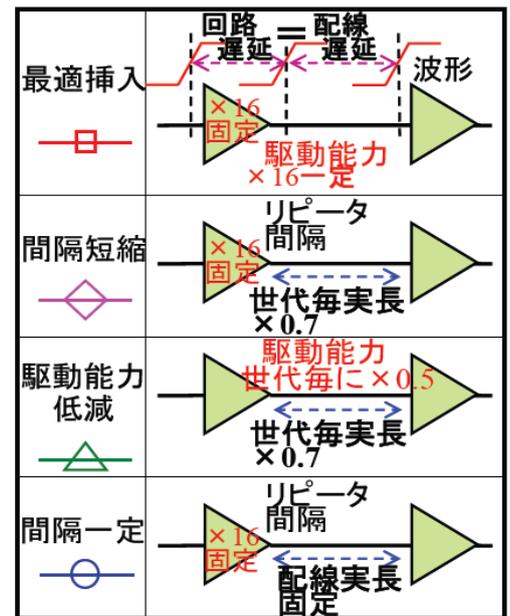


図表 2- 32 リピータの挿入によるチップサイズへの影響、チップリーク電力への影響の計算結果

Intermediate配線に挿入されるリピータ数に着目すると、2013 年には、SOCに搭載されるLogicゲート数と同程度の数のリピータが挿入されることがわかる<sup>9</sup>。このことは、プロセス微細化により、本来ならSOCに搭載されるゲート数が増加するはずであるが、性能向上のために挿入されるリピータの増加により、本来無い論理ゲートとして使われるトランジスタが消費されてしまうことを意味しており、微細化の意味を問われる事態であると言える。なお、リピータが大量に挿入されることで、チップサイズが増加し、このことがチップ上の配線長を伸ばすことで、更に多くのリピータが挿入されるということが考えられるが、本検討では、この効果を入れたモデルでの評価は行っていない。

リピータの挿入によるリーク電流への影響は、より顕著である。リピータによるリーク電流は、2005 年時点において、搭載されているゲート数と同等あるいは、それ以上であり、プロセス微細化に伴い、リピータによるリーク電流が支配的になる。リピータ回路は、回路構造がインバータ形式でリークの大きな構造<sup>10</sup>であると言える。またゲート幅も一般の論理ゲートのトランジスタサイズに対して×16 のサイズであり、このこともリークが大きくなる原因であると言える。

### 2-5-3 リピータ挿入条件の検討



図表 2- 33 リピータ挿入条件の変更による影響の評価

<sup>9</sup> 設計タスクフォールの検討においても議論があったが、インバータやバッファなど明らかなリピータとして回路にインプリメントされる場合と、駆動能力の大きな論理ゲートがリピータの機能と論理ゲートの機能を併せ持って回路にインプリメントされる場合がある。配置を考慮した論理回路の最適化技術が適用されたような設計においては、後者のような形でインプリメントされているリピータも多いと考えられる。

<sup>10</sup> 論理回路は NAND ゲートであるとしてリーク電流の計算を行っている。NAND ゲートはリーク電流を小さく見積る傾向があるので、この点は注意する必要がある。

ここまでの検討で、リピータの挿入により、チップ面積への影響やリーク電流への影響があることがわかった。ここまでの検討では、リピータ挿入の条件として、駆動能力としてゲート幅ベースで×16 固定で、回路遅延と配線遅延が同じとなる最適挿入の条件を設定して検討を行った。これに対して、図表 2-33 に示すように種々のリピータ挿入条件を設定して、これまでの計算結果がどのように変るかについて検討を行った。

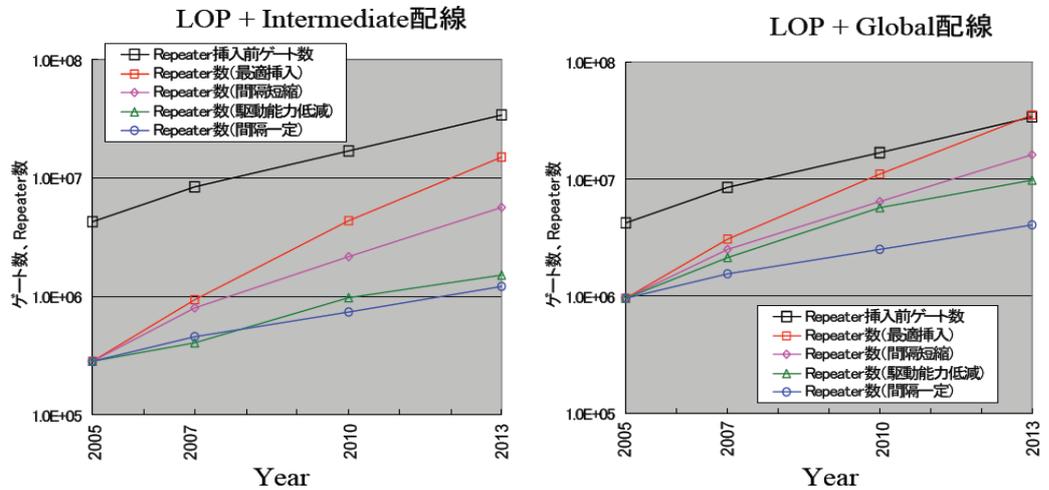
「最適挿入」は、2-5-2 で検討した条件に対応する。「間隔短縮」は、リピータの駆動能力を×16 固定で、世代毎にリピータ間の配線長を実長ベースで×0.7 に短縮するモデルである。「駆動能力低減」は、リピータの駆動能力を 2005 年時点

のゲート幅ベースで×16 で、2007 年、2010 年、2013 年とプロセス世代が進む毎に駆動能力を、ゲート幅ベースで×0.5 で落として行き<sup>11</sup>、リピータ間の配線長についても実長ベースで世代ごとに×0.7 に短縮するモデルである。「間隔一定」は、リピータの駆動能力をゲート幅ベースで×16 固定で、リピータ間の配線長を実長ベースで、2005 年時点の配線長から変えないというモデルである。

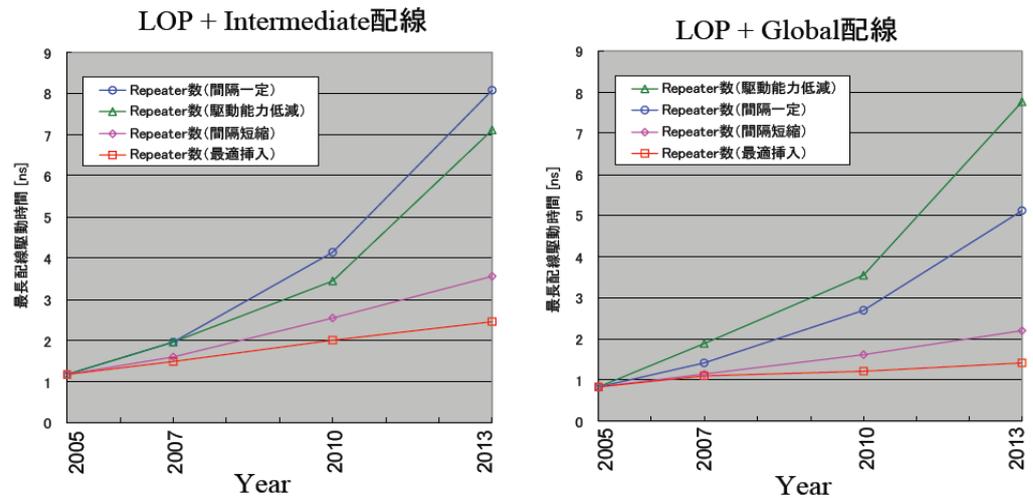
図表 2-30 には、リピータ挿入条件による SOC 搭載ゲート数とリピータ数の推移を示す。リピータ

を「最適挿入」とするとリピータ数の増加が激しい。「間隔一定」としてリピータの挿入数を制限すれば、最もリピータ数の増加を抑制することができる。実際には、チップ上のゲート数が増大し、これに対応して配線本数が増加するのに合わせてリピータ数が増加するという傾向となる。

図表 2-35 には、種々のリピータ挿入条件で、SOC の最長配線を駆動した場合の最長配線駆動時間を示す。「最適挿入」した場合において最長配線の駆動時間が最も短くすることができる。もう一方で、リピータ数を最も少なくできる「間隔一定」の場合が最長配線の駆動に時間がかかる。



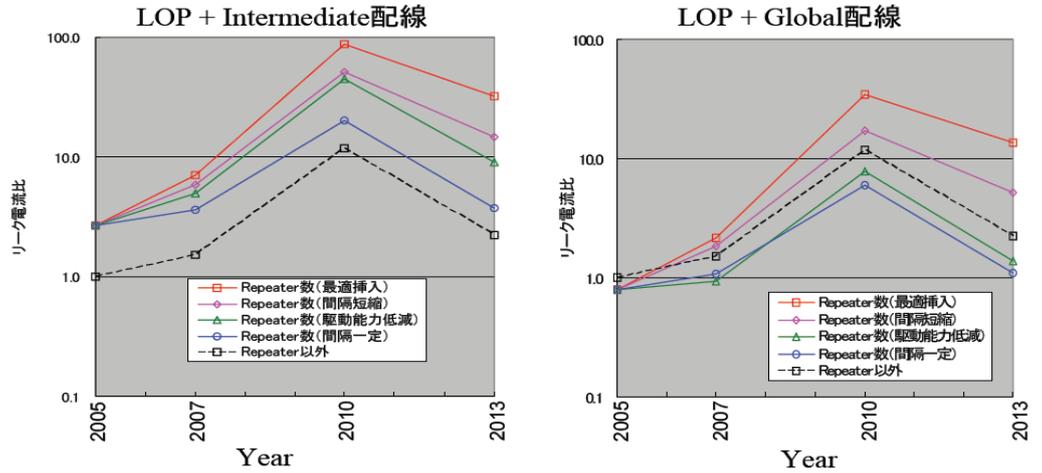
図表 2-34 リピータ挿入条件による SOC 搭載ゲート数とリピータ数の推移



図表 2-35 リピータ挿入条件による最長配線駆動時間の推移

<sup>11</sup> 2005 年でゲート幅ベースの駆動能力が、通常の論理ゲートに対して×16、2007 年で×8、2010 年で×4、2013 年で×2 で考える。

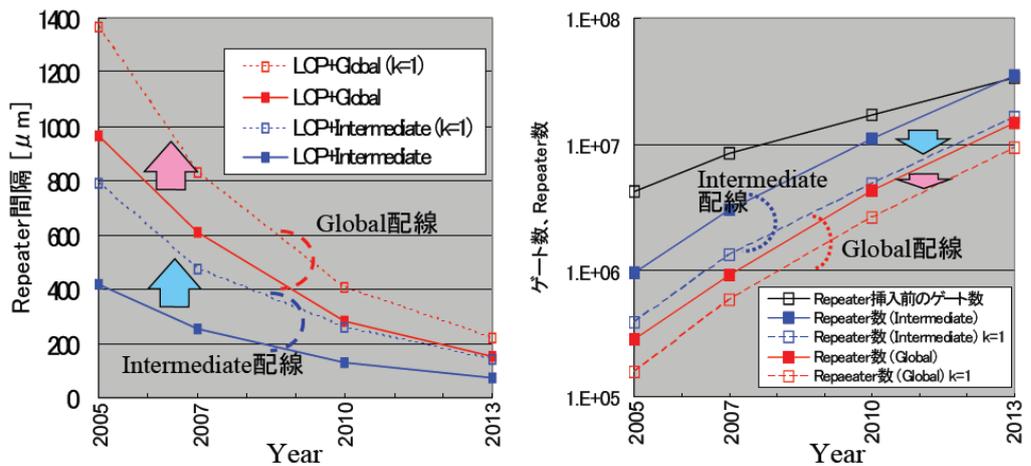
図表 2-36 には、種々のリピータ挿入条件で、SOC のリーク電力がどのように変化するかについて示す。やはりリピータ数が多く挿入される「最適挿入」の場合にリーク電力が大となる。リピータの挿入数が少ない「間隔一定」の場合に、リーク電流が最も少ないという計算結果となる。



図表 2-36 リピータ挿入条件によるリーク電流の推移

### 2-5-4 Low-k 材料導入による効果の検討

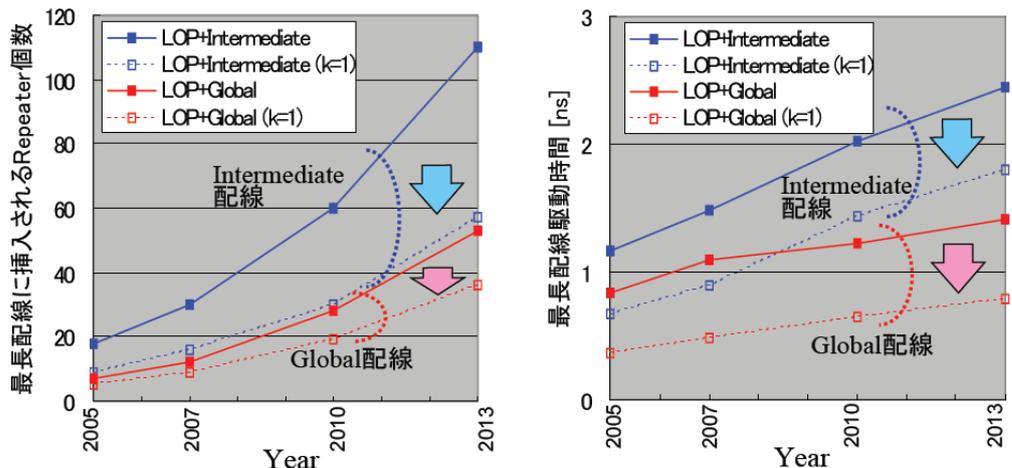
最後に、層間膜の Low-k が進んだ場合にリピータの挿入状況がどのように変わるかについて検討した結果について述べる。



図表 2-37 層間膜の Low-k 化によるリピータ間隔、リピータ数への影響

リピータを「最適挿入」する場合において、層間膜の誘電率について、各世代の比誘電率と Low-k の理想的なケースとして比誘電率を  $1^{12}$  に設定した場合の両方について

配線関連の特性を定量比較する。図表 2-37 には、比誘電率が 1 となった場合に Repeater 間隔がどのように変化するか、また SOC 上のリピータ数がどのように変化するかを示す。理想的な Low-k 化が実現される場合には、Intermediate 配線においてリピータ間隔は、約半



図表 2-38 層間膜の Low-k 化によるリピータ個数、最長配線駆動時間への影響

<sup>12</sup> これは、理想的なエアブリッジ(エアギャップ)配線を実現した場合に対応する

分になりSOC上のリピータ数もおおよそ半分になる。Global配線においては、Intermediate配線ほどではないが、やはりリピータ間隔が延長でき、SOC上のリピータ数の削減ができるということがわかる。

図表 2-38 には、理想的な Low-k 化が実現できるとした場合に最長配線に挿入される Repeater 数がどのように変化するか、最長配線駆動時間がどのように変化するかを示す。Low-k 化することで、最長配線に挿入されるリピータ数を Intermediate 配線で、半分程度、Global 配線で 1/3 程度削減できることがわかる。配線駆動時間についても大幅に削減が可能であり、層間膜の特性の向上が、配線性能の向上に大きく寄与することがわかる。

## 2-6 おわりに

設計 TF は今年度で終了することになり、本報告書では、設計 TF で検討してきた SOC の設計上の課題について、概説した。設計 TF では、過去には大きくは電力、ばらつき、配線の 3 つの課題を取り上げ、問題点を明らかにして ITRS 等にフィードバックをかけてきた。また、ITRS の Systems Drivers Chapter の編集に対し一定の貢献を果たしてきた。

2005 年度から取り組んできた配線特性が SOC の特性に与える影響の評価について詳細に述べた。

SOC の設計においては、スケーリング則による電力爆発の問題と配線遅延の増大の問題を回路技術、設計技術、アーキテクチャ上の工夫によりたくみに回避してきた。しかし、設計 TF の検討によれば、配線性能の劣化が今後著しくなり、新しいアーキテクチャをもってしても、今後 SOC の性能向上を果たすことが困難になる結果となった。

また、配線の RC デレイを緩和するために、リピータが用いられるが、リピータの SOC 性能にあたる影響を定量的に検討した。Intermediate 配線に挿入されるリピータ数に着目すると、2013 年には、SOC に搭載される Logic ゲート数と同程度の数のリピータが挿入される。このことは、プロセス微細化により、必要なリピータ数が増加し、論理部分の面積や、リーク電流が大幅に増加する見込みであることがわかった。これは、微細によって得られるはずのチップ面積の縮小や、電力低減の効果がなくなってくることを意味し、ムーアの法則の限界を示している。これらの問題を克服して微細化による性能向上、面積縮小、電力低減を果たすためにはエアギャップなどの、Low-k 化を押し進めることが有効であることを示した。すなわち、ムーアの法則による集積度向上を実現するためには、現在 ITRS で示されている配線性能を劇的に上昇させる技術が必要になったと言える。

## 参考文献

<sup>i</sup> Dennis Sylvester, William Jiang, Kurt Ketzer, "BACPAC Berkeley Advanced Chip Performance Calculator," <http://www.eecs.umich.edu/~dennis/bacpac>

<sup>i</sup> J. A. Davis, V. K. De, J. D. Meindl, "A Stochastic Wire-Length Distribution for Gigascale Integration (GSI)- Part I: Derivation and Validation", IEEE Trans. ED pp.580-589, Vol. 45, Mar. 1998

<sup>ii</sup> Shuhei Amakawa, Takumi Uezono, Takashi Sato, Kenichi Okada, and Kazuya Masu, "Adaptable wire-length distribution with tunable occupation probability," In Proc. Int. Workshop on System-Level Interconnect Prediction, p.p. 1-8, Mar. 2007

<sup>iii</sup> P. Christie and D. Stroobandt, "The interpretation and application of Rent's rule," IEEE Trans. VLSI Syst., 8(6): p.p. 639-648, Dec. 2000