

第 4 章 WG2 テスト

4-1 はじめに

WG2(テスト)は、ITRS2007への貢献とともに、STRJ独自のDFT (Design for Test)とATE (Automatic Test Equipment)の融合による品質とコストの両立するテスト技術を目指し、昨年度と同じくDFT-SWGとATE-SWGの2つのサブワーキンググループ活動によってテストのロードマップを検討した。以下に、ITRS2007のテスト概要とDFT-SWGとATE-SWGの独自の活動内容を報告する。

4-2 ITRS2007 について

4-2-1 ITRS2007 テストの概要

最初に 2007 年ロードマップのテスト章の構成見直しについて述べる。複数のセクションに重複記述していた内容を大きく見直した。SoC テーブルの位置づけとロジックテーブルを中心とするメモリ、ミックスドシグナル等の他テーブルとの関係見直しについては 4-2-2 節に詳細を述べる。DRAM、フラッシュ、および内蔵メモリのテーブルを一つのメモリテーブルに統合した。LCD ディスプレイ、イメージセンサ等の特殊デバイスに関して新セクションを追加した。また RF とテストソケットテーブルを追加した。テストソケットテーブルについては 4-2-3 節に詳細を述べる。

ITRS テスト章の主要なドライバーについては、半導体部品の今後の製造工程テストに関するソリューションの範囲を定義する主な境界条件として、技術的かつビジネス的な課題であるものを定義した。以下にサマリを記す。

(1) デバイスの動向

- ・インタフェースのバンド幅増大(転送速度の増加や信号数増加)。
- ・SoC、SiP、MCP あるいは 3D パッケージ等の高度なインテグレーション。
- ・新技術あるいは非デジタルな CMOS 技術のインテグレーション。
- ・パッケージの電氣的あるいは機械的特性の複雑化。
- ・一方的な刺激-応答モデルで表せないデバイス特性。
- ・同一デバイス上への多彩な I/O 種や電源種の搭載。

(2) テスト工程の複雑化

- ・テスト工程のカスタム化。
- ・コスト維持のための分散テスト。
- ・製造最適化のためのフィードバックデータ。
- ・アダプティブテスト(適応テスト)採用によるダイナミックなテストフロー。
- ・テスト条件のより高次元化。

(3) 経済的なテストコストの維持

- ・テスト並列化の物理的限界。
- ・テスト結果とフィードバックデータの物量管理。
- ・量産向け ATE と測定ダイ(DUT)の速度差に対する効果的な制限設定。
- ・テストインタフェースハードとテスト・ソケットのコスト管理。
- ・テストのコストと品質のコストのトレードオフ。
- ・システムテストとBISTによる複数回のインサージョン(DUTの差し替えによるテスト工程複数化)。

4-2-2 ITRS2007 への日本からの貢献－DFT

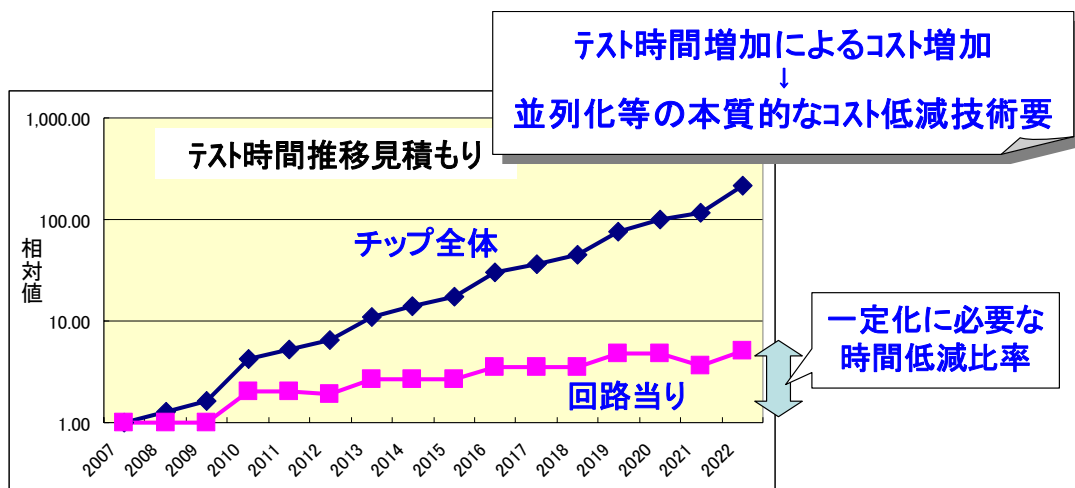
ITRS2007では従来から日本チームが中心になり掲載していたSoCテーブル(Table TST3a, TST3b)について、他のテーブルとの関係を年3回のITWG、電話会議、およびEメールを通じて徹底的に議論した。その結

果、以下の方向性を確認してテーブルの見直しを行なった。しかし時間の制約もあって、ITRSテスト章全体に方針が十分行き渡ったとは必ずしも言えず、ITRS2009へ向けて更なる議論と見直しが求められている。

- (1) SoCテーブルは様々な機能コアを組み立ててシステム機能を実現する際のテスト要求を記載する。
- (2) 各機能コア固有のテスト要求は、DFTを含めて各コアの要求テーブルに記載する。
- (3) SoCの論理部とMPUを意識した従来のロジック想定モデル(項目や計算方法等)との整合を取る。結果はロジックテーブル(Table TST4a, TST4b)に纏めて記載することで読者に見易くした。

SoCテーブルは、そのテストパターンに関する要求、DFTに関する要求、各コアのインテグレーションに関する要求、および製造に関する要求から構成される。ITRS2006版でのメッセージをより鮮明にするため、モデルとしてSystem Driver章の携帯電子機器等を狙ったPower Efficient Modelを採用し、ITRS全体の整合を取った(STRJおよびITRSの設計WGと連携)。ITRS2007における主なメッセージを以下に示す。

- (a) テスト回路の分量(テスト・インヴェストメント、従来テストオーバーヘッドと呼ばれてきた)は、BISTについては一定比率を保つ。圧縮ディタミニスティックパターンテスト(圧縮スキャンなどとも呼ばれる)は微増していく。
- (b) テストパターン数は、回路規模増大による増加の他に、製造プロセスの微細化やチップの高速化に対応するため大幅に増加する。すなわち、テスト品質確保のため微小遅延欠陥対応のテスト等の様々な高精度のテストパターンを開発していく必要がある。
- (c) テスト時間については、スキャン速度の向上等を鑑みても(b)の理由から大幅に増加する。少なくとも回路当りのテスト時間は一定に保たないとコスト的に大問題となる(図表4-1参照)。テストパターン数の圧縮技術開発やスキャン速度の高速化やスキャン長の低減等のDFT的な工夫は継続されるとしても限りがあり、コアレベルやチップレベルテストの並列化等の本質的なコスト低減技術が必須である。
- (d) テストパターンのデータ量は、現在は圧縮ディタミニスティックパターンテスト適用により運用可能なレベルにある。しかし2015年には1000倍から2000倍の圧縮率が必要となり新技術が必要となる。
- (e) 埋め込みメモリはBISTだけでなく、解析性の向上や自己修復等の高機能化トレンドを継続する。
- (f) SoC全体としては、テストによる歩留まりロスをなくすための電力・ノイズ考慮DFT技術や、上位設計工程でのDFTによる効率向上等の新技術が必要となる。

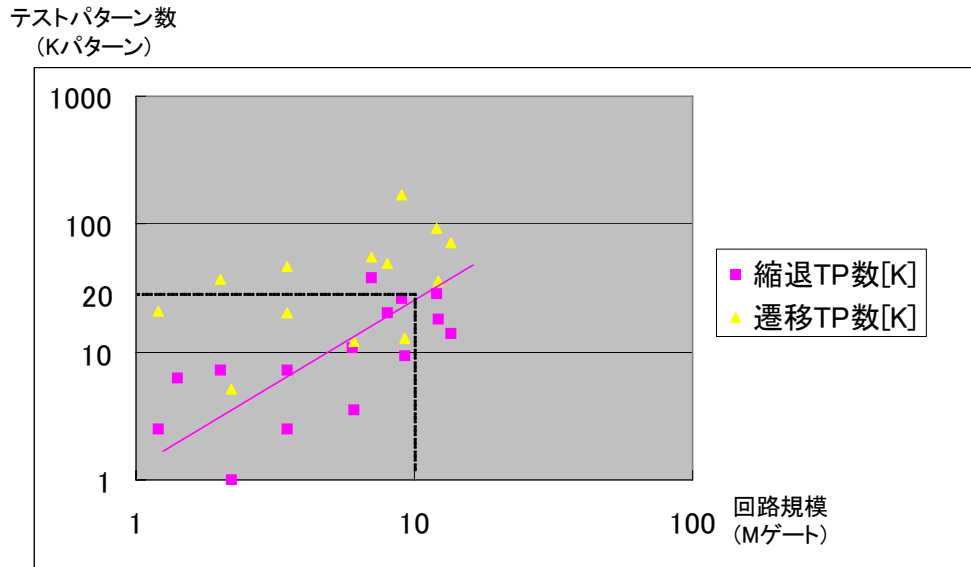


図表 4-1 SoC のテスト時間推移

補足: テストパターン数の調査

ITRSロードマップのATPGパターン数見積もりは、縮退故障に対して「1Kゲートあたり1パターン」となっている。DFT サブワーキングでは、この数字の妥当性検査と遷移故障に対するパターン数見積もりのため、回路

規模に対するテストパターン数の見直し調査を行った。DFT-SWG委員各社の回路実績値を集計して、回路規模とパターン数との関係を調査した。その結果が図表4-2のグラフである。



図表 4-2 回路規模 vs. パターン数調査結果

このグラフの直線は、回路規模(ゲート数)の増加と縮退故障に対する ATPG パターン数との関係を線形近似したもので、「1K ゲートあたり 2 パターン」であることを表している。また、遷移故障パターン数は、縮退故障パターン数のほぼ 4.5 倍であることがわかった。しかし、回路規模とパターン数は線形近似からかなり分散している。その理由について考察した。

- (1) 調査回路のアプリケーションに統一性がない：内部論理の特性が異なることが考えられる。例えば、セレクトやEOR系の論理が増えると、テストパターン数は増加傾向にある。
- (2) クロックメインの扱い方が異なる：ATPG時、異クロック間の位相の扱い方が異なる。位相をそろえて全クロックを一括テスト対象にする方法と、位相をそろえずにクロックメイン毎にテスト対象にする方法があり、それらの使用方法が調査回路によって異なっていることが考えられる。
- (3) 使用ツールの能力の差：使用されたATPGツールは調査しなかった。
- (4) 品質とコストの考え方：テストポイントを挿入するとテストパターン数は短縮化されるので、テストポイントの使用割合が影響する。また、使用されるATEによってパターン数制約があり、パターン削除されている可能性がある。

4-2-3 ITRS2007 への日本からの貢献－ATE

デバイスの高速化／多ピン化が進む中、パッケージも多様化している。そこで ITRS テストワーキンググループにテストソケットロードマップを提案し、ITRS2007 に掲載する事ができた。

本活動は、SEAJ(日本半導体製造装置協会)の半導体製造装置技術ロードマップ委員会 検査 WG ハンドラ・ソケット SWG と ITRS との合同作業で、2007 年度作成したソケットロードマップに新たに導電マートを盛り込み、最終的な ITRS ソケットロードマップを完成させることが出来た。コンタクト技術(テスト・ソケット)はテストの基本であるため、今後、調査中の項目含め更に精査を行い、解決策を検討していく。

4-2-3-1 テスト・ソケットの分析

(1) テスト・ソケット接触子の分類

テスト・ソケットのロードマップ化のため分類方法を議論し、STRJ で議論されているパッケージ・タイプをアプリケーション別に分け、対応可能なテスト・ソケットを適用し分類を行った。図表 4-3 にその結果を示す。

分類により 5 種類に分類し①TSOP(Thin Small Outline Package) - Flash (NAND) - Contact Blade、②BGA (Ball Grid Array) - DRAM - Spring probe、③BGA - SoC - Spring probe (50 ohm)、④BGA - SoC - Conductive rubber の 4 種類についてテスト・ソケットのロードマップ化を行った。高密度実装を要求されるデバイスのリード・ピッチと、伝送系の高速化がソケットの要求仕様に大きく影響を与える事から、それぞれのパッケージ・ロードマップからピン数、リード・ピッチ、そして高周波特性としてデータレート項目をピックアップし、ソケットロードマップ化を検討した。

パッケージ・タイプ	アプリケーション	コンタクト・タイプ	(Contact Blade) (Spring probe) (Conductive rubber)
TSOP	Flash (NAND)	Contact Blade	
QFP	SoC (ASSP/ASIC)	調査中	
BGA	DRAM	Spring probe	
	SoC	Spring probe (50 ohm)	
	SoC	Conductive rubber	

図表 4-3 テスト・ソケット接触子の分類

(2) Contact Blade 技術

TSOP - Flash (NAND) のパッケージ測定で主に使われている Contact blade タイプのテスト・ソケットは、接触子自体にバネ性を備え、変位を与える事により接触荷重を発生させる。プレス金型技術を用い量産に適したシンプルな構造である反面、接触子にバネ性を持たせている制約として、接触力・ストローク・機械的寿命を確保するために導体長(バネ長)を長くする必要性が生じ、高周波特性が必要な場合に不向きである。また、隣接した接触子間に絶縁壁を形成する構造上、狭ピッチ化の観点からは接触子の板厚を薄くする必要性があり、十分な接触力・ストローク・寿命の確保が厳しくなると同時に絶縁壁自身の形成が困難である。

Flash (NAND) パッケージのロードマップによると、2008 年にはリード・ピッチ 0.3mm が主流となり、接触子の板厚を薄く、絶縁壁の幅も狭くする必要性がある(例:0.22mm から 0.17mm)。絶縁壁はモールド成形で形成しているため、絶縁壁の幅を狭くすると樹脂の流れ性も落ちるため、絶縁壁形状やピン形状を見直し樹脂の流れ性改善が課題となる。データレートの高速化に対しては接触子の小型化により十分なインダクタンス特性を得る事が確認されている。

(3) Spring Probe 技術

BGA - DRAM のパッケージ測定で主に使われている Spring Probe タイプのソケットは、小径パイプや円柱状の部品と圧縮スプリングを組み合わせたもので、バネ性を圧縮スプリングから発生させる。そのため十分な機械的寿命を確保するためには、パイプ径を太く、パイプ長を長くする必要性が生じる。部品の構成と構造より 1～2 箇所の接触部分しか得る事が出来ず、他の接触子と比較して接触抵抗値が高い傾向にある。しかし、パッケージ接触部から基板パターンへ垂直につながっていくシンプルな形であるため、DUT 基板の設計が容易で、メンテナンス性が非常に優れているなどの特長を有する。

BGA - DRAM のロードマップによると、パッケージ・ボールの狭ピッチ化により、Spring Probe 自体の極細化や、高周波特性であるデータレートの高速化により、低インダクタンスを実現するため、Spring Probe 自体

の短尺化が求められている。

(4) Spring Probe (50 ohm)技術

BGA - SoC (高周波)のパッケージに使用可能な Spring Probe (50ohm)は、同軸構造を採用し、インピーダンスマッチングに注意を払う事によって、Spring Probe 長が伝送特性に与える影響を極力小さく出来る構造が実現可能である。ただし、BGA - SoC のパッケージ・ボールの狭ピッチ化が進むと、一部ピン配列に同軸構造が取れないという制約が発生する(2016 年のボールピッチ 0.5mm)。また、2016 年はデータレートが 20GT/s まで高速化するが、Spring Probe(50 ohm)の構造上の問題から、十分な電気特性を発揮出来なくなる。構成部品が多いという問題から Spring Probe の接触抵抗は高い傾向を示すが、2010 年から要求される接触抵抗値 50m ohm に対応するには、材質、メッキ、構造の見直しが課題となっている。

(5) Conductive rubber

BGA-SoC(高周波)のパッケージに使用可能な Rubber は、シリコンゴムの厚み方向に導電粒子の束を規則的に配列させる事によって上下の導通と隣接の絶縁を確保する方式である。インダクタンスが厚みに依存するため標準的な厚みでも低いインダクタンスを確保できる事から、高周波の測定にその優位性を発揮する事ができるが、厚みを一定に保ったままインダクタンスをさらに低減していくことが今後の課題である。

(6) その他(技術課題)

微細化、多ピン化、高速化、Pb-Free 化など進化するパッケージに対応するため、ソケットには様々な要求があるが、それらの要求はコンタクト技術(テスト・ソケット)の基本となるもっとも重要とされる安定性(寿命)の機能を低下させるものが顕著である。その要求に対し、素材、メッキ、形状等の改善が課題となる。

今回、寿命の観点から議論する事が出来なかったが、今後益々問題が大きくなる事は明白で非常に重要である。例えば、理想とする接触荷重により接触の安定性を維持出来るが、微細化、多ピン化の要求から低荷重化が要求され、理想とする接触荷重とは反対の要求が発生する。一方、パッケージのリードメッキやボール端子の半田が Pb-Free 化されると、これまで理想とした接触荷重よりも高い接触荷重が必要となったりすることも顕在化している。

4-2-3-2 ロードマップ

TSOP - Flash (NAND) - Contact blade、BGA - DRAM - Spring probe、BGA - SoC - Spring probe (50 ohm)、及び、BGA - SoC - Conductive rubber のロードマップを各々図表 4-4、図表 4-5、図表 4-6、図表 4-7 にまとめた。

TSOP - Flash (NAND) - Contact blade

	2007	2008	2009	2010	2011	2014	2017	2020
Table 28: Commodity Flash Memory								
Lead pitch (mm)	0.4	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Data rate (Mbs)	50	50	50	66	66	100	133	266
Contact blade								
Inductance (nH)	10-15	5-10	5-10	5-10	5-10	5-10	5-10	5-10
Contact stroke (mm)	0.3-0.5	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact force (N)	0.2-0.4	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact resistance (m ohm)	30	30	30	30	30	30	30	30
Slit width (mm)	0.22	0.17	0.17	0.17	0.17	0.17	0.17	0.17

図表 4-4 TSOP - Flash (NAND) - Contact blade ロードマップ

BGA - DRAM - Spring probe

	2007	2008	2009	2010	2011	2014	2017	2020
Table 27: Commodity DRAM (Mass production)								
Lead pitch (mm)	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
Data rate (Gbs)	1.1	1.3	1.3	1.6	1.6	2.7	4.3	6.4
Spring probe								
Inductance (nH)	1.5	1.5	1.5	1	1.0	0.5	0.3	0.15
Contact stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.2	0.2	0.2
Contact force (N)	<0.4	<0.4	<0.4	<0.3	<0.3	<0.2	<0.2	<0.2
Contact resistance (m ohm)	100	100	100	100	100	100	100	100

図表 4-5 BGA - DRAM - Spring probe ロードマップ

BGA - SoC - Spring probe (50 ohm)

	2007	2008	2009	2010	2011	2014	2017	2020
Table 26: Logic (High volume microprocessor)								
Lead pitch (mm)	0.8	0.8	0.8	0.65	0.65	0.65	0.5	0.5
I/O data (GT/s)	6	6	12	12	12	15	20	40
Spring Probe (50 ohm)								
Impedance (ohm)	50	50	50	50	50	50	50	50
Contact stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Contact force (N)	<0.4	<0.4	<0.4	<0.3	<0.3	<0.3	<0.2	<0.2
Contact resistance (m ohm)	100	70	70	50	50	50	50	50

図表 4-6 BGA - SoC - Spring probe (50 ohm) ロードマップ

BGA - SoC - Conductive rubber

	2007	2008	2009	2010	2011	2014	2017	2020
Table 26: Logic (High volume microprocessor)								
Lead pitch (mm)	0.8	0.8	0.8	0.65	0.65	0.65	0.5	0.5
I/O data (GT/s)	6	6	12	12	12	15	20	40
Conductive rubber								
Inductance (nH)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	<0.1
Contact stroke (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
Contact force (N)	0.2	0.2	0.2	0.15	0.15	0.15	0.1	0.1
Contact resistance (m ohm)	50	50	50	50	50	50	50	50
Thickness (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5

図表 4-7 BGA - SoC - Conductive rubber ロードマップ

4-3 DFT-SWG の活動

4-3-1 概要

(1)今年度の注力活動

今年度は、DFT 技術ロードマップ検討の一環として、テスト設計における現状の問題点から課題の抽出・分析を行い、対応策について提言することにした。以下に詳細を報告する。

(2)関連 WG との連携

・WG1 (設計 WG)

- ・ ITRS の SoC テーブルにおける要求値を定量化するために SoC モデル:Power Efficient Model を採用しているが、本モデルのパラメータを整合した。
- ・ 双方の活動状況を報告し、今後の活動方針を議論した。特に、DFM 対応の活動として、プロセスバラツキの影響に対応したテストはどうなるかフリーディスカッションした。今後も、バラツキと欠陥との相関について議論していく予定である。

・WG11(歩留向上 WG)

- ・ 双方の現状を認識するために、WG2 からは「テストと診断に関する話」を説明し、WG11 からは「欠陥と歩留りに関する一般的な話」の説明を受け、現状の課題について共有化できたと考えている。今後は解決策について議論していく予定である。

4-3-2 テスト設計の現状分析に着目した背景と調査・分析方法

(1)背景

DFT 技術ロードマップ検討の一環として技術の掘り下げ、新規課題の抽出を行うために、現状困っていることや問題になっていることが重要であると考えた。そこで、テスト設計の現状を分析することにした。

(2)調査・分析方法

現状の問題点に関する調査方法としては、DFT-SWG 委員が社内のテスト設計現場を調査して、問題事例をアンケート形式で収集した。問題事例を各テスト設計作業工程に分類し課題の抽出・分析を行った。抽出した課題について対応策を検討し提言とした。

4-3-3 問題事例

130nm、90/65nm 製品の問題事例として 110 件収集し、各テスト設計作業工程に分類した結果を図表 4-8 に示す。ATPG 実行工程で 31%(34 件)、DFT 検証工程で 21%(23 件)、テストプログラム生成&テスト工程で 16%(18 件)、DFT 戦略工程で 13%(14 件)の問題事例があった。これまで主に注力していた検討範囲は、DFT 挿入、ATPG、テストプログラム生成・テスト、解析の作業工程であったが、DFT 検証と DFT 戦略工程でも問題が多数発生していることが分かった。以下に主な問題事例を示す。

(1)ATPG

- ・ ATPG の実行時間が長い(特に遷移故障)。
- ・ 非同期間転送間のテストパターンを生成できない。
- ・ 製品仕様の複雑化による各種テストモード、電力制御の人手指定工数が大きく設計遅れの原因となる。

(2)DFT 検証

- ・ ATPG が生成したテストパターンのシミュレーション検証時間が長く、実質的にはシミュレーションできないケースもある。
- ・ メモリ BIST 回路の機能検証時間が長い。例えば、診断機能の検証は故障を埋め込んでシミュレーションしなければならない。

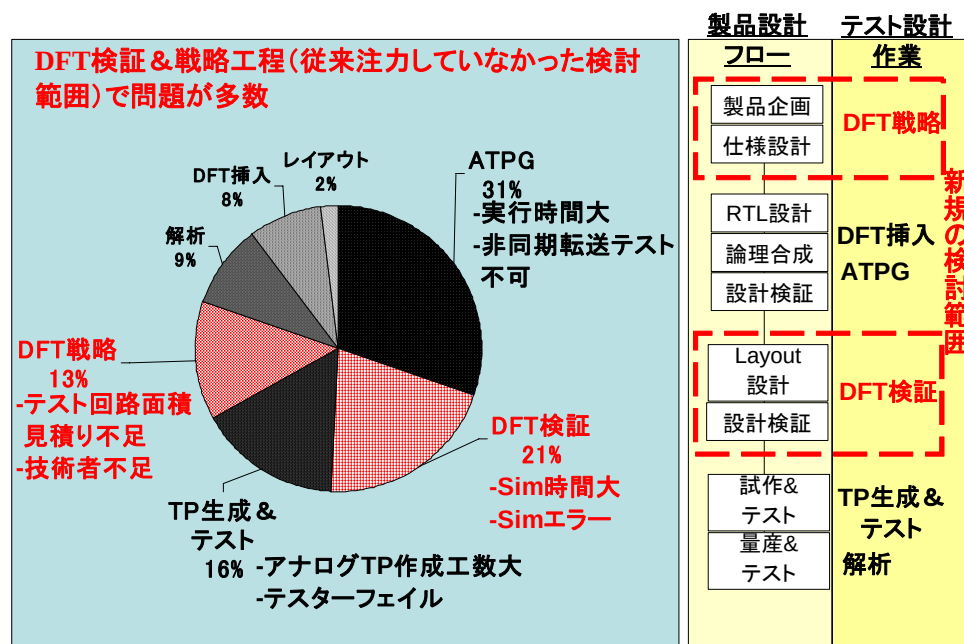
- ・ ATPG が生成したテストパターンでのシミュレーションエラーにより設計遅れの原因となる。

(3)テストプログラム生成&テスト

- ・ アナログテストに関しては人手でテストプログラムを起こしており、工数が多い。
- ・ 機能検証に使用したテストパターンから ATE 用テストパターンに変換する際のミスでフェイルが発生している。

(4)DFT 戦略

- ・ テスト回路面積の見積もり精度が悪く、レイアウトが収束しない。
- ・ 関連する設計工程が広範囲で、検討に時間がかかる。特に、初めての設計者では学習時間から長くなる。



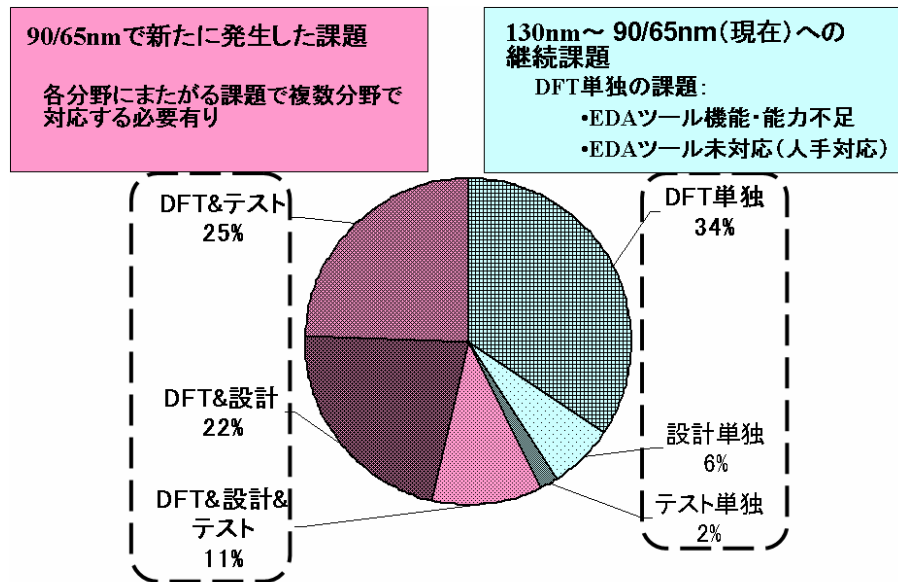
図表 4-8 問題事例

4-3-4 課題の抽出結果

各テスト設計作業工程に分類した問題事例から、関連する分野(DFT、テスト、設計)別に抽出した課題が図表 4-9 である。

130nm～90/65nm(現在)に継続している課題は、各関連分野単独の課題であることが特徴であり、全体の 34%を占める DFT 単独の課題は、EDA ツール機能・能力不足や、EDA ツール未対応(人手対応)に分類出来る。

一方、90/65nm で新たに発生した課題は各分野にまたがっている為、複数の分野で対応する必要がある。



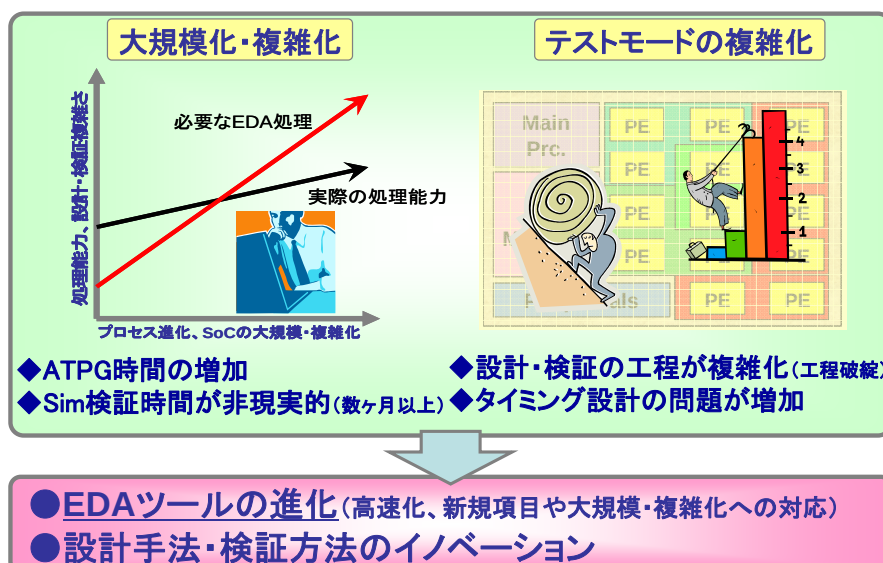
図表 4-9 課題の抽出結果

4-3-5 DFT 単独の課題

(1) EDA ツール機能・能力不足

SoC の大規模化・複雑化に伴い、テスト設計の段階で、ATPG 時間の増加やシミュレーション検証時間が非現実的になるなどの問題が発生している。特に、従来からサインオフのために実施していたゲートレベルでのシミュレーション検証は、数ヶ月以上かかるケースも出ており、サインオフへの適用が困難になっている。また、テストモードの数はSoCの複雑化に伴って増加している。設計や検証の工程が複雑化し、設計工数やTATが破綻したり、仕様の複雑化でATPG時のフォールスパスの指定漏れをはじめとする、タイミング設計の問題が増加している。これらは、従来の EDA ツール自体には機能がないことや、設計インフラも含めたツールの能力不足によるものである。

新規項目や大規模化・複雑化への対応および高速化といった EDA ツールの進化、設計手法と検証手法のイノベーションが必須である。(図表 4-10 参照)



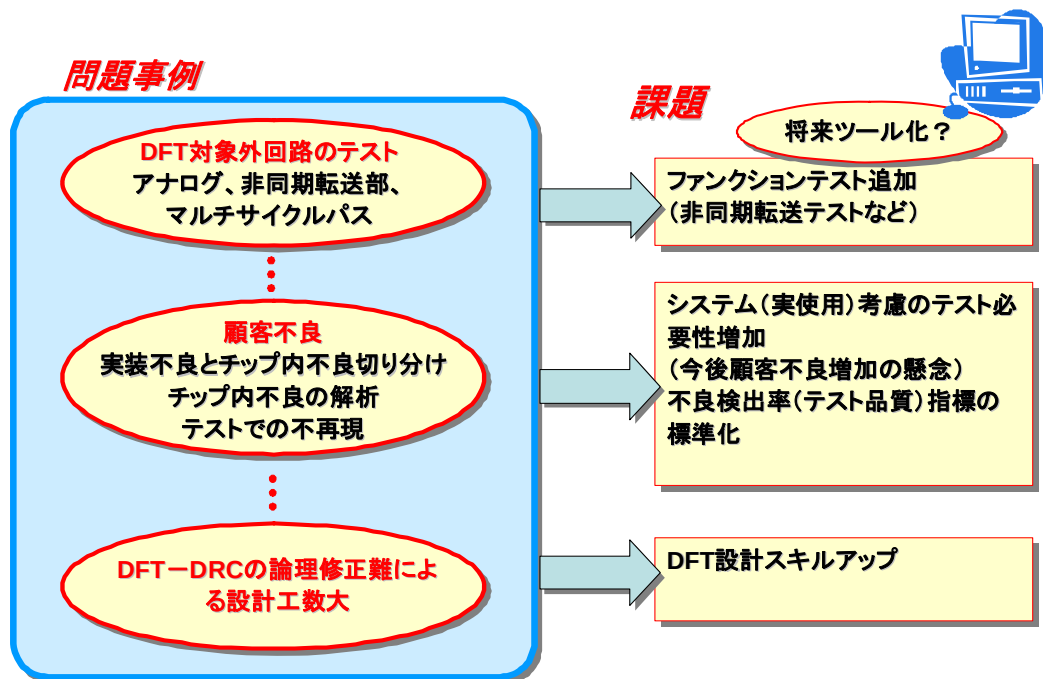
図表 4-10 DFT 単独の課題 —EDA ツール機能・能力不足—

(2) EDA ツール未対応(人手対応)

アナログ・ミックスシグナル回路や、異種クロック領域間の非同期データ転送部、タイミング上のマルチサイクルパス部などに対しては、現在標準的なテスト設計手法が存在せず、またそのために EDA ツールによる自動化環境が整っていない。これらの対象にはその製品分野に対して、あるいは特定の製品に対して要求される品質レベルをもとに、DFT 設計担当者がテスト品質の作りこみを行わなければならない。これらに対しては、機能パターンを追加するなど製品固有のテスト対策が施されることになるが、製品分野内の情報共有により将来標準的な手法が確立され、またそれが他製品分野へも広がることで、EDA ツール化されることが期待できる。

現在標準的な手法が存在しない大きな課題のひとつが、顧客先不良による戻入品への対応である。故障診断機能を持つ DFT を搭載し、診断容易性を上げられる回路部分もあるが、不良はその他の非デジタル部やブロック間、パッケージ内接続などにも発生しうる。このため、パッケージレベルでの診断容易性を上げるための手法を、既存の手段と組み合わせて実現する必要があるが、それにはデジタル設計技術者の他、アナログ・パッケージ設計やテストの技術者との、情報共有と連携が不可欠である。顧客先不良には、製造テストをすり抜けて出荷され、出荷時と同じテスト内容で再現しないものもあるが、顧客セットと同じシステムを用いての実機テストを全品に対して行うことは、コストの面で非常に負担が大きい。エンドユーザでの使用条件を考慮に入れたテスト技術を開発することによって、製造テストに用いて顧客先不良を低減し、また顧客先不良の解析に用いて再現性を上げることが求められる。一方でこのように構成されたテストが、実際の顧客先不良率をどの程度精確に反映しているかの、製品レベルの品質指標も求められる。(図表 4-11 参照)

テスト設計は複雑化し、設計者の技術レベルに設計期間が大きく影響を受けることが多くなる(例えば DFT 設計ルール違反の修正)。各技術者のテスト設計スキル向上も、別途考慮する必要がある。



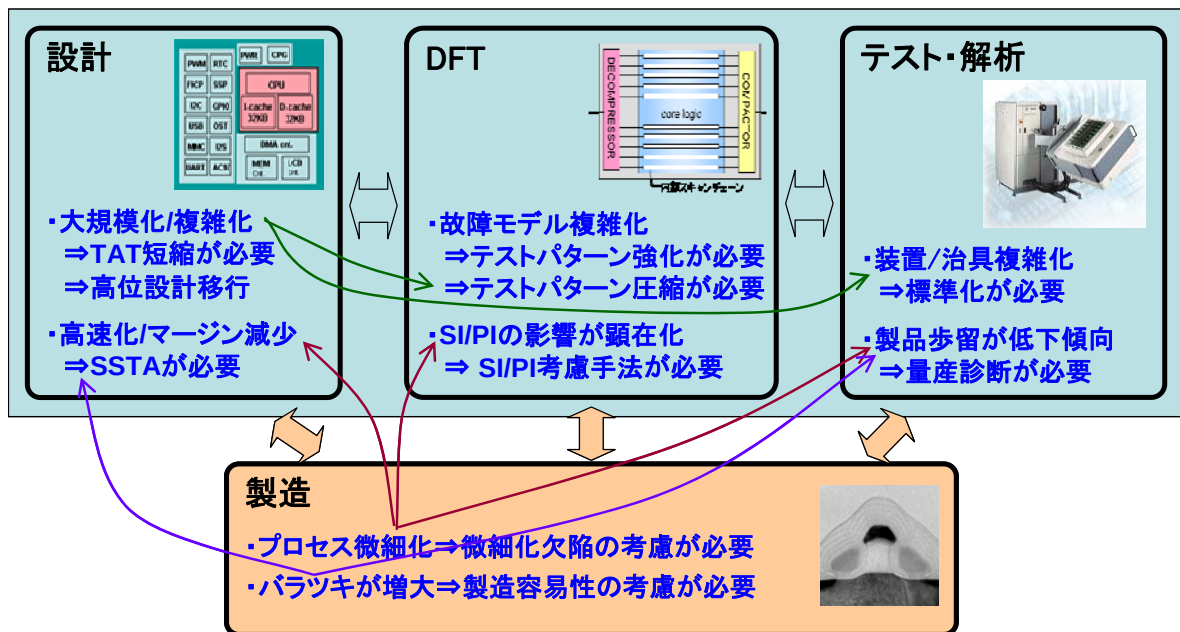
図表 4-11 DFT 単独の課題 -EDA ツール未対応(人手対応)-

4-3-6 各分野(設計・DFT・テスト)にまたがる課題

(1) 全分野にまたがる課題(起因)

プロセスの進展とともに、発生する問題も複雑化しており、設計、DFT、あるいはテスト・解析の担当者が単独で解決することが困難なケースが増大している。例えば、設計される回路規模が増大し、また搭載される機能が多様化すると、テストすべき項目が増大するとともにテストパターン数も増大する。これはテスト時間の増大ひいてはテストコストの増加につながる。このため、DFT においてはテストパターン圧縮手法を取り入れる必要が生じる。また、テスト・解析においても個々の設計に対応した機能が必要となり、テストコストの増大を招く恐れがある。これに対してはテスト装置や治具の標準化によりコストの増大を抑制する必要がある。

一方、プロセスの微細化とともに抵抗性のオープンやショートなどの欠陥が増大するとともに、製造ばらつきも増大する。これは設計においてはマージンの減少を招き、SSTA(Statistical Static Timing Analysis)等の統計的手法が必要となる。また、DFT においても SI(Signal Integrity)や PI(Power Integrity)の影響による誤テストが発生する可能性があり、SI/PI を考慮したテスト容易化手法およびテストパターン生成手法が必要となる。さらに、テストにおいては設計マージン不足により製品歩留が低下する傾向にあることから、テスト結果を歩留まり向上に適切かつ早期に反映させる手法として、量産時故障診断(Volume Diagnostics)が必要となる。このように今後は分野をまたがる課題がますます重要化するため、今まで以上に担当者が協力して問題の解決に当たる必要がある。(図表 4-12 参照)



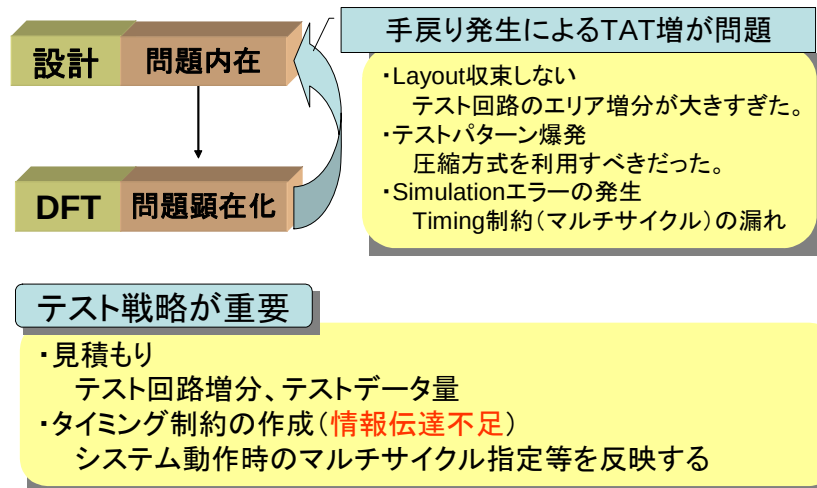
図表 4-12 全分野にまたがる課題

(2) 設計に関わる課題

DFT に関連する課題を議論すると、多くが DFT 単独の課題として扱われる場合がある。しかし、課題の背景を分析すると、(論理)設計段階で DFT を前提とした作業が不十分であったことに起因して、DFT 作業又は、レイアウト(物理設計)作業にて問題が発覚しているものがある。こういったケースでは、問題収束のために論理設計などの前工程に戻って作業を行うことになり、設計作業時間の増加要因となっている。(図表 4-13 参照)

特に微細化された大規模LSIの開発における手戻りの発生は、作業の複雑化による設計期間の増加に拍車をかけており大きな問題である。

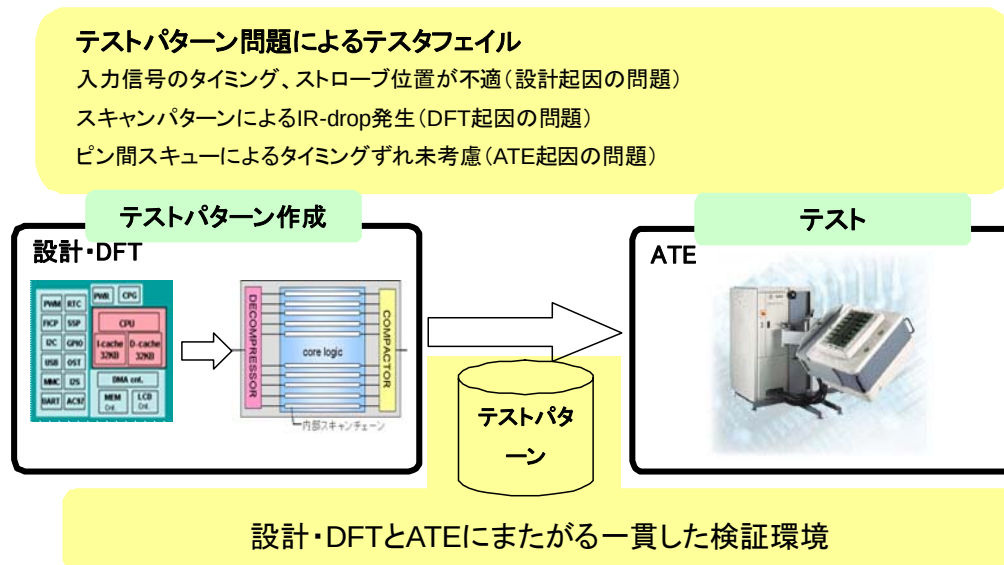
解決に向けた対策として考えられるのは、内在化していた問題をできるだけ早期に顕在化することである。図表 4-13 に示すように、DFT 回路増分を含めたレイアウト収束性検討や発生されるテストパターン量を考慮した DFT 方式の検討により、問題発生を防止できる。つまり、論理設計段階におけるテスト戦略の検討が、問題対策として重要であると考えられる。また、テスト戦略の検討を論理設計者と DFT 担当者が連携して実施することにより、情報伝達の漏れ防止を含めた、問題の顕在化と手戻り発生防止が期待できる。



図表 4-13 設計・DFT に関わる課題例

(3) テスト(ATE)に関わる課題

プロセスの微細化により、チップの動作速度は年々高速になっている。さらに、プロセスの微細化に伴い、遅延系の不良の発生が増えているため、実速度のファンクションテストや BIST、遅延テストなどの高速系のテストが必須となってきている。このようにテスト時の動作周波数が高速化しているため、設計および DFT フェーズにてテストパターンがシミュレーション検証済みであっても、ATE にて良品チップが誤ってフェイル判定されてしまうケースが増加している。誤フェイルの原因は、設計、DFT、および ATE それぞれに起因する。たとえば、設計起因の問題としては、パターン設計時の入力信号のタイミング、スロープ位置が不適切であるために、シミュレーションは動作しても、実デバイスで正しく動作しないなどがある。DFT 起因の問題としては、スキャンパターンが消費電力を十分に考慮していないために、論理的には動作するものの、実デバイスでは、IR-drop が発生して、正常動作しないなどがある。ATE 起因の問題としては、テストに使用する ATE のピン間スキューが、パターン設計時に想定している値と整合が取れていないためにフェイルするなどがある。これらの問題を解決するには、従来のように、設計、DFT 単体にて検証を行うのでは不十分であり、設計・DFT と ATE にまたがる検証フローを、各技術担当が協力しながら確立していく必要がある。(図表 4-14 参照)



図表 4-14 DFT・テストに関わる課題例

4-3-7 提言

これまで本節では、テスト設計における問題事例の現状分析を行った上で、そこでの課題を抽出・分類し、DFT 単独の課題(EDA ツールの機能・能力不足、EDA ツール未対応)と各分野にまたがる課題(全分野、設計、ATE)ということに整理しながら様々な角度から検討してきた。

その結果、SoC テスト設計というものは、EDA ツールや ATE 等の個々のものは勿論のこと、それらを含む全 DFT 技術・テスト装置・テスト手法といったものの集大成であることを今更ながら再認識することとなった。従って、SoC テスト設計の課題とその解決策は、

- ・ 個々の分野における課題

個々の分野のツールや手法の改良と発展により解決

- ・ 複数の分野にまたがる課題

全体テスト戦略の策定と実施をする一貫したテスト開発環境の整備により解決

ということになると結論付けられる。

そこで我々は、これらの課題に対する解決策を推進するためには、SoC の大規模化・複雑化に伴い各担当別に専門化・分業化・断片化してしまった SoC テスト技術を再統合することを提言する。特に、製品設計とテストを統合して両者の間の壁を打ち壊していくための、マルチディシプリン(多分野)網羅のクロスファンクショナルチームの概念を採り入れた、

- ・ マネジメントと開発体制の整備
- ・ マルチスキルの人材育成
- ・ DFT/ATE 統合テスト開発環境の整備

を強力に実施していくことが重要なポイントとなるものと考ええる。

4-4 ATE-SWG の活動

4-4-1 概要

WG2 (テスト)の活動基本方針である「品質とコストの両立するテスト技術ロードマップに向けて」ATE-SWG では「ソケットロードマップ(前述)」「SiPテスト」「テスト開発の経済性」を中心に活動を進めた。

またITRSは日本のIDMが注力しているコンシューマ向けSoCには必ずしも適合しない要求があり、かつ ATEのロードマップとはなっていないため、国内独自活動として、参加IDM各社に協力を頂き、コンシューマ 向けSoCのテストに焦点を当てたATE,BI装置,治具への要求ロードマップの作成を行った。

更にテストコストの構造分析を行い、テスト項目毎のテスト時間と、該当するテスト項目を検査するために必要なATEハードのコスト分析を行った。これらの活動成果が、品質向上とコスト低減の両立が求められるテストへの取り組みの参考になると考える。

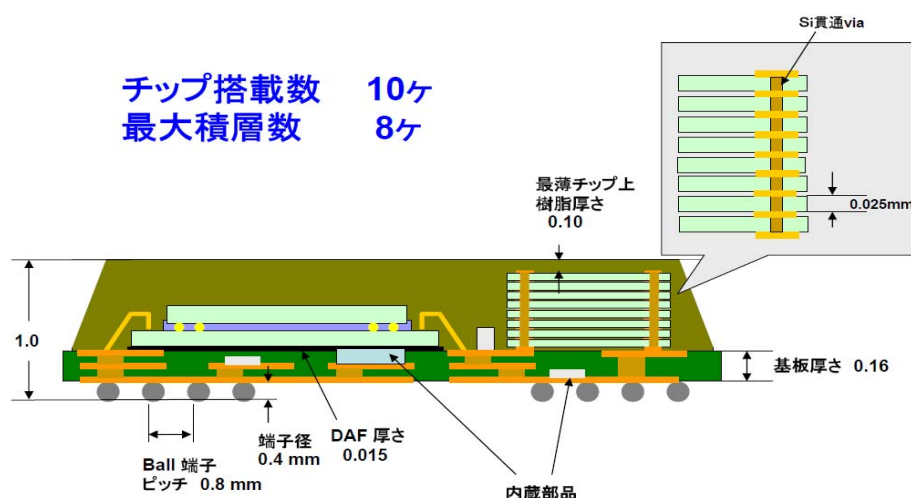
4-4-2 SiP のテスト

従来は、SoC の高集積化、高機能化への過渡的な存在として SiP 技術の採用が目立っていたが、近年の半導体パッケージング技術の向上により従来の単純な IC チップの組み合わせ的パッケージから、パッケージングそのものに価値を見出した技術の導入が顕著に進められてきている。このことは、STRJ WG7(実装)の2006年度活動報告書に示されており、2010年度に実現されるSiPには多くの新しい実装技術、半導体素子、受動素子が組み込まれ一つの半導体パッケージとしてSiPを形成していることから言える。

この SiP パッケージをテストの観点から考えた場合、①SiP 基板の中に組みこまれた能動素子、受動素子、②メモリチップの貫通 Via により多段積層された大容量記憶素子、③高速 I/F、アナログ処理を内部に組み込んだ SoC の採用、④これらの大規模化した SiP のクロックメイン、電源システム、などが、テスト技術に対して複雑に絡み合い、テストの実現性、経済性などに様々な影響をもたらすものと推定できる。

2007 年度の活動として、SiP についてのテスト課題を、FMEA 手法を用い検討したところ、以下の点について考えを深める必要があるとの認識を得た。明確な結論付けはできていないものの、その議論の内容について以下に述べる。

『2010 年 SiP 像』(出典:2006 JEITA STRJ-WG7 活動報告書)



4-4-2-1 SiP システムのシミュレーション

(1) 設計段階での SiP シミュレーション

SoC においても設計段階におけるシミュレーションが重要なことはいままでも無く、1 チップでの回路シミュ

レーション、パワー・インテグリティ(PI)、シグナルインテグリティ(SI)検証技術が確立されつつあるが、SiP においてはチップ間の連結／干渉も加わり検証の難易度は格段に上がる。

異なるプロセスのチップが、3 次元に実装され、実装形態もワイヤボンディング、貫通 Via など様々である。また、SiP においては、各機能コアが同一メーカーの設計ではなく、外部からの購入品である事も多く、設計時のシミュレーションによる機能検証の壁を更に高くする要因の一つとなっている。これらを統合的に検証する必要があるが、従来大規模 SoC、高周波／高精度アナログ、パッケージ、実装基板(テストボード)は別々のシミュレータで検証されることが多く、急速な SiP ビジネスの拡大に対し、検証環境の統合化、異シミュレータ間のデータ連携の確保が急務である。特にチップ間ノイズ検証、熱特性検証、応力特性検証、マージン設計、エラー訂正設計が重要な技術となる。

量産時のテストにおいてもチップ単体のテスト+チップ間接続テストだけでは十分とは言えず、SiP 製品のシステム動作テストの重要性が増している。低コストで汎用的なシステム動作実行環境の構築を進める必要がある。

(2)設計シミュレーションの ATE への展開

設計段階でのシミュレーションのカバレッジを補う為、ATE による基板実装時の実動作検証が期待される。ただし、ATE による動作検証にも、制約は多い。以下に例を挙げる。

「内部コアへのアクセス制限」

SiP 状態のデバイスでは、パッケージされた各機能コア間での配線が既になされているため、各機能コアの IO ピンに直接アクセスする事は出来ず、SiP 状態の外部 I/F を経由したアクセスとなる。この為、設計段階での機能コアシミュレーションに使用されたものと同一のピンを用い、同一条件での検証を行う事に制限がかかる場合がある。I/F の後段となる事の多い内部ロジック回路にこの傾向が強い。

「実動作と異なる信号品質」

外部 I/F に近いアナログコアは機能ブロック単位の切り出しが比較的容易である。この場合、各機能ブロックテストを最適の条件で行う為、各ブロックに印加される信号は極めてノイズの少ない信号が用いられるが、これは実使用条件とは明らかに異なる。実際にはクロック等ロジック回路からのノイズが不可避であるからである。

「ATE と実動作の電源インピーダンスの違い」

例えば、ATE の電源はその電圧精度を帰還回路により得ている為、回路に依存した各 ATE 固有の周波数特性を持つ。この為、通常の基板電源回路特性を再現する事は困難である。

ATE においては、テストプログラム作成時のオーバーヘッドによる作業量の増加も大きな問題である。プロセッサ系のテストに対応した ATE では、プロセッサの基本命令群であるインストラクションを容易に表現できるパターン生成機能を持ち、プログラミングの容易化をサポートしている。これは通常ファンクションテスト経路に適用される。しかしながら、大容量データを扱う必要性から、この通常ファンクション系の I/F がシリアル I/F 等のプロトコル処理ルーチンを持つものに置き換わる傾向にある。プロトコル処理ルーチンを持つ信号系では、送受信のデータ列がそのままの形で I/F を通過する事は無い。この、従来ならばデバイス側が持つ各プロトコル準拠の符号変換処理機能を ATE サイドに持たせ、プログラマにはあくまでも自身が意図したデータ信号列のみを扱える提案が“Protocol Aware”として 2007 年に提出され、幾つかの ATE メーカーでは、Protocol Aware 機能への対応を表明している。

4-4-2-2 設計仕様の製品完全性の検証

パッケージの小型化・小ピン化、高速動作・ノイズ低減実現のため SiP では IC 間配線の最短化の手法がとられている。これは、電源端子、Gnd 端子はマージされた後 SiP 外部接続端子となり、バスライン、内部接続

端子、テスト専用端子は客先での使用状態を考慮し SiP 外部端子に出力されないことが考えられる。更に、パッケージ内部に実装される受動部品についても外部から観測できるケースは稀である。

一方、想定不良・故障モードとして、マージされた端子の一部オープン不良、受動部品の定数違い、バイパスコンデンサ等のオープンなど内部でクローズされた使用については、SiP 後の状態での ATE によるテスト検出は困難を極めると考えられる。

これらの不良モード流出を避けるためには、従来の ATE テストによる最終検査保証では不十分であり、次のような部材保証、製造工程保証を適宜に採用し最終出荷品質を高める工夫が必要であると考ええる。

- ・基板(インタポーザ)、構成部品の KGD(Known Good Die)保証
- ・インサーキットテスト、外観検査等での中間検査の実施
- ・SI、PI、ジッタ等、実動作環境を意図した状態でのテストの実施
- ・出荷品質、信頼性レベルに応じて内部観測が可能な SiP 設計
- ・接続性確認用 DFT、および、DFT チップ、テストチップの採用

4-4-2-3 積層のメモリチップのリペア、冗長設計について

高性能、高信頼性が求められる SiP の場合で、チップ単体での動作、信頼性保証はされているメモリにおいて、SiP に積層構造で搭載される製造工程での物理欠陥、積層後の物理的なマージン性の課題により、チップ単体と同様な動作、信頼性保証は難しいものと考えられる。また一方では、メモリチップを同一パッケージ内で直接接続することにより、各チップ間の配線長の短縮と出力負荷容量が小さくでき、高速、大容量データの転送が可能となるが、外部への入出力端子数を削減し、システムの一部として機能させる仕組みが採られている。これらの問題に対して、以下の環境の構築を進める必要があると考えられる。

- ・自己診断とリペア回路を積層メモリに搭載。
- ・冗長用メモリの搭載。

積層メモリの収率性の向上として、限られた外部端子からの SoC とメモリチップ各々の故障箇所を検出可能とする DFT と、検出された不良メモリセルのアドレスが、その DFT の機能としてチップ内のフェイルメモリに記憶され冗長メモリセルへの置き換えを行う方法が考えられる。更に、大容量メモリのデータ信頼性向上については、ソフトウェア的に ECC (Error Correction Code)、RAID (Redundant Arrays of Independent Disks) 等の方法があり、SiP システム設計の中にこれらの考えを取り込む必要がある。

消費電流、動作スピード等、システムに悪影響を及ぼすと判定されたメモリチップはシステムと切り離すような SiP システム上の工夫が必要である。その手法として、電源供給の遮断、クロックの遮断などが挙げられる。

4-4-2-4 テスト環境の客先使用状態との不一致

現状の SiP 組立後において電気特性テストでは、一般的にデバイス上部からの押しつけ圧力による、コンタクト方法が大多数である。しかし、加圧による内部の破損、もしくは、半導通状態からの復帰等により、最終動作機器搭載時とテスト環境が異なることが問題となりつつある。ウェーハ、および、チップ状態での KGD を完全に保証したチップの供給は困難であり、デバイス製造メーカーの KGD チップ出荷適用比率も少ないのが現状である。しかしながら、KGD を使用したとしても、集積度が上がるにつれ、構積層の増加、接続精度などの SiP 技術の高度化のため、相互動作を再現したテスト実施等は避けられないと考える。

SiP の高集積化に伴いウェーハの薄化は必須であるが、現状のウェーハテストにおいては、薄化ウェーハはまだ一部のアプリケーションに限定的である。ウェーハ厚のスペックは語られる事は多いが、反りに関しては殆ど無く、各社対応が現状であり、標準化されておらずウェーハの大口径化により顕著化する。

応力、反りが少ない状態で、個々の素子をテストし、積層中、パッケージ中、もしくはパッケージ後に無加圧状態コンタクト方法の確立の必要性がある。また逆に、実装後に敢えて、反り、応力のある悪条件化の集

積状態でテストも必要となるであろう。

4-4-2-5 BI(Burn-in)スクリーニング実施課題

SiP の BI スクリーニング実施においては、「SiP ストレス印加の課題」「SiP BI 装置への影響」「SiP の観測性が不完全」の 3 つの課題が挙げられる。SoC、SiP 共に近年は IC チップ内、パッケージ内に電源発生回路、クロック発生回路を持つ製品が多く提供されている。これらの製品は、外部からのスクリーニング加速性を高めるストレス印加が IC 構成の回路ブロックに適切に印加できない問題が挙げられる。スクリーニングを行う上では、これらを解決するために、次のような製品設計、工程設計を考慮する必要がある。

- ・内部電源発生・クロック発生に因らずストレス印加が行えるような回路設計
- ・内部電源発生・クロック発生回路でのストレス発生回路の採用
- ・ウェーハ段階でのスクリーニング実施

また、SiP の高速化、高機能化、高集積化、アナログ回路の導入、電源回路の導入により、BI スクリーニング実施時の消費電流の増加、発熱量の増加も装置対応上、避けて通れない問題である。これらの問題、および、先にも述べた SiP 後のテスト観測性が 100% でないことを考えると、BI スクリーニングの SiP 後での実施は非常に困難である。したがって、SiP の高信頼性を得るためには、構成 IC チップの KGD は当然のことであるが、構成部品、製造工程での保証、検査等のトータル工程設計マネジメントにより高信頼性は実現されるものとする。

【KGD 構成された SiP に考えられる初期信頼性に影響を与える要因】

- ・薄研削のストレス
- ・ダイシングのストレス
- ・パッケージ組立ストレス(IC、インターポーザ、搭載部品)
- ・ハンドリング(ESD、サージ)ストレス
- ・ボンディング接続性 (高抵抗接続、プアボンド接続)
- ・ユーザ基板実装ストレス

4-4-3 テスト開発の経済性検討

4-4-3-1 背景

2006 年度は、テスト開発から量産までの各工程におけるテストコストを調査するため、委員間のアンケートによる現状の調査を実施した。またアンケート結果から、7 つのキーワードを抽出し、それぞれの分析を行った。アンケートから抽出した 7 つのキーワード

- | | | | |
|------------------|-----------------------|------------|-------------|
| (1)テスト言語標準化 | (2)ATE／ボード・シミュレーション | (3)DFT/ATE | (4)テストプラン設計 |
| (5)テスト治具などのコスト増大 | (6)評価解析における不良場所特定の困難化 | (7)量産時 | |

2007 年度では、アンケートの集計から見てきた各工程における課題について、2006 年度に抽出したキーワードを元に議論の深堀を行い、テスト経済性を議論するために注力すべき課題の抽出を行った。課題抽出にあたり各工程を大きく、以下の 10 工程に分類して分析を行った。

4-4-3-2 アンケート条件

アンケートは 2 回実施した。はじめはテスト開発工程のみに注目して集計し、2 回目はテスト生産工程まで対象を拡大して実施した。アンケート対象は WG2 委員とし、各工程別に「人的要因」・「装置要因」・「材料／加工費用」の切り口でコストの重み割合をそれぞれ 5 段階で数値化を行った(表中の数値は平均値)。

4-4-3-3 アンケート結果の概要

アンケートの集計結果を図表 4-15 に示す。工程別に見ると、開発初期の[テストプラン設計～テストプログラム開発]においては「人的要因」のウェイトが高く、その後、[デバッグ～評価]工程に移るに従い、「装置要因」(ATE)のウェイトが高くなる。テスト生産工程においても、[生産技術(プログラム移植など)]では、「人的要因」のウェイトが高いが、生産活動の中心となる[運用、保守]においては、「装置要因」のウェイトが高い。

次にテスト開発とテスト生産において、コストインパクトの大きい「人的要因」と「装置要因」のトータルのスコアを降順に並べた結果を図表 4-16 に示す。テスト開発においては、「人的要因」、「装置要因」ともウェイトの高いのは、実際の製品を用いた[検証]であり、[評価・解析]、[メインプログラム開発]と続く。一方、テスト生産においては、[不良データの収集、テストプログラム移植、新規装置]の立ち上げとなっている。以下、工程別に詳細な分析をまとめる。

4-4-3-4 工程別分析

(1) テスト設計

テスト設計は、該当製品のテストフローをどうするかテスト戦略に関係が深いテストプラン設計と、テスト容易化(DFT)技術を具体化するテスト回路設計との工程である。アンケートの結果ではテスト設計のコストインパクトは最高位ではないが、この工程は製品テストの効率性を決定する工程であり、他の項目と評価点が異なることに留意すべきである。

(2) テストプログラム開発

テストプログラム開発は、どのようなテストをするかのメインプログラム作成と、上流のシミュレーション結果から生成されるテストパターンとからなる。メインプログラム作成は自動生成が難しくテストエンジニアのスキルが不可欠の工程であるが、今回は他工程の困難さ増加より相対的に難易度が下がった結果となった。

(3) テスト治具設計・製作

内容はプローブカードとテストボードが主な治具であり、更にウェーハプローバ、ATEとのI/F設計も含まれる。一方、LSIの仕様変更などにも対応できるテスト治具開発を考慮する必要がある。

消耗品としてのテスト治具は部材コストが LSI の多様化、多品種化に伴って高額になるため「材料・加工」の項目のインパクトが極めて大きく影響している。

(4) デバッグ

試作されたLSI(ファーストシリコンなど)の機能・性能を、ATEを使用して評価して、その結果を設計部門へフィードバックすることや生産でのテスト規格を決定する工程である。ここでは、LSIの設計、テストプログラム、テスト治具などを含めた総合的な知識と経験が必須となるので「人的要因」と「装置要因」の2つの項目の影響が大きい。

(5) 評価／解析

デバイスの高集積化、高機能化に伴うテストプログラムの長大化や、微少遅延やクロストーク、素子の不均一性などの微小変動がデバイス動作に影響するようになったことによる故障解析の困難化により、評価解析時間が増加し、「人的要因」・「装置要因」ともウェイトが大きくなっている。DFT技術、テスト手法の進歩によるテスト時間短縮とともに、解析に適したテスト環境の構築が望まれており、設計ーテスト(ATE)ー

解析の各分野のより一層の技術連携が必要となる。

(6) 量産化準備

テスト項目の複雑化に伴い、量産化移行に必要な項目が多岐に渡り、準備に時間を要するようになった。ITネットワークの普及により、情報、データの共有化が進んでいるが、開発拠点と量産拠点が異なる場合のデータの相関取りやマージン評価に依然として時間がかかっている。異なる装置間のプログラム、パラメータ、補完データ等の速やかな移行が望まれる。

(7) 生産技術

生産性効率のための同測数変更、テスト時間の短縮、テストプログラム移植などの項目を位置つけた。同測数変更ではテスト治具費用の準備から「材料・加工」の影響がある。品質を維持し更に不具合対策を考慮した上での時間短縮と、ATE変更時の移植作業とその検証含など、「人的要因」の項目の影響が顕著であり量産工程で見た場合のコストへの影響度も大きい。

(8) 管理

テストプログラムの管理、改訂、テスト治具の管理などを意味する。テストプログラムとテスト治具の管理ではシステムを用いた一元管理がなされており比較的影響は少ないが、IP仕様変更によるプログラムの改訂などは、機種展開の規模に依存するが「人的要因」の項目への影響が大きい。

(9) 運用

生産現場における通常の運用(オペレーション)においては、「人的要因」と「装置要因」が定常的に必要となるが、生産しながら不良データを収集する工程は、テスト生産におけるアンケート結果の一番にあげられており、多大なコストが必要となっていることがわかる。特に、不良解析を行うためのテストデータは、統計的分析のために膨大な量を必要とする事が多いが、これらを現場へのストレス無く収集できる装置が必要である。

(10) 保守

保守工程の対象は ATE と治工具に大別できるが、新規装置の導入時における立ち上げ工程は、非常に多くの労力を必要とし、アンケートでもテスト生産において第 3 位にあげられている。一度できあがった生産ラインにおいては、ATE は装置メーカーのトレーニング等により、一定のオペレーション範囲において保守が可能であるが、治工具については、テスト対象の製品機種毎に違うため、定期的なメンテナンスを行う事による維持管理が困難である。治工具の中でもプローブカードについては、非常にデリケートな保守が必要であり、コストへの影響も大きい。

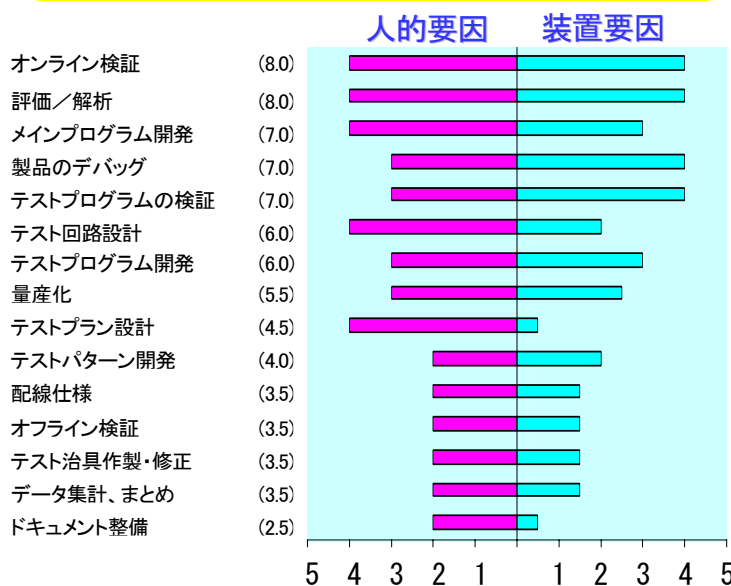
以上、アンケート結果から、テスト開発およびテスト生産におけるコスト(「人的要因」、「装置要因」、「材料・加工」)の必要な工程について分析を行った。これらのアンケートは 5 段階の点数による重みをスコア化したものであり、序列によりある程度の定量的な分析は可能であるが、正確なコスト分析には不十分である。

2008 年度においては、これらの結果を踏まえ、より具体的なテスト経済性の指標を示すため、具体的製品ターゲットの分類を絞込み、議論を進める。

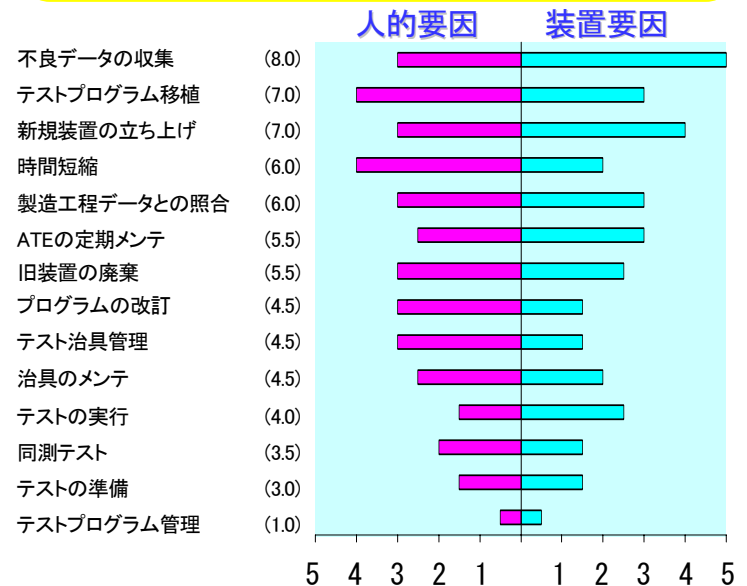
テスト開発工程		人的要因	装置要因	材料・加工
テスト設計	テストプラン設計	4.0	0.5	0.0
	テスト回路設計	4.0	2.0	2.0
テストプログラム開発	メインプログラム開発	4.0	3.0	0.5
	テストパターン開発	2.0	2.0	0.5
テスト治具設計・	配線仕様	2.0	1.5	4.0
デバッグ	オフライン検証	2.0	1.5	0.5
	オンライン検証	4.0	4.0	1.5
	製品のデバッグ	3.0	4.0	2.5
デバイスの評価／解析	テストプログラム開発	3.0	3.0	0.5
	テストプログラムの検証	3.0	4.0	0.5
	テスト治具作製・修正	2.0	1.5	4.0
	評価／解析	4.0	4.0	2.5
	データ集計、まとめ	2.0	1.5	0.5
量産化準備	量産化	3.0	2.5	0.5
	ドキュメント整備	2.0	0.5	0.5
テスト生産工程		人的要因	装置要因	材料・加工
生産技術	同測テスト	2.0	1.5	3.0
	時間短縮	4.0	2.0	0.5
	テストプログラム移植	4.0	3.0	2.5
管理	テストプログラム管理	0.5	0.5	0.5
	プログラムの改訂	3.0	1.5	0.5
	テスト治具管理	3.0	1.5	2.5
運用	テストの準備	1.5	1.5	1.5
	テストの実行	1.5	2.5	2.5
保守	ATE の定期メンテ	2.5	3.0	2.5
	治具のメンテ	2.5	2.0	1.5
	新規装置の立ち上げ	3.0	4.0	3.0
	旧装置の廃棄	3.0	2.5	3.0
運用(続き)	不良データの収集	3.0	5.0	1.0
	製造工程データとの照合	3.0	3.0	1.0

図表 4-15 テスト開発～生産までの工程のコスト重み割合(5段階スコア)

テスト開発における工程別コスト割合



テスト生産における工程別コスト割合



図表 4-16 テスト開発およびテスト生産の工程別(人的要因+装置要因)コスト割合 [降順]

4-4-4 コンシューマ向け SoC 用 ATE への要求ロードマップ

ITRSは日本のIDMが注力しているコンシューマ向けSoCには必ずしも適合しない要求があり、かつATEのロードマップとはなっていないため、国内独自活動として、参加IDM 7社の協力により、コンシューマ向けSoCのテストに焦点を当てたATE,BI装置,治具への要求ロードマップの作成を行った。

本ロードマップにおける統一要求としての掲載数値は、2社以上の要求を使用した。特にテスト周波数 (Serial I/F)、ベクタ容量(Scan)、BI装置への要求などは各社の要求数値に大きな差が見られた。高速I/Fテスト及び評価の戦略の違い(ATEオプション、BOST、等)、DFT戦略の違い(新故障モード対応Scan、LBIST、等)、BI戦略の違い(パッケージBI、WLBI、BIレス、等)が要因として考えられる。

また SoC における RF のテスト項目については、各社方針が確定しておらず十分な回答が得られなかったため参考レベルとしたい。

	2007	2008	2009	2010	2013	2016	2019	2022
ロジックテスト機能への要求								
検査装置 (ATE)	温度、同測数はATE使用時のハンドラ、ブローバ、ブローブカードへの要望を含む							
ロジックch数(ch)	1700	2048	2048	2048	4096	4096	4096	8192
アナログch数(ch)	16	32	32	32	64	64	64	128
同測数(個/ST)	8	16	16	16	32	32	32	64
DPS系統数(ch)	64	64	64	128	128	128	256	256
DPS電圧 Max(V)	8	8	8	8	5	5	5	5
DPS電圧精度(±%)	0.10%	0.10%	0.10%	0.10%	0.10%	0.10%	0.10%	0.10%
テスト周波数 (Serial I/F) Max(Gbps)	2.5Gbps/8ch	6Gbps/8ch	6Gbps/16ch	10Gbps/16ch	10Gbps/32ch	15Gbps/32ch	15Gbps/32ch	20Gbps/32ch
テスト周波数 (Memory IF) Max(Gbps)	0.8G/256	1G/256	1G/256	1.6G/256	1.6G/256	1.6G/256	1.6G/256	2.5G/256
テスト周波数 (一般 IO) Max(Gbps)	250Mbps	250Mbps	250Mbps	500Mbps	500Mbps	500Mbps	1Gbps	1Gbps
Scanポート数	128	128	128	128	256	256	256	256
ベクタ容量 (Scan) (Gベクタ)	32G	32G	32G	64G	64G	128G	128G	256G
ベクタ容量 (一般) (深さMW)	64M	128M	128M	128M	256	256	256	256
温度範囲(°C~°C)	-50~125	-55~150	-55~150	-55~150	-55~150	-55~150	-55~150	-55~150
温度コントロール(±°C)	2	2	2	1.5	1.5	1	1	1
デバイス発熱量 (高温時Max W)	~10W	~10W	~10W	~15W	~15W	~15W	~20W	~20W
ch単価(2007年を1とした比率)	1	0.8	0.64	0.5	0.5	0.4	0.3	0.2

検査装置 (BI装置)	PKG-BI, WLBI含む							
ロジックch数(ch)	512	512	512	512	512	512	512	512
同測数(個/ST)	768	768	768	768	768	768	768	768
DPS系統数(ch)	4	5	6	6	8	8	8	10
DPS電圧 Max(V)	8	8	8	5	5	5	5	5
DPS電圧精度(±%)	±1%	±1%	±1%	±1%	±1%	±1%	±1%	±1%
DPS電流 Max(A/ch)	80	100	120	120	150	200	200	200
テスト周波数 Max(Mbps)	20Mbps	20Mbps	20Mbps	50Mbps	50Mbps	50Mbps	100Mbps	100Mbps
Scanポート数	128	128	128	128	256	256	256	512
ベクタ容量 (Scan) (ベクタ)	512M	512M	512M	512M	1G	1G	1G	2G
ベクタ容量 (一般) (ベクタ)	32M	32M	32M	32M	64M	64M	64M	128M
温度範囲(°C~°C)	50°C~150°C	50°C~150°C	50°C~150°C	50°C~150°C	50°C~150°C	50°C~150°C	50°C~150°C	50°C~175°C
温度コントロール(±°C)	±3°C	±3°C	±3°C	±3°C	±3°C	±3°C	±3°C	±3°C
デバイス発熱量 (W)	~15W	~15W	~15W	~20W	~20W	~20W	~25W	~25W

メモリテスト機能への要求

内蔵メモリ								
内蔵SRAM 容量(bit)	32M	64M	64M	64M	128M	128M	256M	512M
内蔵SRAM BIST率(%)	100	100	100	100	100	100	100	100
内蔵DRAM 容量(bit)	128M	256M	512M	512M	1G	2G	4G	8G
内蔵DRAM BIST率(%)	100	100	100	100	100	100	100	100
内蔵DRAM BISR率(%)	100	100	100	100	100	100	100	100
内蔵Flash 容量(bit)	64M	128M	256M	256M	256M	512M	1G	
内蔵Flash BIST率(%)	100	100	100	100	100	100	100	100
内蔵Flash BISR率(%)	100	100	100	100	100	100	100	100
内蔵ROM 容量(bit)	128M	128M	128M	128M	256M	512M	512M	512M

アナログテスト機能への要求

音声帯域ADC								
電圧レベル (V p-p)	3	3	3	1.8	1.8	1.8	1.5	1.5
帯域 (MHz) 大量生産	20K	20K	20K	20K	20K	20K		
変換レート(MS/s)大量生産	1M	1M	1M	1M	1M	1M		
分解能(bits) 大量生産	16	16	16	16	24	24	24	24
ノイズフロア (dB/RT Hz) 大量生産	-110~120dB@BW							
内蔵ADC数 (/デバイス)	2	2	3	3	4	4	5	5
ベースバンド帯域ADC								
電圧レベル (V p-p)	1.8	1.8	1.2	1.2	1.2	1.2	1.2	1.2
帯域 (MHz) 大量生産	40MHz~		85MHz			170MHz		
変換レート (MS/s)大量生産	200	200	300	300	300	500	500	500
分解能(bits) 大量生産	10bit		12bits					
ノイズフロア(dB/RT Hz) 大量生産	-70dB@BW		-80dB@BW					
内蔵ADC数 (/デバイス)	2	2	3	3	4	4	5	5

	2007	2008	2009	2010	2013	2016	2019	2022
音声帯域DAC								
電圧レベル (V _{p-p})	2.5	2.5	1.8	1.8	1.8	1.5	1.2	1.2
帯域 (MHz) 大量生産	20K	20K	20K	20K	20K	20K		
変換レート(MS/s)大量生産	1M	1M	1M	1M	1M	1M		
分解能 (bits) 大量生産	16	16	16	16	16	16		
ノイズフロア (dB/RT Hz) 大量生産	-110~120dB@BW							
内蔵DAC数 (/デバイス)	4	4	4	4	4	4		
ベースバンド帯域DAC								
電圧レベル (V _{p-p})	2.5	2.5	1.8	1.8	1.8	1.5	1.2	1.2
帯域 (MHz) 大量生産	40MHz~		100MHz			200MHz		
変換レート (MS/s) 大量生産	80Msps		200MS/s			400MS/s		
分解能 (bits) 大量生産	16	16	16	16	16	18	18	18
ノイズフロア (dB/RT Hz) 大量生産	-70dB@BW		-80dB@BW					
内蔵DAC数 (/デバイス)	5	5	5	5	5	5	5	5
PLL								
ジッタ量 (ps RMS)	10ps	10ps	10ps	10ps	10ps	10ps	10ps	10ps
周波数帯域 (MHz)	1000	1200	1500	2000	3000	4000	5000	6000
RFポート								
主な規格	CDMA/OFDM	CDMA/OFDM	CDMA/OFDM					
キャリア周波数(GHz) 大量生産	6	6	6	10	10	20	20	30
RF変調帯域 (MHz) 大量生産	~20MHz	~40MHz	~80MHz	~80MHz	~80MHz	~100MHz	~100MHz	~100MHz
Amplitude Accuracy (dB)	0.1	0.1	0.1	0.1	0.1	0.05	0.05	0.05
RFポート数 (/デバイス)	2	-	-	2~8		8		
位相ノイズ(dBc/Hz @100kオフセット)	-100	-100	-100	-110	-110	-120	-120	-120
Error Vector Magnitude 3G/4G (%)	3	3	3	3	3	3	3	3
OIP3 (dBm)	15	15	20	20	25	30	35	35
IIP3 (dBm)	20	20	25	25	30	35	40	40
ソケット・ハンダへの要求								
端子数(全数)	注意:1DUTあたり							
P-BGA(2007調査)	1400	1400	1600	1600	1800	2200	2400	2600
FBGA(2007調査)	800	800	900	900	1000	1200	1400	1600
FCB Peripheral(2007調査)	1000	1200	1400	1800	2000	2200	2400	2400
FCB Area array(2007調査)	2400	2600	2800	3000	3400	4200	5000	5800
SiP high-performance(2007調査)	1200	1500	1500	2000	2000	2000	2000	2000
端子数(電源、GND数)	注意:1DUTあたり							
P-BGA(2007調査)	700	700	800	800	1000	1100	1200	1300
FBGA(2007調査)	250	250	270	270	300	400	420	480
ピンピッチ(mm)								
大量生産(2007調査)								
(BGA)	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
(FBGA/CSP)	0.3	0.3	0.3	0.2	0.2	0.15	0.15	0.15
端子高さバラツキ(mm)	注意:半田ボールバラツキ、インターポーザー基板ソリ等を含んだ全てのバラツキ。							
大量生産(2007調査)								
(BGA)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
(FBGA/CSP)	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
ブローブカード・ブローバへの要求								
パッドサイズ(um)	注意:ブローピング回数は3回以下							
周辺インライン(2007調査)	25/50	20/40	20/40	20/40	20/35	15/25	15/25	15/25
エリアアレイ(2007調査)	50/50	40/40	40/40	40/40	35/35	25/25	25/25	25/25
W L B I (2007調査)	65/65	65/65	60/60	60/60	55/55	50/50	45/45	40/40
パッドピッチ(um)								
周辺インライン(2007調査)	35	35	30	30	25	25	20	20
エリアアレイ(2007調査)	130	120	110	100	90	80	70	60
W L B I (2007調査)	130	120	110	100	90	80	70	60
ブローブピンMin加重(g/pad)								
周辺インライン(2007調査)	3	3	2	2	2	2	2	2
エリアアレイ(2007調査)	5	5	5	4	4	3	2	1
W L B I (2007調査)	5	5	3	3	2	2	2	2
ウェーハ厚み(um)								
	80-775	80-775	80-775	50-1000	50-1000	50-1000	50-1000	50-1000

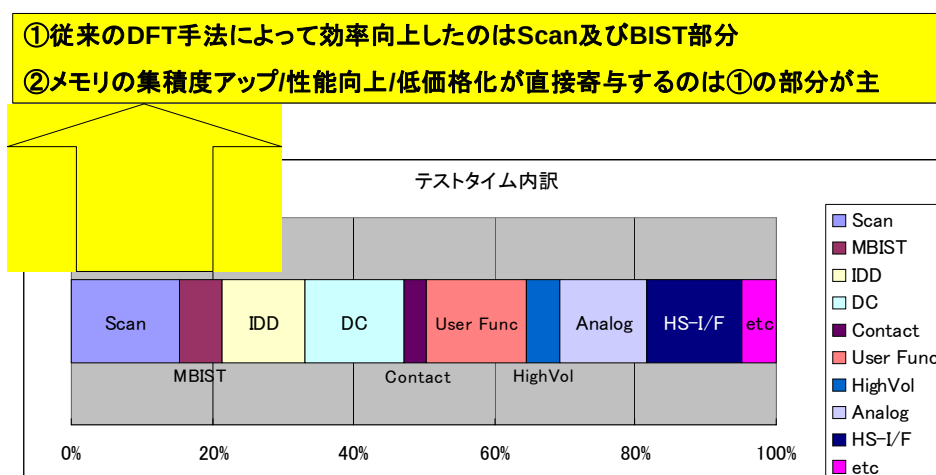
4-4-5 テストコスト低減のために(DFTとATEの融合)

4-4-5-1 議論の背景及び流れ

『DFTが進み、汎用のメモリも安価になっているのに、なぜ、テストコストやATE価格は下がらないのか』という疑問が主にDFTサブメンバから提示された。それを議論するために、まず、現状のSoC/ASICのテストタイムのブレークダウンを調査し、その中で現在までのDFT手法でカバーされているエリアを示すとともに、ATE価格の大雑把なブレークダウンを示して、テストタイムと比較する。それらの結果から従来DFT手法開発が未着手/不十分なエリアやATEでの測定にコストがかかりすぎているエリアを明らかにし、今後何に取り組めばよいのかを明確にすることに2007年度は取り組んだので、その概要を以下に述べる。

4-4-5-2 テストタイムのブレイクダウン例

ATE サブに参加している IDM 数社にて現状の SoC/ASIC のテストの項目別のテストタイムの内訳を調査した。2007 年度は具体的なモチーフ製品を決めず、各社のテストタイム内訳をまとめただけであるが、2008 年度以降、詳細に分析していきたい。図表 4-17 にテストタイムのブレイクダウンを示すが、このうち、従来の DFT 手法で効率が向上しているのは Scan と BIST の部分である。また、メモリの集積度/性能向上、価格低下が直接寄与するのは上述の部分が主となる。



図表 4-17 テストタイムのブレイクダウン例

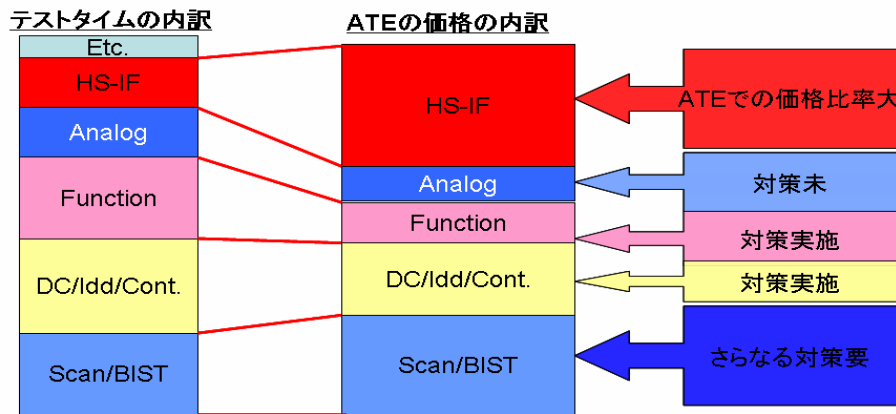
4-4-5-3 テストタイムと ATE の価格の比較

テストタイムの内訳とそれにかかる ATE の価格を比較してみる。ここでは、SEAJ からの特別委員である ATE ベンダから提供された情報、及び各 IDM が持っている情報からそれぞれのテスト項目を可能とする ATE の価格の内訳を見積った。ここでのデータはばらつきが大きいため、概念的なものと理解いただきたい。前提条件は以下の通りである。

- ・Scan : 4GW(128MW×32ch)ベクタメモリ
- ・MBIST : 最大テストレートは 400Mbps
- ・DC : ロジックピンのパーピン DC 測定機能
- ・AC タイミング : ロジックピンのタイミング測定機能及び周波数カウンタ機能
- ・DGT/AWG : 分解能は 16 ビット
- ・高速 I/F : 4Gbps 超の専用モジュール

その結果を図表 4-18 に示すが、それによると、以下が見えてくる。

- a) 高速 I/F のテストは、テストタイムは短いがコスト(ATE 価格に占める割合)は高い！
- b) ファンクションテストについては、秒単価は低いがテストタイムは長め！
- c) DC 系のテストについては、秒単価は低いがテストタイム自体は長め！



図表 4-18 テストタイム内訳と ATE の価格の内訳の対比

4-4-5-4 従来から注力してきた内容と今後注力すべきエリア

上記から、今までに手法開発されている内容と今後注力すべきエリアを整理する。

従来から、ATE 側では 500Mbps 以下のファンクションテスト、Scan/BIST への対応、パーピン DC 測定機能、高密度実装による多ピン化などの対策を実施してきた。また、DFT 側では、Scan の導入、そのテストパターンサイズの圧縮、メモリ BIST の導入などの対策を実施してきた。今後注力すべきエリアとして以下がある。

- ①高速 I/F のテスト機能の低価格化とテスト効率向上・容易化設計
⇒ これについては、DFT 及び ATE サブ両側で検討すべき課題である。
- ②アナログ回路のテスト効率向上・容易化設計 ⇒ 主に DFT 側にて検討すべき課題
- ③ロジック回路の更なるテスト効率向上 ⇒ 主に DFT 側にて検討すべき課題

4-4-5-5 ATE 側での対応<高速 I/F テスト機能の低価格化>

この機能が高額化する理由としては、以下が考えられる。

- ①高速動作(4Gbps 以上)の実現
- ②複雑な機能(CDR(Clock Data Recovery)/ソースシンクロナスなど)の実現
- ③高速 I/F 用モジュール 1 枚のチャンネル数が少ない(高速 I/F 用モジュール数の増加/シリアル測定化)
- ④新規開発費の償却

これらの要因を低価格化するために以下が考えられる。

- a)実装密度の更なる向上によるチャンネル数(モジュールあたり)の増加
- b)複数個同時測定機能の強化とテストボードの工夫
- c)モジュールの ATE ベンダをまたがった標準化、3rd ベンダ開発品の採用/展開
- d)1 モジュールで各種プロトコルへの対応

4-4-5-6 DFT 側での対応その 1<高速 I/F のテスト効率向上・テスト容易化設計>

高速 I/F の種類、特徴、テスト手法などは 2006 年度の報告書に記載しているので参照願いたい。

高速 I/F はひとつのデバイス内に Rx(受信回路)と Tx(送信回路)の両方を持つもの(代表 S-ATA)とどちらか一方しか持たないもの(代表例 HDMI)とがあり、Tx から Rx に戻す(ループバック)手法が使えるかの差がある。

- a) Rx/Tx 両方向の回路を搭載したデバイスの場合
 - ①高速 I/F の出力段の直前までの回路に Scan を導入する
 - ②高速 I/F 部分にも BIST を適用し、テストモード時に BIST の外部からの制御性を向上
 - ③BIST 回路にジッタなどのマージン測定機能も盛り込む

④テストモードにおける外部(デバイス外)ループバック時のファイの制御性を向上させる

b) RX または Tx の片方の回路のみを搭載したデバイスの場合

①通信機能を補う BIST(例えば、Rx のみのデバイスに Tx の一部機能)の内蔵

②BIST 回路の外部からの制御性を向上する

③BOST(デバイス外におくテスト回路)用デバイスの標準化(ATE と共同開発)

4-4-5-7 DFT 側での対応その 2<アナログ回路のテストの効率向上>

ここでのアナログ回路とは、データコンバージョン(アナログからデジタルへの変換回路=ADC、その逆=DAC)と PLL を含む発振・通倍回路を指している。現時点で具体的なソリューション案は未だ存在しないが、以下のようなことを議論した。

a)データコンバージョン系(ADC、DAC)

①ADC と DAC を搭載するデバイスでは、それらをループバックさせることによってセルフテストする手法(この場合、ビット数や変換時間が同じでなくてもテストモード時にはループバック可能とする)

②コンカレントテスト(アナログ回路測定中にロジックやメモリなど他の回路の同時テスト)可能な設計

③アナログ回路のテストでは一般的なパラメトリックテスト(例えば、規定の電圧入力をビット数分入れるなど)の代替テスト回路

b)PLL

①テストモードでの通倍率を確認できる機能

②ジッタ測定の容易化設計

③BOST 用デバイスの標準化

4-4-5-8 DFT 側での対応その 3<ロジック回路の更なるテスト効率向上>

a)Scan データ圧縮/テスト実行時間短縮

①AC Scan でもパターン圧縮する技術改良

②Scan テスト用ピン数の削減

③Scan 時のスイッチング分散(IR Drop 対策)

④コンカレントテストを意識した設計

b)ファンクションテストの効率向上

①非同期回路の同期テスト化(サイクライズ対応)

②コンカレントテストを意識した設計

4-4-5-9 まとめ

これまでの DFT 技術の発展により、膨大なテストパターンサイズ、テストタイムを要するロジック部分のテストは大幅に効率向上した。また、メモリ価格の低減やメモリ/ASIC の高集積化は ATE 側の Scan/BIST のテスト機能の低価格化を可能とした。

今後は高速 I/F やアナログ回路、及びロジックの更なるテスト効率向上が必要となる。従って、テストコスト低減のために DFT と ATE で協調/融合して今後も検討を継続する。

4-5 おわりに

以上のように2007年度の活動は、ITRSへの貢献と共にテストの品質とコストの両立を目指し、限られた活動時間の制約の中でのサブWG活動主体ではあったが、テストコスト低減のためにDFTとATEとの討議(融合)を一步踏込んで実施した。その結果、永遠の課題であるテストの品質とコストの両立を目指すための課題を明確化できた。