

第 5 章 WG3 FEP(フロントエンドプロセス)

5-1 はじめに

WG3 のカバーする技術領域は、Starting Materials, Surface Preparation, Thermal/Thin Film, Doping, Front End Etch というトランジスタ形成の要素プロセスと、Stacked DRAM, Trench DRAM, Flash Memory, PCRAM/PCM(Phase Change Random Access Memory), FeRAM(Ferroelectric Random Access Memory) などのメモリ材料からなっている。

WG3 では 2007 年度の主な活動として、『ばらつき』に関する技術調査(STRJ 独自活動)と、ITRS2007 年版の改定に向けた技術的検討を行った。

『ばらつき』に関する技術調査の最終的な目的は、FEP の特に要素技術のばらつきに対する要求値の明確化および制御技術に関する解決策候補の抽出であるが、2007 年度は活動の初年度として製造装置・Si デバイス・TCAD(Technology Computer Aided Design)の 3 分野を対象に講演をお願いした。

ITRS2007 年版改定活動は、ITRS2006update 版の問題点に関する議論と ITRS2007 年版(およびそれ以降)への改訂作業からなる。本報告は、ITRS2007 年版の改定内容の説明を中心に記載し、必要に応じて ITRS 外の検討状況や技術動向/ITRS の改定推移に関する説明も加えている。例えば、Starting Materials ではほとんど変更が加えられていないが、次世代大口径シリコンウェーハの検討は着実に進展しているので、その状況を紹介した。

5-2 技術調査(特性ばらつき)

本節では、ばらつき関連技術について、ITRS2007 の特徴と、2007 年度のヒアリングに基づく技術動向、および今後の課題について述べる。これまで、特性ばらつきに関する情報は歩留まりに直結するために門外不出であったが、しきい値電圧ばらつきが、世代が進むにつれて顕著に増大している¹ことから、IEDM や VLSI Tech.(Symposium on VLSI Technology)でも、2006 年頃からばらつき関連の論文数が増えており、特に 2007 VLSI Tech.で、特別企画の Focus session として DFM(Design for Manufacturing)/DFY(Design for Yield)Technologies が取り上げられる等、注目度が顕著に増している。他方、ITRS 2007 において、例えば Executive summary では、Variability, Variation, Fluctuation 等のばらつき関連の語句は PIDS, FEP, MS, Interconnect, Metrology, Design, FI, YE, ERM 等の各 WG で使用されていて、種々のばらつきが歩留まりだけではなく、性能・消費電力の関係のばらつきや回路設計の困難さを引き起こす課題として取り上げられている。しかし依然、オープンに議論が進められているとは言い難いことから、FEP では特に「トランジスタ特性ばらつき」に注目してヒアリング・議論を行ったので、以下にまとめる。

5-2-1 ITRS 2007 におけるトランジスタ特性ばらつきに関連する記述

ITRS 2007 におけるトランジスタ特性ばらつきに関連する記述について、まず Executive Summary, Grand Challenges 中の特に Near Term で言及されている。まず Logic Device Scaling [含:FEP]では、スケールリングに従ってチャネル濃度が高くなると、しきい値電圧ばらつきが大きくなり、電源電圧スケールリングが困難になるとことが指摘されている。一方、低濃度チャネルの場合に必要な UTBSOI(Ultra-thin Body Silicon On Insulator)では、SOI 膜厚ばらつきが問題となることが指摘されている。また CD and Leff Control [含:FEP]では、平面型トランジスタに加えて Non-planar トランジスタにおいて、ゲート電極長ばらつきが問題となることも指摘され

¹ M. Kanno, et. al., VLSI Tech., p. 88(2007).

ている。さらに、ゲート電極材料やレジスト露光技術、エッチング技術によって決まる LER(Line Edge Roughness)や LWR(Line Width Roughness)とその測定技術に関する課題についても言及されている。次に PIDS では、ゲート電極長ばらつきはデバイスパラメーターばらつきの第 1 要因であり、3-sigma の値を $\pm 12\%$ 未満に抑制する必要性が示され、さらに信頼性へのインパクトも指摘されている。しかし、実際に生産された LSI では、短チャネル効果を含めたばらつき抑制が困難なため、ゲート電極長の微細化が後ろ倒しになった可能性が高いと推測されている。

次に FEP では、Starting Materials Technology において、Front surface flatness variations や SOI 膜厚ばらつき、FD-SOI での BOX(Buried Oxide)膜厚のばらつきについて言及されている。また Frond End Surface Preparation Technology において、Mobile ions の指標が示されている。次に Thermal, Thin Film, Doping and Etching Technology において、High-k 膜が内包する電荷の許容量が示されている。これらの値より、ATVV(Allowable Threshold Voltage Variability)が設定され、しきい値電圧ばらつきを電源電圧の 10%程度に収めるよう設定されている。その上で、ゲート電極長の CD ばらつき(Critical Dimension Variation)の 3-sigma 値をゲート電極長の 12%以下にする必要があり、露光ばらつき工程、レジストリム工程、ゲートエッチング工程の改善が重要であること記述されている。一方、Process variability や Statistical process fluctuations, Random doping variations 等の記述はあるが、ロードマップとしての指針を示すには至っていない。また、Parametric variation が想定されていないと思われる。そこで、ばらつきに関連する技術動向について、ヒアリングを行ったので次節に示す。

5-2-2 トランジスタ特性ばらつき関連技術の動向

65-nm 世代以降では、特性ばらつきに起因した歩留まり低下が顕著となっている。例えば、オフ電流の上限を満たすために、ばらつきを有するしきい値電圧を低減できなくなることから、スケーリングに伴う電源電圧低下に伴って($V_{dd} - V_{th}$)が小さくなり、特に SRAM において SNM(Static Noise Margin)を確保することが難しくなっている¹。

ここでまず、トランジスタ特性ばらつきの分類法を以下にまとめる。まず従来からの空間分布による分類として、Lot 間ばらつき、Wafer 間ばらつき、Chip 間ばらつき(Inter-die variations, グローバルばらつき)、Chip 内ばらつき(Intra-die variations, ローカルばらつき)に分けられる。次に規則性による分類として、システムティックばらつき(Variability)とランダムばらつき(Uncertainty)に分けられる。さらに特性ばらつきの原因として、システムティックばらつきはウェーハプロセス起因、リソグラフィ起因、レイアウト起因等があり、ランダムばらつきは、不純物ばらつき(Random dopant fluctuations: RDF, Stochastic dopant variations)や、LER、ゲート poly-Si の grain, ゲート絶縁膜厚揺らぎ、応力揺らぎ等に起因すると考えられる。これらの特性ばらつきにより、歩留まりの原因は以下の様に分類される。

- Physical yield(hard open/short)
 - Systematic variation 起因
 - Random variation 起因
- Parametric yield(marginal)
 - Systematic variation 起因
 - Random variation 起因

次に詳細な技術動向を示す。まず加工ばらつき測定技術に関して、スケーリングに従って特に統計的プロセスばらつき(Statistical process variations)が顕著になっていることから、ウェーハ面内多点測定が必要となるこ

とが問題である(測定機コスト増大も懸念される)。そこでテストパターンを少数点測定し、シミュレーションベースで CD を予測する手法が実用化されており、その機能を有する塗布現像機搭載型 ODP(Optical Digital Profilometry) 装置も開発されている。次に、ロット間やウェーハ間の加工ばらつきで支配的な露光工程のばらつきに関して、ODP 装置や APC(Advanced Process Control) システム等の統合により、ロット間及びウェーハ間の CD ばらつき抑制が進められており、ゲート Poly-Si 電極長 L_g が 20 nm 程度までにおいて、最終 CD ばらつきは 3 sigma で 1.55 nm 程度まで低減されている。今後、下地依存性を低減することが課題である。また、熱処理によるウェーハ間ばらつきを低減する APC システムも実用化されている。一方、最終的なチップ間特性ばらつき低減には、しきい値電圧の平均値補正として、Back-bias 制御が有効であると考えられている。

次に、チップ内ばらつきは Systematic variations や Random variations, Layout 依存性に分類される。そこで、ばらつき成分を分離する実工程フローとして、プロセス依存を考慮してウェーハ間とチップ間ばらつきを分離し、次に Layout 依存性を分離、さらに Systematic と Random ばらつき成分を抽出する手法が提案されている¹。ウェーハ間とチップ間及び Systematic ばらつきの表現には、TCAD を活用した上で従来の SPICE corner model が有効であるが、Random ばらつきの表現には Statistical SPICE/STA が有効であり、Layout 依存性には Layout 依存性を考慮した SPICE model が有効であると考えられる。また、Layout 依存性は、分散変動ではなく、平均値変動であると考えられる。例えば、256 個アレイトランジスタの V_{th} ばらつきについて、n/pMOSFETs 共に、90-nm 世代に比べて 65-nm になることにより Random 成分が顕著に増加し、特に 65-nm では、SRAM での Random 成分が 70-80%と支配的になることが報告されている。また、この手法は高度な歪み技術を用いるためにばらつきが増大する 45-nm 世代以降でより必要性が増すと考えられる。

次に、TCAD や SPICE, Statistical SPICE/STA tools の開発では、露光技術や配線技術に関する機能が強化されており、Process Compact Model(PCM) platform 構築や、Process-aware DFM 構築が行われている。例えば、GDSII data(Layout), Net list, 応力 model から、移動度に関わる補正 SPICE ネットリストを抽出することが実現されている。これには STI 構造(深さ、膜厚)、拡散層長さ依存性、SiN liner 構造、eSiGe(embedded SiGe) S/D, SMT(Stress memory technology)が考慮されている。これらの修正 SPICE ネットリストにより、NAND 回路動作範囲が広がる計算により確認されており、歩留まり低下を抑制する技術として実用化が強く期待される。今後、Gate pitch や Gate-Contact 距離、Well proximity 等の取り込みも必要である。

以上に挙げた取り組み例は、DFM や DFY 技術として、徹底的な加工ばらつきの抑制や特性ばらつきの Model 化により、歩留まり低下を抑制することが期待されるが、最終的には Random な特性ばらつき成分が残ってしまう。例えば 65-nm 世代のウェーハ内のしきい値電圧の Max-Min が 0.3 V 以上もあり、さらにペアトランジスタのしきい値電圧差も 0.2 V 程度あることが報告されている。その原因の一つとして、ランダムなばらつきである LER が考えられる²。相関長 20 nm において、LER の 3 sigma は 6 nm にもなるとの報告がある。次の原因と考えられる不純物の統計的ばらつきについて、微細なトランジスタ当たりのチャンネル不純物は数 100 個になっていて、さらにイオン注入で導入されたチャンネル不純物分布は、ポアソン分布に従ってばらついてしまう。その解析手法として、 $(\sigma(V_{th}) = Avt / \sqrt{LW})$ で表現される Pelgrom plot³ が広く用いられている。Avt に関して、計算では 1 mV-um 程度と推測されるが、実際は 3-5 mV-um 程度の比較的大きな値が報告されており、様々な構造のデバイスを統一的に表現することが難しいことが分かっている。そこで、反転時ゲート絶縁膜厚(T_{inv})と基板不純物濃度(N_{sub})を考慮して、 $\sigma(V_{th}) = \sqrt{\{Bvt(T_{inv}(V_{th} + 0.1) / LW)\}}$ を用いた統一的な改善規格

² M. Hane, et. al., IEDM, p. 241(2003).

³ M. Pelgrom, et. al., IEEE, Journal of Solid-State Circuits, 24, p. 1433(1989).

化手法が発表されている⁴。さらに Metal-gate/high-k 技術によって反転時ゲート絶縁膜厚(T_{inv})を 1.9 nm から 1.4 nm に薄膜化することより、ランダムばらつきを抑制できることが確認されている⁵。今後、不純物位置やゲート絶縁膜厚の揺らぎも考慮する必要があると思われる。

さらに、DIBL(Drain-Induced Barrier Lowering)により、SRAM V_{th} の統計ばらつきがガウス分布から外れることが示されている⁶。これは、STM(Scanning Tunneling Microscopy)で観察されているように、SDE/Halo 接合面の揺らぎが原因であると考えられる⁷。この様に、短チャネルで高ドレイン電圧(V_{ds})領域では、さらなるばらつきの要因が複雑に存在しており、理論的なトランジスタ特性ばらつきモデルの構築が今後期待される。一方、ランダム不純物ばらつきの影響を受け難いデバイスとして、Delta-doped retro-grade well や支持基板にドーピングした thin-box FET, undoped-double-gate FET(FinFET 等)が提案されている。新しい技術特有の新規なばらつき成分を抑制しつつ、特性ばらつきを抑制し、歩留まりを高めるトランジスタ構造の実現が期待される。

最後に、中央極限定理の通り、デバイス間に相関がなければ回路特性は平均化され、回路特性ばらつきは比較的小さいことが分かっている。さらにオフ電流は対数正規分布であり、スタンバイ電力ばらつきは比較的小さいと推測される。この様に回路特性への影響を考慮して、特性ばらつきの抑制、歩留まり低下抑制が望まれる。

5-2-3 まとめと今後の課題

特性ばらつきについて、ITRS2007 での取り扱いと、ヒアリングに基づいて、特にトランジスタ特性のばらつきについてまとめた。それを通じて、特性ばらつきの抑制には、高精度なプロセスばらつき測定技術と高度なデータマイニング技術による現象の十分な理解に基づいて、理論的に進める必要があることが分かった。ITRS でも、スケールアップを阻害する主要因として特性ばらつき現象を取り上げ、オープンに議論・理解が進められることが期待される。

5-3 Starting Materials

5-3-1 ITRS2007 年版における 450mm 情報

次世代大口径シリコンウェーハとして 450mm ウェーハを想定するのは異論がないところであろう。しかし、その移行については、時期尚早という意見を含め、2012 年から 2020 年代までと様々である。2012 年というのは、ITRS でウェーハ直径が 2012 年から 450mm となっているところからくる。ITRS2007 年版では、450mm 移行についてかなり詳しい記述がなされている。Executive summary には、2012-2016 タイムフレームとあり、幅を持たせている。ここで、注意したいのは、ITRS における生産開始の定義である。Executive summary にあるのは、2 社が 10k チップ/月の生産を開始した時期である。450mm ウェーハの面積はエッジ除外を 2mm としても約 1500cm²あり、1000 チップ/ウェーハは取れるであろう。そうすると、10 ウェーハ/月で生産開始を達成できることになる。Executive summary の生産開始定義図(Executive Summary Figure 2)の右軸では数十ウェーハ/月で生産開始をしたことになっている。その 1-2 年後に数万枚/月の量産に達する。450mm 移行については Factory Integration 章に詳しく述べられており、450mm 移行のスケジュールなども項目別に挙げられるようになった。

⁴ K. Takeuchi, et. al., IEDM, p. 467(2007).

⁵ Kelin J. Kuhn, et. al., IEDM, p. 471(2007).

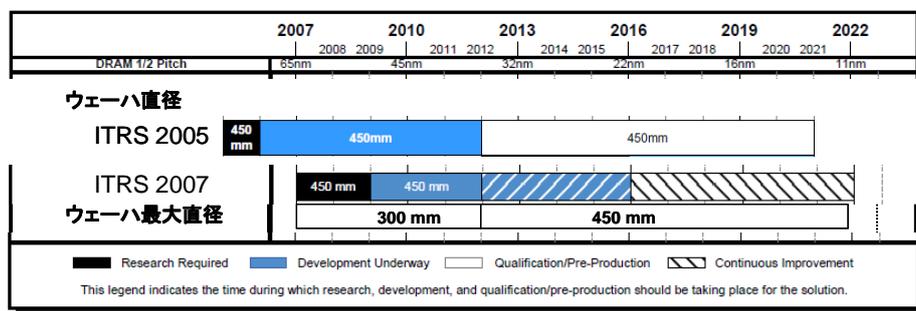
⁶ M. Miyamaura, et. al., VLSI Tech., p. 22(2007).

⁷ H. Fukutome, et. al., IEDM, p. 281(2006).

Starting materials でも、最近の業界動向を反映し、

- 業界で 450mm メカニカルウェーハ*規格を標準化する動きが始まった
*ウェーハ搬送試験などに使うウェーハでハンドリングウェーハとも言う
- ITRS にある 450mm ウェーハの問題点(white paper)は変える必要がない

などとした。Figure FEP2 Starting Materials Potential Solutions を改訂し、最近の 450mm ウェーハの開発状況を考慮した。図表 5-1 に、2005 年版と 2007 年版の 450mm ウェーハ線表を併せて示す。2007 年版では、研究段階から開発段階になる時期が遅くなったが、2012 年から 450mm ウェーハが使われることには変わっていない。ITRS2007 年版から、450mm ウェーハロードマップとして 2012 年ー2016 年に Qualification/Pre-Production という段階が新たに設定され、450mm 移行のシナリオがより明確になり、Executive Summary との整合性が取られた。ウェーハ直径の最大は、従来と変わらず、2012 年に 300mm から 450mm になる。450mm ウェーハが使われ始めるという意味合いである。



図表 5-1 450mm ウェーハ開発から生産へのロードマップ

5-3-2 450mm メカニカルウェーハ規格の標準化

Factory Integration では、様々な 450mm 関係スタンダードのロードマップが策定されている。対象とするのは工場の生産システムであるが、その中で、starting materials が絡むのは、搬送システム、特に、ウェーハハンドリングロボットとウェーハキャリアである。ウェーハキャリアにおいて、ウェーハの厚さと撓みがピッチを決める重要な要素となる。ウェーハキャリア標準化と平行して 450mm メカニカルウェーハ規格の標準化が行われている。標準化は業界団体である SEMI を中心に行われ、Starting Materials としては、議論を把握し適切なコメントを入れる立場にある。2007 年度のウェーハ標準化は、装置開発に使われるメカニカルウェーハ規格である。図表 5-2 は、2005 年度 STRJ ワークショップ使ったものであるが、現在でも規格論議の技術的なポイントである。450mm ウェーハの場合、全く経験がない、従って、データがない状態で規格を審議し、無用な開発を避け、開発コストを削減しなければならない難しさがある。

450mm ウェーハ規格標準化

1. メカニカルウェーハ: 装置開発に必要なウェーハ
 2. テストウェーハ: プロセス開発に必要なウェーハ
 3. デバイスウェーハ: デバイス生産に使われるウェーハ
- **メカニカルウェーハ仕様の議論を始めた**
 - ウェーハ直径と公差
 - 450mm±0.2mm 公差はこれでよいか?
 - ウェーハ厚と公差
 - 775 μm(300mm) + α ウェーハ厚を決める要因?
 - ウェーハ面方位 現行規格
 - エッジ形状
 - 現在各社各様な形状を統一したい エッジ形状に敏感なプロセスは?
 - » ウェーハハンドリングロボット
 - » CMP
 - そり そり規格を決める要因?
 - ノッチ 現行規格
 - 鏡面仕上げ 現行規格
 - 両面ミラーウェーハ
 - ミラーエッジ
- デバイスプロセス 装置メーカーからのコメント・提案が欲しい
- これ以外の項目はテスト・デバイスウェーハ規格

図表 5-2 450mm ウェーハメカニカルウェーハ規格の問題点

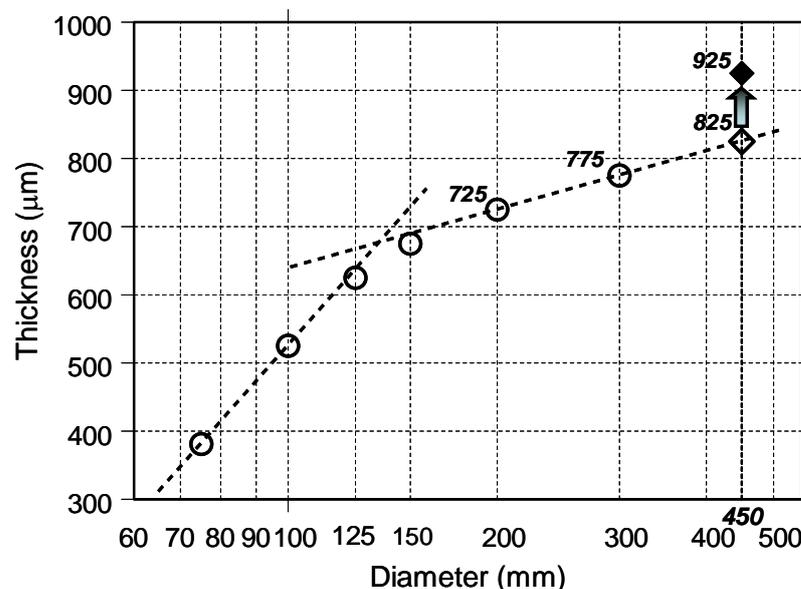
この中で、特に問題となるのは、ウェーハの厚さである。図表 5-3 はシリコンウェーハ厚の推移で、過去の小口径時代では一世代大口径化が進む時に 100 μm 程度のウェーハ厚が増加した。しかし、最近では 50 μm /世代程度しかウェーハ厚は増えず、200mm から 300mm への移行時には、ウェーハ厚さが 725 μm から 775 μm になった。このトレンドに従うと 450mm ウェーハ厚は 825 μm となる。しかし、過去のウェーハ厚のトレンドは、技術的な裏付けはなく、経験的なトレンドであった。ウェーハ厚を決める決定的な要因が無かったのである。825 μm 厚の 450mm ウェーハの RTP 処理時の熱応力などは 775 μm 厚の 300mm ウェーハと変わらないことが日米で確認されている。未検討な事項としては、ウェーハの割れが残っている。デバイスプロセス過程で、ウェーハハンドリングやその他諸々の原因によってウェーハが割れるケースがあり、450mm ウェーハは 300mm ウェーハより割れやすいのではないかとの懸念も指摘されている。感覚的には厚いウェーハの方が割れにくいと思われがちである。しかし、定量的な議論はほとんどない。

SEMI で 2007 年 7 月に 450mm ハンドリングウェーハ規格を制定する国際タスクフォース発足し、その時点では、過去の直径の推移を外挿してウェーハ厚は 825 μm を提案された。その後、825 μm 厚ではウェーハが割れやすいのでは、などの諸々の事情を勘案して 925 μm となった。諸々の事情というのは、

- ウェーハメーカーとしては、厚いウェーハの方がウェーハ表面平坦度を出しやすく、ウェーハ割れを最小にしたい。
- ウェーハ搬送装置メーカーやウェーハキャリアメーカーとしては、厚いウェーハの方がウェーハ自重による撓みを最小にしたい。
- 一方、薄いウェーハの方が単結晶から取れるウェーハ数を最大にできる。

このような要望の妥協によるもので、300mm ウェーハ厚に比べて 150 μm 増と当初想定したウェーハ厚増(50 μm)の 3 倍となった。今回のウェーハ厚決定は、定量的な技術論に基づいているわけではなく、925 μm が妥当な厚さであるかは 450mm ウェーハが大量に消費される時代になってから判明することになる。

SEMI の 450mm ハンドリングウェーハタスクフォースは、以上のような議論を経て、450mm メカニカルウェーハ(ウェーハ搬送など、単に、シリコンウェーハであればよいという用途向け)ウェーハ規格を 2007 年 12 月セミコンジャパンで提案した。この規格は投票にかけられ、2008 年 7 月に成立する見通しである。ウェーハ厚 925 μm は、図表 5-2 で $\alpha=150\mu\text{m}$ とした規格である。厚さ以外の項目は図表 5-2 にある通りの規格となっている。



図表 5-3 ウェーハ直径の推移と 450mm ウェーハ厚の提案。当初 825 μm で提案されたが、その後 925 μm に変わり、それがメカニカルウェーハ規格として成立するであろう。

5-4 Front End Surface Preparation

2007 年度版ロードマップの表面処理関連の変更点については、洗浄技術の進展に基づいて、0.2Å/洗浄 1 回のマテリアルロスが可能になった事により、図表 5-4 に示す様に、Silicon&Oxide loss の、LDD や SDExtension 領域の下地エッチングに関して Interim になった事。また、2007 年より DRAM_LDD 洗浄の Silicon&Oxide loss テーブルが追加になった。

Watermark については、図表 5-4 に示す様に、昨年、ウェハ上に 1 つ存在した場合においても、最大許容値を超えてしまい、ウェハあたりゼロという基準値で示されていたが、その許容値とゼロの不釣合いの影響か、今年この項目が削除されている。またパーティクル数については、図表 5-5 に示す様に、一定サイズではなく、クリティカルサイズで規定しており、前年に比べて、Particle 数/wafer を増やさない様に補正している。それ以外は特に大きな変更点は見られなかった。またレジスト除去における Nanospray 等の物理洗浄も今年の著しい進展であった。

Years of Production	2007	2008	2009	2010	2011	2012	2013
ITRS2005	0.5	0.4	0.4	0.3	0.3	0.3	0.2
ITRS2006	0.5	◆0.4	◆0.4	◆0.3	◆0.3	◆0.3	◆0.2
ITRS2007	0.5	0.4	0.4	◆0.3	◆0.3	◆0.3	◆0.2
New							
(DRAM)	1.5	1.2	1.2	◆0.9	◆0.9	◆0.9	◆0.6
Delete							
Allowable watermarks # [M]	0						

Solutions exists
 Solutions are known
 Interim solutions are known
 Solutions are NOT known

図表 5-4 Surface Preparation Technology Requirement

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014
DRAM 1/2 Pitch (nm)	65	57	50	45	40	36	32	28
DRAM Total Chip Area (mm ²)	93	74	59	93	74	59	93	74
DRAM Active Area (mm ²)	46	37	30	46	37	29	46	37
Critical Particle (nm)	325	283	250	225	200	179	159	142
Particle@critical size (#/wf)	754	941	1170	747	938	2706	1705	2160
ITRS2007 Particle (#/wf)	754	754	754	747	747	1705	1705	1705

図表 5-5 Surface Preparation Technology Requirement(続)

5-5 Thermal/Thin Film

5-5-1 High-k ゲート絶縁膜

CMOS デバイスのゲート絶縁膜は、将来のスケーリングに対して最も困難な課題の一つになってきた。ゲート絶縁膜の(電氣的)薄膜化は微細化と性能向上を実現するためには不可欠な要素であるからである。しかしながら、要求される SiO₂ 換算膜厚(EOT)は 1nm を下回る極薄膜領域であり、従来の SiON ゲート絶縁膜では直接トンネルリーク電流やポリシリコンゲートからチャネルへのボロン突き抜けによるしきい値電圧の不安定性を抑制できないため、物理膜厚は厚いが EOT は薄膜化が可能な高誘電率(High-k)ゲート絶縁膜が必要となってくる。

High-k ゲート絶縁膜に対する性能要求項目の例を挙げれば、1) EOT ≤ 1.0nm の膜厚でゲートリーク電流が SiO₂ に較べて 3~4 桁低い、2) 比誘電率 > 10(長期的には > 20)、3) SiO₂ に匹敵するキャリア移動度、4) ト

ランジスタのしきい値 V_{th} を 0V 近くまで制御できること、5) SiO_2 と同等の低ばらつき、6) 特性の安定性・再現性、7) 10 年程度を保證できる長期信頼性、などである。さらに、Poly-Si をゲート電極に使う場合には、 $1000^{\circ}C$ 以上の耐熱性とドーパントの突抜けを抑制できることが必要になる。High-k 膜あるいは High-k スタックの物性としては、界面準位が SiO_2 と同等に低いことや膜中欠陥が少ないことなどが挙げられる。

上記の要求の多くを満たす High-k 材料として、最近では Hf 系酸化物に集約されてきた。Hf 系酸化物として検討の対象になっているのは主に HfO_2 、 $HfON$ 、 $HfSiO$ 、 $HfSiON$ である。この中でも、 HfO_2 と $HfSiON$ の 2 つの材料に絞られてきた。 $HfSiON$ 膜は膜中に窒素を導入することにより $1000^{\circ}C$ 以上の耐熱性が得られ、従来の CMOS プロセスとの適合性が非常に良好であることが最大の利点である。 HfO_2 は $HfSiON$ に比べ誘電率が高いことが大きなメリットで、この結果、膜厚スケールに有利となる。上記 HfO_2 、 $HfSiON$ の電気的特性では、 $EOT < 0.9nm$ の Poly-Si ゲートスタックでリーク電流も SiO_2 に比べ十分に低い結果も報告され、当面の EOT 薄膜化要求に対しては十分な性能が得られている。

このような議論から High-k ゲート絶縁膜の実用化については、その導入時期が開発状況に応じて年度ごとに修正されている。ITRS2006Update で一旦 HP(HK/metal)の導入時期が 2010 年と延期されたが、2007 年初期の量産アナウンスを受けて、ITRS2007 では High ゲート絶縁膜(/metal)の実用化時期が見直された。すなわち、ITRS2006Update では、MPU(MicroProcessor Unit = High Performance)および LOP(Low Operating Power)向けには共に 2010 年導入、LSTP(Low Standby Power)向けは 2008 年実用化とされていたが、ITRS2007 では、HP の high-k ゲート絶縁膜導入は LSTP と同じ 2008 年へと前倒しとなった。また、HP に関しては 2010 以降は EOT の制限が原因で $EOT \leq 0.65nm$ 実現に対して 解が見出せず赤となっている。これに対しては FD(Fully Depletion)SOI および Multi-Gate による能力向上で EOT 要求を緩和する方向にある。一方、LOP および LSTP に対しては EOT 律速にはなっていない。バルク LSTP に対しては、HK/Poly Si は ITRS2006Update と同様に 2008 導入とされているが、HK/metal に関してはバルク HP と同様の時期に HK/metal が導入されるとの判断から 2008 に前倒しされた。(図表 5-6)。

ITRS2006 update	Year	2006	2007	2008	2009	2010	2011	2012
	bulk HP		SiON/poly-Si		SiON/poly-Si		HK/poly-Si	-
		-	-	-	-	HK/metal		
bulk LSTP		SiON/poly-Si		HK/poly-Si			HK/poly-Si	
		-	-	HK/metal				

ITRS2007	Year	2006	2007	2008	2009	2010	2011	2012
	bulk HP		SiON/poly-Si		HK/poly-Si			-
		-	-	HK/metal	HK/metal			
bulk LSTP		SiON/poly-Si		HK/poly-Si			HK/poly-Si	
		-	-	HK/metal				

図表 5-6 High-k ゲート絶縁膜およびメタルゲートに対する ITRS2007(2006Update 版からの変更点)

HP 用への High-k ゲート絶縁膜実用化時期が前倒しの原因となったデバイスは N/P Metal を作り分けたゲートラストプロセスで、低抵抗化のためゲートの溝に Al を埋め込んだ構造であり、2007 年の IEDM で最初に報告された⁸。しかしながら、本プロセスは極めて複雑で製造コストの面では一般的とは言いがたい。一方、通常のゲートファーストプロセスによる High-k/metal ゲート構造についても精力的に検討されつつあるが、メタルゲートとの適合において capping 形成プロセスやチャンネル形成など、より低閾値化を目指した試みやゲートスタック構造のパターニングにおいて課題が残されている。

Hf 系 High-k ゲート絶縁膜の最大の課題であるゲートファースト方式における V_{th} の制御性改善(いわゆるフェルミレベルピニングの抑制)に対しても、様々な手法が提案されつつある。カウンターチャンネルドープ、あるいは基板へのフッ素イオン注入などの手法である。さらには、最近では High-k ゲート絶縁膜とゲート電極との間や High-k ゲート絶縁膜と薄い界面 SiO_2 膜との間などの界面制御技術が重要と認識されており、この観点から Hf 系酸化物に La 等の元素を添加する方法^{9,10}や界面に Hf 系以外の絶縁膜を設ける方法¹¹などが提案されている。

5-5-2 メタルゲート

ゲート電極材料に関しても将来のスケーリングに関して大きいチャレンジがある。従来の Poly-Si ゲートに対してはゲート空乏化を抑制していく必要があり、Poly-Si 中のドーピング濃度を上昇させていかなければならない。しかしながら、高濃度に不純物がドーピングされた Poly-Si 電極の活性化処理はゲート絶縁膜やシリコン基板への不純物侵入(突き抜け)の観点から十分な注意が必要となる。

上記のような工夫を加えながら Poly-Si ゲート電極を引き続き使用していくことは重要であるが、ゲート空乏化や不純物侵入(突き抜け)を完全に抑制する手段として、メタルゲート電極の採用が望まれる。メタルゲート技術に関しては、材料の絞込みが最優先課題と考えられる。しかしながら、材料研究開発段階では様々な材料が試みられているが、nMOS および pMOS に対する最適材料はまだコンセンサスが得られていない状況と認識される。

メタルゲートに関しても 2007 年初期の量産アナウンスを受けて、High-k ゲート絶縁膜の項で述べたように ITRS2007 ではメタルゲート(HK/metal)の実用化時期が変更され、バルク HP では 2008 年に前倒しされ、それに伴い、バルク LSTP についても同様に 2008 年に前倒しされた(図表 5-6)。これらメタルゲートの導入に際しては、所望の閾値電圧達成のために、よりバンドエッジの仕事関数を有する金属材料(ゲートラストプロセス)や capping 材料(ゲートファーストプロセス)が検討されているが、その CMOS 化プロセスに伴う諸課題(V_{fb} シフトに関わるメカニズム解明とその制御をはじめ V_{fb} roll-off による極薄 EOT 領域における実質的な仕事関数劣化や capping 層の選択形成など)を解決しなければならない。他方、HK/Poly-Si に関してはバルク LSTP についてその実用化が 2008 年のまま変わらず、フェルミレベルのピニングレベルを用いた閾値で制

8 K. Mistry et al., A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging IEDM p.247(2007).

9 H. N. Alshareef et. al., Thermally Stable N-Metal Gate MOSFETs Using La-Incorporated HfSiO Dielectric, Symposium on VLSI Technology, p.10(2006).

10 X. P. Wang et. al., Dual Metal Gates with Band-Edge Work Functions on Novel HfLaO High-k Gate Dielectric, Symposium on VLSI Technology, p.12(2006).

11 S. C. Song et. al., Highly Manufacturable 45nm LSTP CMOSFETs Using Novel Dual High-k and Dual Metal Gate CMOS Integration, Symposium on VLSI Technology, p.16(2006).

御するトランジスタの実用化が見込まれている¹²。

メタルゲート電極の仕事関数の要求値は、ITRS ではデバイス種類(HP、LOP、LSTP)毎、さらにデバイス構造(バルク、FD-SOI、Multi-gate)毎に規定されている。これら値はシミュレーションにより各年代ごとに PIDS から示されたトランジスタ性能要求値を満たす最適仕事関数を求め、それを世代毎に値が変わらないように調整したものである。(世代に関わらず一定の仕事関数としたのは、出来るだけメタルゲート材料を変更したくないという配慮で行ったものである。)バルクデバイスにおいては、バンドエッジメタルが必要であり、NMOS/PMOS それぞれシリコンの伝導帯/価電子帯の端から 0.2eV 以内の材料が必要となり、いわゆるデュアルメタルゲートを実現する必要がある。FD-SOI と Multi-gate トランジスタに要求される仕事関数はシリコンのバンドギャップのほぼ中央付近の値となる。

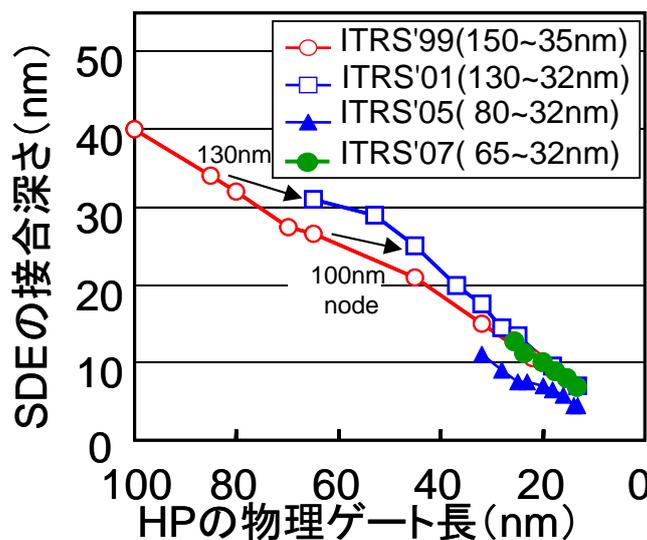
High-k/メタルゲート電極を用いたゲートスタックの実用化について 2007 年初頭に High-k/メタルゲート電極を用いたゲートスタックを用いた実用化のアナウンスが 2 社からなされ、ロードマップ加速に拍車がかかり ITRS2007 は前倒しされたが、その特性、信頼性、プロセス制御性そして、製造コストも含めて量産体制にあるのはまだ限定的であるというのが実情である。

5-6 Doping

本章では、ITRS2007 における Doping に関する要求値についての特徴的な変化、および Doping 技術に関わる今後の課題について述べる。この Doping の章には、不純物導入技術やアニール技術だけでなく、ソース/ドレイン形成に必須となるエピタキシャル成長技術や、シリサイド技術も含まれている。

5-6-1 ITRS2007 における Doping に対する要求値

ITRS におけるドーピングに関する要求は、ITRS2007 で大きく変化した。図表 5-7 に示したのは、SDE(Source Drain Extension)の接合深さの要求値の変遷である。ITRS1999からITRS2003まではゲート長のシュリンクに伴う変更が見られるものの、深さに関しては大きな変更はない。しかしながら ITRS2005 では、接合の浅さに関して要求値が劇的に厳しいものとなっている。この変更は、ITRS2005 で High-k 絶縁膜の導入時期を 2008 年に後ろ倒した際に、デバイス性能の向上を犠牲にしないようにするためであるが、その背景は、これだけの浅い接合の実現可能性の目処が立ったと認識されたことがあった。



図表 5-7 SDE 接合深さの推移(ITRS1999～2007)

12 T. Nakamura, VLSI Technology Symp. p.158(2006).

しかしながら ITRS2005 作成以降、ITRS 中の議論でも、ITRS2005 で記載された接合深さが現実的ではないとの指摘が多くなされ、ITRS2007 ではゲート長の 0.5 倍の値を要求値として設定するに至った。この値は結果的に、ITRS2003 と同じとなっている。このような変遷の要因は、ITRS が SDE の深さの要求値を設定することが、本質的に困難であることによる。現実的な MOSFET においては、その構造を決めるにおいて、その構造を最適化するためのさまざまな手法、例えばチャネル中のドーパントプロファイルの制御や、Halo イオン注入によるショートチャネル効果の抑止等が駆使される。一方 ITRS において想定する MOSFET では、汎用性が求められるため、上記のような手法を最大限取り込んだような構造についてのデバイスシミュレーションを行なうことはできない。ITRS2005 の作成においては、このような汎用的な MOSFET において求められる接合深さを要求値(ガイドライン)として示した結果として、極めて浅い拡散層が必要とされるというロードマップになった。また ITRS2005 の作成時期においては、High-k 絶縁膜の導入時期が 2008 年に後ろ倒され、その代わりに SDE の浅接合化を前倒しすることで、デバイス性能の向上を犠牲にしないようにしたという理由もあったが、これはミリ秒アニール技術の進歩により、これだけの浅い接合の実現可能性の目処が立ったと認識されたことがあった。これに対して、ITRS2007 では、上述したような手法は各デバイスメーカーが当然採用することを前提として、現実的な値に戻った、というのが経緯と言える。

また ITRS2005 で、現実的とは言えない要求値が記載された別の背景には、ドーピングという技術が、拡散層を形成し、評価という点では、浅くて高濃度の拡散層を比較的容易にできるものの、実際にその拡散層が必要とされる MOSFET において、拡散層のみを形成した場合と全く同じにプロファイルを実現し、利用することが困難であることも、挙げることができる。一般に接合深さの評価手法として SIMS に代わるものがないこともあり、比較的広い領域に均一に形成された拡散層の深さをもって接合深さと称し、また四端針法によって測定された値を拡散層抵抗と称している。学会等では、トップデータを示すことの必要性から、高活性化した不純物が不活性化しない、高温熱処理直後の状態での値が示されることが多いが、現実の MOSFET において、その状態をそのまま利用することは、拡散層形成後の熱工程を排除することができない以上、困難である。このような、拡散層単体での評価と、MOSFET となった状態での拡散層との乖離は、今後、拡散層を形成する技術だけでなく、MOSFET の構造での拡散層の形状、キャリア濃度等を評価する技術の重要性が増すことを意味している。

5-6-2 ドーピング・アニール・エピタキシャル成長技術

ドーパントの注入技術に関しては、MOSFET の拡散層を精度よく形成するという目的のために、ドーパント量の精密制御が可能である点でイオン注入に代わる方法は見当たらない。実際、ドーピングの将来技術としてプラズマドーピングが有力候補となってからは長い間、注入量、注入深さの制御が困難であることからなかなか実用化されてこなかった。このような状況に対し、ガスクラスタドーピング(インフュージョンドーピング)が新たに有力な候補技術として目されるようになってきた。ガスクラスタドーピング技術は、弱く結合させた原子あるいは分子を帯電させ、通常のイオン注入と同様に加速することで、基板への注入を行う技術である。B で浅く注入可能なドーピング方法としては、 BF_3 を用いる方法が古くに実用化され、また最近では $\text{B}_{10}\text{H}_{14}$ や $\text{B}_{18}\text{H}_{22}$ などを用いる方法も提案されているが、これらに比較してガスクラスタイオン注入技術では質量数がさらに数百倍以上となるため、表面付近のみに高濃度の拡散層形成が可能となる。プラズマドーピングはドーパント濃度の高い制御性が要求されないゲート電極に対し、またクラスタドーピングが今後ソース/ドレインに対して採用が検討されるといった棲み分けがなされていくものと思われる。

その一方で、Multi Gate 構造の実用化想定時期である 2011 年も目の前に迫っており、この構造に対応できるドーピング技術も必要となっている。イオン注入を使うためには、斜め方向からの注入を行なう等が考え

られるが、この点においてはイオン注入と違って方向性を持たないプラズマドーピングが有力となる。また固相、あるいは気相拡散、あるいはドープトシリコンの利用も候補技術と考えられる。特にドープトシリコンについては、チャンネル領域に歪みを与えるためのソース/ドレインへの埋め込み SiGe 選択エピタキシャル技術は、そのエピタキシャル成長時に in-situ でのドーピングを行なうことで、そのまま高濃度拡散層として利用できるため、Multi Gate 構造採用時の有力なドーピング技術となると考えられる。現時点、実用化されているのは pMOSFET における SiGe ソース/ドレインに B を in-situ でドーピングする方法であるが、nMOSFET においては Si:C を用いる方法が検討されており、この場合には P あるいは As を in-situ でドーピングする方法が考えられる。いずれにしてもこのプロセスによれば、急峻かつ高濃度で、活性化率も高い理想的なドーパントプロファイルを実現することができる。

一方アニール技術に関しては、RTA 技術に加えて最高温度での温度保持を行わないスパイクアニールが広く適用され、さらにミリ秒アニール技術としてフラッシュアニール、レーザーアニールの検討が進められており、一部実用化もされている。ミリ秒アニールは、注入されたイオンを拡散させずに活性化を可能にする技術であるため、浅く高活性の拡散層の形成のためには極めて有用ではあるが、極短時間の高温プロセスである結果として、昇温、降温の精密制御が実用上の重要な課題となる。また加熱を基板表面側から行なうため、パターンによる温度ばらつきが発生する。そのためレーザーの波長に応じて、表面に熱を吸収する層を設けるなどの対策が必要であるなど、さまざまな今後の検討課題も抱えている。さらに先の世代の技術としては、高温短時間化を推し進めたプロセスとしてマイクロ秒アニール技術が、また逆に低温長時間プロセスとして固相成長技術が候補となっている。いずれの技術も ITRS2007 では 2009 年以降の量産が想定されている。固相成長技術は、イオン注入によって形成されたアモルファス層を結晶化するのに必要十分な、600°C 程度での熱処理を行なうことによる方法であり、非常に容易なプロセスでドーパントを高活性化することができる。しかしながら接合リークの要因となる点欠陥起因の除去が困難であり、その対策が確立できていない現時点では実用化には遠いと考えざるを得ない。また活性化できるドーパント濃度も $1E21\text{cm}^{-3}$ 以上にするのは極めて困難であり、この点では高温プロセスであるマイクロ秒アニール技術は優位に立つが、必要とされるリーク電流のスペック等から、技術の取捨選択がなされていくものと考えられる。

5-6-3 シリサイド技術

シリサイド/Si コンタクト技術においては、シリサイド薄膜の均一平坦化、コンタクト構造の熱的安定性向上、コンタクト抵抗の低減が課題として挙げられる。

ソース/ドレイン領域の浅接合化に伴って、コンタクト界面にも平坦性が要求され、これに合わせてシリサイド膜厚も 10nm 程度にまで薄膜化しなければならない。また、浅接合領域の抵抗値を低く維持するためには、シリサイド反応に伴う Si の消費を抑える必要がある。そのため、従来の TiSi_2 、 CoSi_2 などのダイシリサイドから、NiSi や Pd_2Si などシリコンの消費量の少ない金属リッチなシリサイド層への転換が計られている。NiSi は CoSi_2 や C54- TiSi_2 と同程度の低抵抗率を有することからも、最も有望な次世代コンタクト材料である。特に、NiSi は 350°C 程度の低温熱処理で形成可能なことから、プロセス温度の低温化にも適し、C54- TiSi_2 や CoSi_2 で顕著な、微細化に伴うシート抵抗の増大(細線効果)が見られない点でも優れている。

コンタクト領域の微細化に伴う、コンタクト抵抗の増大は今後深刻な課題となる。MPU においては、ハーフピッチ 59nm 以降のデバイスにおいて、 $1E-8 \text{ } \Omega\text{cm}^2$ 台のコンタクト抵抗率が要求されている。コンタクト抵抗率は、本質的に金属/半導体界面のショットキー障壁高さ、および半導体側の不純物濃度により決定される。現在、NiSi を用いることで、 TiSi_2 や CoSi_2 に比較しても低い、 $1E-7 \text{ } \Omega\text{cm}^2$ 未満のコンタクト抵抗率を、n 型お

よび p 型双方のコンタクトで実現できる。p 型に対しては、NiSi/p-Si のショットキー障壁高さが 0.4 eV 以下と比較的低いこと、また n 型に対しては、NiSi の低温形成プロセスが功を奏し、NiSi/Si 界面への基板不純物の偏析効果が強く現れるため、コンタクト抵抗率が低減されると考えられる。今後、界面不純物偏析を積極的に利用することで、ショットキー界面を通過する電子に対する鏡像効果を働かせ、実効的障壁高さを低減する技術が期待されている。さらに p 型コンタクトに関しては、Si_{1-x}Gex 界面層の導入によるエネルギーバンドアライメント制御によって、0.2 eV 程度のショットキー障壁高さを低減が可能と見られる。

一方、コンタクト材料に同種の金属シリサイドを用いる限り、n 型および p 型コンタクト双方で同時に低ショットキー障壁高さを実現することは本質的に困難であるとの見方もある。これは、n 型および p 型コンタクトに対するショットキー障壁高さをの総和が、半導体のエネルギーバンドギャップに対応するため、片方で障壁高さを低い材料は、もう一方では障壁高さが高く、不適になるからである。そのため、将来、32 nm 世代で要求されるような $4.8E-8 \text{ } \Omega \text{ cm}^2$ のコンタクト抵抗を n 型、p 型双方で実現するには、それぞれに対して、低ショットキー障壁高さを示す適切なシリサイドを形成する、デュアルシリサイドコンタクトが必要となる可能性が高い。この際、n 型コンタクトには ErSi₂ のような希土類系シリサイド、p 型には Pd₂Si、PtSi、および IrSi などが候補として挙げられる。

NiSi/Si コンタクト構造では、高温プロセス時に NiSi 多結晶の凝集に伴う界面構造荒れとシリサイドシート抵抗増大の問題が懸念される。その熱的安定性の改善に向けて、様々な元素の添加による界面構造制御技術が報告されている。NiSi 中への 10% 程度の Pt 添加により NiSi 結晶の配向性が制御され、それによって凝集温度を 100°C 程度向上できることが知られている。また、0.5% 程度の C 添加が NiSi 層の熱的安定性向上に効果があることも報告されている。コンタクトにおけるこれらの添加元素が、キャリア移動度やリーク電流などの電気的特性に与える影響については未解明な点もあり、その採用には総合的な検討が必要と考えられる。

接合領域の微細化に伴って、シリサイド形成後の拡散層抵抗の増大が懸念される。これはシリサイド形成により、一定の Si 層が消費されるため、接合領域がさらに浅くなりシート抵抗が増大するためである。Ultra thin body の SOI 構造においては、特に拡散層抵抗が激増するため、電流経路がコンタクト端部に集中し、寄生抵抗が極めて高くなる懸念がある。これを防ぐためには、NiSi や Pd₂Si のような金属リッチなシリサイドの採用による Si 消費量の低減や、シリサイド/Si 界面のさらなる均一化が必要である。しかし、将来的には、S/D のせり上げ構造による、シリサイド形成後の浅接合領域厚さの確保が必須となると考えられる。

浅接合化の進展に伴って、シリサイド形成によって増大する接合リーク電流の問題も深刻となってくる。シリサイド形成時の界面固相反応過程において、Co や Ni は支配的な拡散種であり、なおかつ Si 中での拡散係数が比較的大きい。そのため、接合領域近傍に多量の金属原子が拡散し欠陥を形成することで、接合リーク電流が増大することが報告されている。接合領域へのフッ素ドーピングによって Ni 原子の拡散を抑制でき、接合リーク電流を低減させる技術が報告されている。また、フラッシュランプやレーザーアニール法などを用いた、表面領域に限定した極短時間の熱処理によるシリサイド形成で、金属原子の拡散を最小限に抑える技術も期待される。

浅接合化に伴う問題に対する究極の解決策としては、チャンネルまでにつながる接合領域全てをシリサイドで構成するショットキー S/D 技術が期待される。これにより、拡散層抵抗を一気に下げると同時に、deep S/D 構造や SOI 構造の採用により接合リーク電流抑制が実現できる。ショットキー S/D 技術について ITRS2007 では、Doping Potential Solutions の一つとして、想定開発完了時期を 2013 年として明記されている。ただし、シ

ショットキーS/Dにおいてはソース領域におけるコンタクト抵抗を十分に低減する必要があり、n型およびp型コンタクト双方に対してショットキー障壁高さの十分低いシリサイド材料をそれぞれ選択するデュアルシリサイドコンタクトに加え、不純物界面偏析などを用いた障壁高さのさらなる低減技術が必要となると推測される。

5-6-4 ドーピング技術についてのまとめ

ドーピング関連技術は、ゲート絶縁膜関連技術に比較してデバイス特性への影響が間接的であり、しかも微細デバイスの中で実際にどのような構造になっているかの評価が困難であることから、ITRSにおける要求値の設定に困難がどうしても伴ってしまう。ITRSが想定しているものが特定のデバイスでない結果として避けられない課題と言わざるを得ないが、ドーピング、活性化、エピタキシャル成長、シリサイドーション等の各ユニットプロセスへの要求に対しては、間違いのない方向性を示している。最終的なデバイスの高性能化は、適切なデバイス構造を、各ユニットプロセスの適切な組み合わせることで実現されるが、その検証は、試作に耐えうるユニットプロセスがあって初めて可能となる。したがってさまざまなユニットプロセス技術をデバイス開発に一步先んじて開発することにより、各世代で必要となる技術を適切に見極め、結果的に最適なプロセスを選択することを可能とするものと考ええる。

5-7 Front End Etch Processing

微細化に伴う素子バラツキ抑制の課題は深刻化の一途を辿っている。従来、ゲートCD制御がバラツキ抑制の最重要課題の一つとしてITRS2003、2005では活発に調査・議論されてきた。一方、ITRS2007ではゲートCDバラツキ関連項目の見直しは行われず、Restricted Design導入を前提としてTable上の色分けを2007-2008年に関してはWhiteに、2009年はRedからYellowに置き換えがなされた。要素プロセス技術だけの課題解決では限界に達しつつあるため、周辺技術を含めた総合的アプローチが模索されている結果である。Restricted Designの他にもAPC(Advanced Process Control)技術により複数プロセスを経て増加するバラツキを抑制する試みがデバイスメーカーでは実用的に取り入れられてはじめており、WG3のヒアリングにおいては装置メーカーでの取り組みも紹介され、バラツキ低減検討が多方面に広がっていることが伺われた。ITRS2007のFront End Processing Potential SolutionsのTable中ではITRS2005で一旦簡略化された新規のエッチング方式の項目が改めて示され、ECR(electron cyclotron resonance)、GCIB(gas clustered ion beam)、Neutral Beam、Pulsed plasma、Atomic layer etchingが挙げられている。これも微細化および精度向上に対する多角的な取り組みを反映していると言える。

一方で、素子特性のバラツキは非プロセス起因である不純物分布の統計バラツキを真剣に議論する必要があることが同じくWG3のヒアリングにおいて紹介された。不純物数のバラツキは、まず第1にはマイクロに見た場合のゲート線幅、すなわちLER(Line Edge Roughness)に影響される。しかし、さらに微細化が進むと不純物数そのものの統計的な分布が無視できなくなると予想される。この点がバラツキを議論する際の今後の重要なテーマとなる可能性が高い。LERに関しては以前から問題認識されているものの、未だ有効な対策が打たれていない。ITRS2007においても、微細化が進んでもLERは一定に留まることがScaling上の重要課題であると警鐘を鳴らすに留まっている。今後の検討課題であることは間違いない。

5-8 DRAM Capacitor

ITRSにおけるDRAM記載の中心である汎用DRAMは、セルあたりの蓄積容量と十分なりテンション時間を実現しつつその微細化が進められてきた。微細化が進んでも一定の蓄積容量を確保する方法は、1)限られたセル面積でキャパシタ面積を大きくする方法と、2)容量膜を電氣的に薄くして蓄積容量を大きくする方法で、現実には両方を併用することになる。Stacked DRAMは容量膜薄膜化に重点を置き、Trench DRAM

はキャパシタ面積増加に重点を置いた構造である。本章では、Stack/Trench 構造のそれぞれに対して、ITRS2001 以降のキャパシタ構造の変化と今後の課題について述べる。

5-8-1 Stacked DRAM

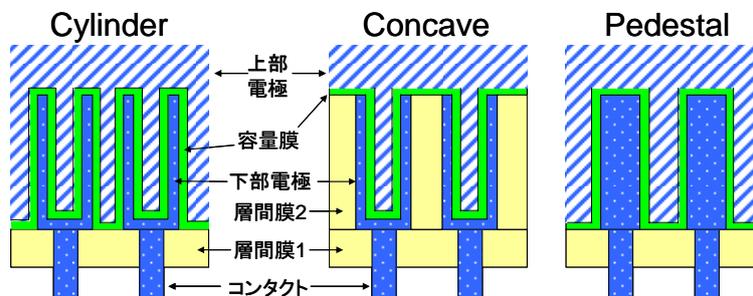
Stacked DRAM では 130nm 世代において、リーク電流の抑制と十分な容量確保の両立が困難になったため、リーク電流増加を抑えつつ電氣的薄膜化が可能な高誘電率膜が導入された。図表 5-8 は ITRS2001 以降の容量構造部分を抜き出して比較したものである。キャパシタ構造は図表 5-9 に示すようなものが実用的であり、容量セルあたりのキャパシタ面積の点では Cylinder 構造が有利であることから、ITRS2001→ITRS2007 と Cylinder 構造の適用期間が延びている。

ITRS2001 では、Strage Node は比較的小さいアスペクト比 A/R を保ちつつ容量膜の高誘電率化を進めるというストーリーであり、将来は比誘電率が 1000 を越える材料が必要とされていた。誘電率の大きな材料はショットキー障壁が低くてリーク電流を抑制できないという実験結果から、2001 年頃の量産・開発は誘電率が 10~50 程度の材料にシフトしている。STO(Strontium Titan Oxide)やBST(Barium Strontium Titan Oxide)の成膜は原料が固体であるということも量産性という点で問題であったが、Ta₂O₅、Al₂O₃、HfO₂、ZrO₂ に対しては気体もしくは液体原料が入手可能であり、量産化の点で有利に働いた。こうした量産・開発動向が反映され、ITRS2003 では材料および比誘電率の要求値が大きく見直された。誘電率の要求値は小さくなり、A/R を大きくしてキャパシタ面積を大きく取ることによって必要な容量を実現するというストーリーに変更された。

	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	
DRAM 1/2 Pitch(nm)	130	115	100	90	80	70	65	57	50	45	40	36	32	28	25	
Capacitor ITRS2001	Cylinder MIS		Pedestal MIM		Pedestal MIM						Pedestal MIM					
ε	TaO 22		TaO 50		BST						???					
ITRS2003			Cylinder MIS	Cylinder MIS/MIM	Cylinder/Pedestal MIM		Pedestal MIM									
ε			22	22	AlO, TaO 40 50		AlO/TaO, Others 50 50 50 50 50 60 60						new 80			
ITRS2005					Cylinder/Pedestal MIM		Pedestal MIM									
ε					AlO, HfO, TaO 40		TaO, TiO 50		new material, Sr-based, perovskites 60 80							
ITRS2007							Cylinder/Pedestal MIM				Pedestal MIM					
ε							HfO, ZrO, TaO 40 43 49				TiO, STO, BST, new material 65 78 98			TiO, STO, BST, new material 130 130 98		

図表 5-8 Stacked DRAM のキャパシタ構造推移(ITRS2001~2007)

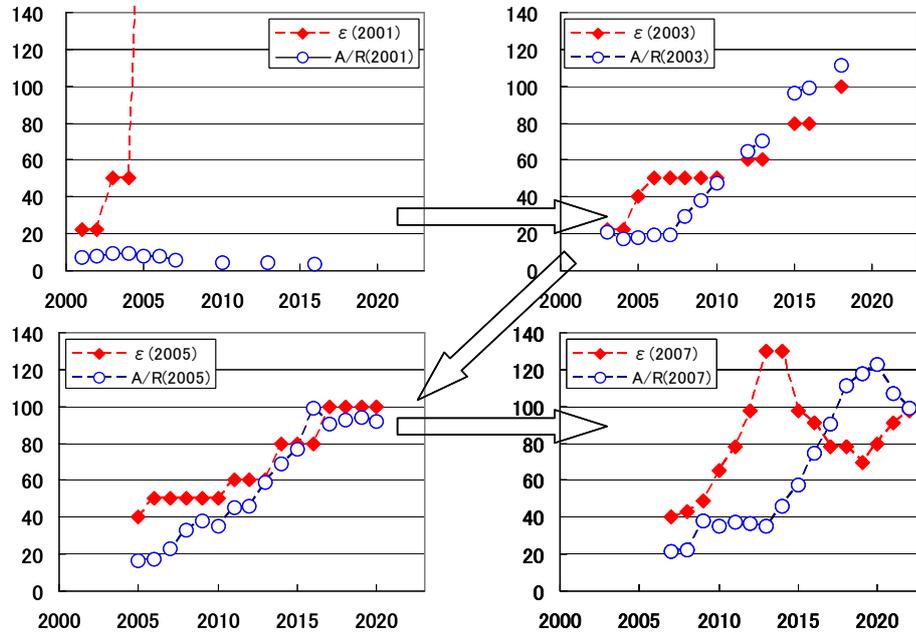
TaO(=Ta₂O₅), AlO(=Al₂O₃), HfO(=HfO₂), ZrO(=ZrO₂), TiO(=TiO₂)



図表 5-9 Stacked DRAM のキャパシタ構造

図表 5-10 は、ITRS2001~ITRS2007 を参照して、容量膜の誘電率 ε と Strage Node のアスペクト比 A/R を量産年に対して示している。ITRS2001 から ITRS2003 では、電極面積を大きくすることによって比誘電率増加に対する要求が緩和されていることが判る。

ITRS2007 ではストーリーに大きな変化が見られた。図表 5-10 に示したように、2013 年頃までの A/R を 40 程度に抑え、その代わりに比誘電率が非常に大きくなった(つまり、ITRS2001 のストーリー方向に若干戻った)。MIM(Metal-Insulator-Metal)構造のメリットの一つは、金属上に High-k 膜を形成すると High-k が配向微結晶になり高い誘電率が得られるということで、 Ta_2O_5 ¹³や ZrO_2 ¹⁴で 50 近い値になると報告されている。しかし、比誘電率が 60 を越えるような材料で量産適用可能という報告は今のところ無い。ITRS2007 の参考文献が 1990 年代のものがいまだに挙げられていることから判るように、高誘電率化の見通しがあつての変更では無い。



図表 5-10 誘電率とアスペクト比 A/R の要求値推移(ITRS2001~2007)

2013~2014 年をピークに比誘電率が減少して A/R が増加するが、これは Strage Node 間のスペースが狭くなって入れられる容量膜の物理膜厚に上限が生じるためである(スペースの半分を容量膜に、残り半分以上を上部電極に割当てている)。

最近になって、 ZrO_2 と TiO_2 を積層にすることで、薄膜化しても従来に較べてリーク電流は抑制できるという報告があつた¹⁵。比誘電率 50~100 となっている時期の容量膜に関しては、高誘電率化と併行して薄膜化可能な材料によるリーク電流低減の検討も行われるものと考えられる。

今後の微細 DRAM では、FinFET などによるセルトランジスタの 3D 化が重要であり、3D FET の導入に際して回路方式の変更なども重要になると指摘されている。

5-8-2 Trench DRAM

Stacked DRAM と比較すると、Trench DRAM では Si 基板に溝を深く形成し Strage Node の A/R(=下部電極面積)を増やすことで SiN 系の容量膜を使い続け、High-k 膜導入を遅らせてきた。蓄積容量を確保するために、Bottle 構造(開口部に較べ Si 基板中で広がった構造)や Stack 用に開発された HSG 構造

¹³ K. Kishiro et al., Structure and Electrical Properties of Thin Ta_2O_5 Deposition on Metal Electrodes, JJAP37, p1336(1998)

¹⁴ K. R. Yoon et al., Performance and Reliability of MIM(Metal-Insulator-Metal) Capacitors with ZrO_2 for 50nm DRAM Application, SSDM 2005, p.188(2005)

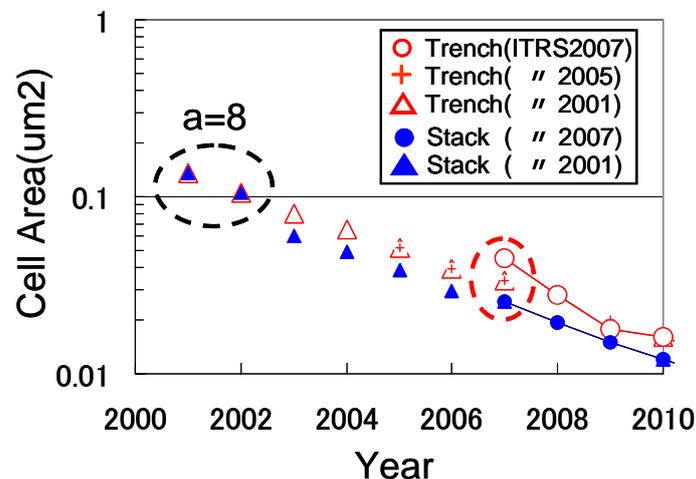
¹⁵ J. S. Lim et al., Ru/ TiO_2 / ZrO_2 / TiN (RIT- TiO_2 / ZrO_2) Capacitor Structure for the 50nm DRAM Device and beyond, SSDM2007, p.1146(2007)

(Hemispherical Si Grains; 電極表面に凹凸を形成する構造。MIM では使われない)を併用している。

図表 5-11 は、ITRS2001 以降の Trench DRAM のキャパシタ構造部分を抜き出して比較したものである。キャパシタ構造変化の傾向は、1)Metal 電極導入が徐々に遅れている、2)High-k 膜の導入が徐々に遅れている、3)ITRS2001 では下部電極は Si だったのに対して、ITRS2003 で Metal 下部電極(MIM 構造)が将来は必要という方向に変化した。ITRS2007 では、Metal/High-k/Si(MIS)構造の導入が 2007 年から 2008 年に先延ばしされた。図表 5-12 は、セルサイズのトレンドを ITRS2001、ITRS2003 と ITRS2007 を比較したもので、Stack DRAM(ITRS2001 と ITRS2007)も参考にプロットしてある。Stacked DRAM の Cell Area Factor [a]が 2003 年から 6 になったのに比べ、Trench DRAM は将来に亘り 8 のままであるため、セル部の面積は Stack の 1.33 倍(単純比較でチップサイズは~1.2 倍)であり、チップサイズの点で不利になっている。ITRS2007 では MIS 構造の導入が 1 年先延ばしされた結果、ITRS2005 比較で 2007 年のセル面積が 1.33 倍、Stack と比較すると 1.8 倍という大きな値になってしまっている。こうした技術的境界の反映か、2008 年になって Trench DRAM メーカーの Qimonda が Stacked DRAM への移行を発表した¹⁶。

	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	
DRAM 1/2 Pitch(nm)	130	115	100	90	80	70	65	57	50	45	40	36	32	28	25	
Capacitor ITRS2001	Poly-Si/Insulator/Si		Metal or Poly-Si/Insulator/Si				Metal/Insulator/Si									
Dielectric	NO		High-k				Epi High-k or High-k									
A/R	43	48	61	64	72	81	88			91			104			
ITRS2003	Poly-Si/Insulator/Si		Metal/Insulator/Si				Metal/Insulator/Si or Metal/Insulator/Metal									
Dielectric	NO		High-k				Epi High-k(MIS) or High-k(MIM)									
A/R	45	55	58	73	78	79	93	94			113		117			
ITRS2005	Poly-Si/Insulator/Si		Metal/Insulator/Si				Metal/Insulator/Si or Metal/Insulator/Metal				Metal/Insulator/Metal		Metal/Insulator/Metal			
Dielectric	High-k		High-k				High-k				High-k		High-k			
Trench A/R			60	75	80	90	95	105	120	135	145	160	170			
ITRS2007	Poly-Si/NO/Si		Metal/High-k/Si				Metal/Insulator/Metal				Metal/Insulator/Metal					
Dielectric	NO		High-k				High-k				High-k					
Trench A/R			70	74	83	89	89	89	89	89	89	94	97			

図表 5-11 Trench DRAM のキャパシタ構造推移(ITRS2001~2007)



図表 5-12 Trench DRAM セル面積の推移比較(ITRS2001~ITRS2007)

汎用 DRAM と比較すると、混載 DRAM の場合にはセルサイズ縮小の要求は必ずしも律速要因にならない。一方、ロジック部の形成に際してコンタクトのアスペクト比が Stacked DRAM に比べて小さく保てるなどの利点があり、汎用 DRAM 用では消えたとしても、混載 DRAM 用として Trench 構造は残ると考えられる。

16

http://www.qimonda.com/about/press/releases/02_2008_DRAM_e.html?query=*&sort=date-released&category=&searchroot=

5-9 Non-Volatile Memory

NAND フラッシュのロードマップを図表 5-13A に、NOR フラッシュのロードマップを図表 5-13B に示す。フラッシュメモリの Feature size は、ITRS2005 に対しては 2 年の前倒し、ITRS2006 Update に対しても 1 年前倒りがなされた。2008 年に NAND フラッシュで poly ハーフピッチ 45nm の製品が製造されると予測している。

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
Feature Size (nm)	51	45	40	36	32	28	25	22	20	19	18
Interpoly Dielectric Material	ONO		ONO/High-K		High-K						
Interpoly Dielectric Thickness(nm)	10 - 13		5 - 12		4 - 6		3 - 5				

図表 5-13A NAND フラッシュのロードマップ

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
Feature Size (nm)	65	57	50	45	40	35	32	28	25	22	20
Interpoly Dielectric Material	ONO		ONO/High-K		High-K						
Interpoly Dielectric Thickness(nm)	13 - 15		6 - 13		4 - 6		3 - 5				

図表 5-13B NOR フラッシュのロードマップ

ITRS2007 では内容の見直しが大きく行われた。NOR フラッシュ、NAND フラッシュ双方ともに、微細化の継続のためには、フローティングゲート技術に代わる新しい技術が必要である。フローティングゲート技術は NAND フラッシュ、NOR フラッシュともに主としてマルチレベルセルへのクロストーク効果の影響により微細化の限界を迎える事より、フローティング構造として 2018 年以降の Table が削除された。

NAND フラッシュ、NOR フラッシュともに、ワードライン方向でのフローティングゲート上の ONO 絶縁膜の膜厚による poly1-poly1 間の微細化の限界に直面している。High-k インターポリの導入により、インターポリの EOT を低減し、リテンション特性を損なうことなくカップリング比を維持することができる。従って、トンネル絶縁膜およびインターポリ絶縁膜材料の項目が新たに追加された。High-k インターポリは 2011 年より ONO に代わり適用されるとしているが、カラーは赤であり技術的な解決策は未だ示されておらず、High-k 化は厳しい状況にある。

また STI 形成に関する記載が更新された。アスペクトレシオが NAND と NOR とに分けられ、NAND における埋め込み技術が追加された。フラッシュメモリの X 方向(ワードライン方向)における微細化では、STI トレンチの深さを維持するためにトレンチのアスペクト比が増加し、それに対する STI 酸化膜の埋め込みが重要な課題となる。NAND ハーフピッチ 22nm でのアスペクト比は 12.4~17.9、NOR ハーフピッチ 22nm でのアスペクト比は 7.8~12.7 とされている。

上記の課題に対してフローティングゲート技術に代わる新構造が必要とされ、チャージトラッピングフラッシュメモリテクノロジーの記載が追加された。チャージトラッピングメモリテクノロジーは、シリコン窒化膜もしくは high-k 絶縁膜中に蓄えられたチャージを原理とする技術である。チャージトラッピング技術による主なアドバンテージは①フローティングゲート間の干渉の抑制 ②高スケーラビリティ ③混載メモリアプリケーションのインテグレーションが容易 ④トンネル酸化膜の局所的な欠陥による影響の軽減 ⑤消去ばらつきに有利 等が挙げられている。

5-10 FeRAM

ITRS2001 年版の FeRAM ロードマップは、製品出荷または製品出荷表明にほぼ沿ったものであったが、2005 年度版は学会発表を含めた技術発表に沿ったものとなった。2007 年度版は FeRAM メーカーに依頼したアンケートと面接の結果に基づいて数値をまとめたものである。2007 年版における主な変更点は以下のとおりである。

1. technology cycle は 1 年間から 3 年間へ
2. 学会発表における技術開発レベルから量産レベルに変更
3. 0.13 μm CMOS 技術と 0.18 μm FeRAM(mixed signal)製品
4. エンデュランスは $1\text{e}14$ 回
5. プレーナ構造 から三次元(3D)構造への移行は 2016 年

2001-2006 年版の technology cycle は 1 年間の scaling factor が 0.7 倍であった。しかし FeRAM デバイスメーカーは 0.7 倍のペースが維持できなかった。そのため、毎年 ITRS の FeRAM ロードマップと製品との間は乖離していった。他の半導体メモリに比べて強誘電体膜の信頼性に制限があり、キャパシタ形成が難しいため現時点ではメモリ容量は汎用 DRAM の 1000 分の 1 程度でしかない。そのため 3 年間で 0.85 倍の scaling factor の technology cycle に変更した。

2007 年には、量産する会社が 3 社から 4 社になった。1 社増えたことにより、現実的な数字が見えるようになったので、学会発表の数値をもとに、量産の数値を変更した。また、デバイスメーカーの web page で、販売している商品の技術を把握しやすくなった。2007-09 年の数字は 2 社の製品に基づいたものである。FeRAM のキャパシタ形成は難しいため、2007 年の 0.18 μm FeRAM 設計と 0.13 μm の mixed signal の製品に期待がかかっている。Mixed signal の製品はいろいろな用途があるので、FeRAM デバイスメーカーは今後成長が見込まれる。

先端の製品は、読み書きの繰り返しに対するエンデュランスが 10^{14} 回必要である。デバイスメーカーによっては、エンデュランスには 10^{10} から 10^{14} の違いがある。FeRAM はエンデュランスの評価基準がないため、実用的な時間内でテストする方法が極めて重要である。このエンデュランスの問題を解決するために FeRAM を信頼性加速試験した研究が行われている。

求められる最小スイッチング電荷を強誘電膜の単位面積あたりのスイッチング電荷 $Q_{sw}(30\mu\text{C}/\text{cm}^2)$ と仮定)で割ることにより、必要なキャパシタ面積が得られる。この面積がキャパシタの投影面積より大きい場合は、3D キャパシタが適用されることになる。この議論から 3D キャパシタは 2016 年までに必要となる。3D キャパシタの代わりに新強誘電体材料(BiFeO_3 , doped-BFO)の開発が行われている。BFO を用いることによって、スイッチング電荷量 $100\mu\text{C}/\text{cm}^2$ のキャパシタを可能とする。BFO の材料開発が向上すれば、3D キャパシタの技術の登場は遅れることになる。以上の議論に基づき改訂された FeRAM の表の抜粋を図表 5-14 と 5-15 に示す。

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
FeRAM technology – F(nm)[A]	180	180	180	150	150	150	130	130	130
FeRAM cell size – area factor a in multiples of F2 [B]	22	22	22	20	20	20	16	16	16
FeRAM cell size(μm^2) [C]	0.713	0.713	0.713	0.450	0.450	0.450	0.270	0.270	0.270
FeRAM cell structure [D]	2T2C	1T1C							
FeRAM capacitor structure [E]	stack								
FeRAM capacitor footprint(μm^2) [F]	0.330	0.330	0.330	0.199	0.199	0.199	0.106	0.106	0.106
FeRAM capacitor active area(μm^2) [G]	0.330	0.330	0.330	0.199	0.199	0.199	0.106	0.106	0.106
FeRAM cap active area/footprint ratio	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00
Ferro capacitor voltage(V) [I]	1.50	1.50	1.50	1.20	1.20	1.20	1.20	1.20	1.20
FeRAM minimum switching charge density($\mu\text{C}/\text{cm}^2$) [J]	13.5	13.5	13.5	19.9	19.9	19.9	34.0	34.0	34.0
FeRAM endurance(read/write cycles) [K]	1.0E+14	1E+14	1E+14	1E+14	1E+14	1E+14	1E+15	1E+15	1E+15
FeRAM nonvolatile data retention (years) [L]	10 Years								

図表 5-14 FeRAM Technology Requirements—Near-term Years(Table FEP9a)

Year of Production	2016	2017	2018	2019	2020	2021	2022
FeRAM technology – F(nm) [A]	90	90	90	65	65	65	65
FeRAM cell size – area factor a in multiples of F2 [B]	14	14	14	12	12	12	12
FeRAM cell size(μm^2) [C]	0.113	0.113	0.113	0.051	0.051	0.051	0.051
FeRAM cell structure [D]	1T1C						
FeRAM capacitor structure [E]	3D						
FeRAM capacitor footprint(μm^2) [F]	0.041	0.041	0.041	0.016	0.016	0.016	0.016
FeRAM capacitor active area(μm^2) [G]	0.100	0.100	0.100	0.069	0.069	0.069	0.069
FeRAM cap active area/footprint ratio	2.46	2.46	2.46	4.25	4.25	4.25	4.25
Ferro capacitor voltage(V) [I]	1.00	1.00	1.00	0.70	0.70	0.70	0.70
FeRAM minimum switching charge density($\mu\text{C}/\text{cm}^2$) [J]	30	30	30	30	30	30	30
FeRAM endurance(read/write cycles) [K]	>1.0E16						
FeRAM nonvolatile data retention (years) [L]	10 Years						

図表 5-15 FeRAM Technology Requirements—Long-term Years(Table FEP9b)

図表 5(FEP9a,9b)に対する注釈

[A] 最小寸法「F」は、FeRAM が単体であるか混載であるか
どうかにかかわらず最初の 4 つの会社から量産された製品の寸法で定義される。

[B] =セルサイズ/F²。

[C]セルサイズ=a*F²。

[D] セル構造に加え、セル配置も研究されている。例) Chain-FeRAM

[E] 右図参照。

[F] {(セルサイズ)^{1/2}-(キャパシタースペース)}²と仮定。

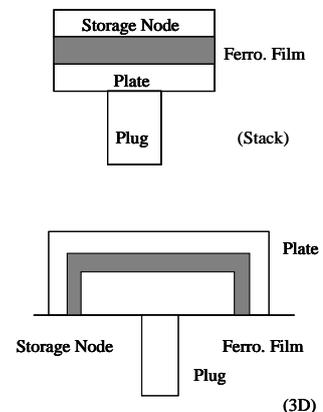
ここでキャパシタースペース=1.5*F。

[G] 3D はペデスタル構造を仮定した。

[H] 3D キャパシタの場合は 1 を超える。それ以外は 1 である。

[I] V_{op}=動作電圧。低電圧動作が課題。2003 年の松下の 0.18 μm のサンプル(SBT)では 1.1V である。

[J] $\Delta V_{\text{bitline}}=140 \text{ mV}$ が必要で C_{bitline} は DRAM と同じと仮定し、 $V_{\text{bitline}}*C_{\text{bitline}}$ で計算。



[K] 100 MHz*10years=3E+16 約 1E+15 回は SRAM や DRAM と競合するには必要である。

[L] 応用に依存する。85°C は IC カードのスペックから。

5-11 まとめと今後の課題

2007 年度の WG3(FEP)活動として、『特性ばらつき』に関する技術調査(STRJ 独自活動)と ITRS2007 年版の改定に向けた技術的検討を行った。

『特性ばらつき』の技術調査に関しては、1)デバイス特性ばらつきの現状と研究動向、2)プロセス制御の現状、3)設計(DFM)での対策 と3つの観点から4人の講師に講演をお願いした。今後は、FEPの各要素技術の制御という観点で調査・検討活動を継続する予定である。

ITRS2007 年版では、Thermal/Thin Film(High-k/Metal)、Doping、DRAM、Flash、FeRAM など重要な修正が行われた。その内容に関しては本報告書で詳細に説明している。

Starting Materials ではロードマップの修正はほとんど無かったが、450mm ウェーハの量産適用時期の妥当性については異論が多く、ITRS 会議の FEP プレゼンでも 450mm 検討開始時期を 2009 年とされた。

注:経験的に量産適用まで 6 年必要とされるので 450mm 導入は～2015 年と言っているに等しい。Starting Materials subTWG は『450mm ウェーハを 2012 年に準備することは可能』というスタンスで 2012 年量産化を維持しているが、経済性の観点から妥当な大口径化時期の見直しが必要とされている。

ITRS2007 では、US_FEP の要求(Si/Silicide 界面抵抗が限界)を PIDS が受容れて、HPトランジスタのオン電流要求値が低くなる方向に修正された。しかし、上記限界とされる値の一桁近く低い Si/Silicide 界面抵抗値が可能という学会報告が出始めていることから、見直しの検討を開始している。また、寄生抵抗に対するコンタクト(ホール内の金属抵抗)の影響が抜けているので、日本国内で PIDS/配線/FEP 間の意見調整を開始した。PIDSからの要求が公式に出されれば、配線 and/or FEP の Requirement Table にロードマップが記載されることになろう。

Flash メモリに関しては、現状の Floating Gate 構造が 22nm(NAND)～32nm(NOR)あたりで限界を迎えるという共通認識があり、ITRS2008update で Charge Trapping タイプを想定した Requirement Table の修正が行われる予定であり、材料や構造の検討も必要になる。

5-12 謝辞

2007 年度の技術調査で下記の方々にご協力いただきました。東京エレクトロンの友安さん、ソニーの菅野さん、日本シノプシスの高田さん、東京大学の平本先生、それに加えて、本報告書をまとめるにあたり意見を参考にさせていただいた東芝の須黒さん(Silicide)と澤田さん(DRAM)に深謝いたします。

ヒアリング日	テーマ	講師
2007 年 7 月 3 日	装置技術からのばらつきへの取組み	友安昌幸氏(東京エレクトロン)
8 月 9 日	デバイスから見たばらつき	菅野道博氏 (ソニー)
〃	プロセスデバイスから DFM へのアプローチ	高田秀希氏 (日本シノプシス)
11 月 2 日	微細トランジスタのランダム特性ばらつき	平本俊郎先生(東京大学)

注:8月9日の会議は、WG10 と共同会議として開催した。