第 16 章 故障解析 TF

16-1 はじめに

故障解析 TF の活動は、

(1) 故障解析 TF の基盤固めのための最先端故障解析技術などに関する議論、

(2) 故障解析ロードマップの見直し、

(3) 標準化のための活動、

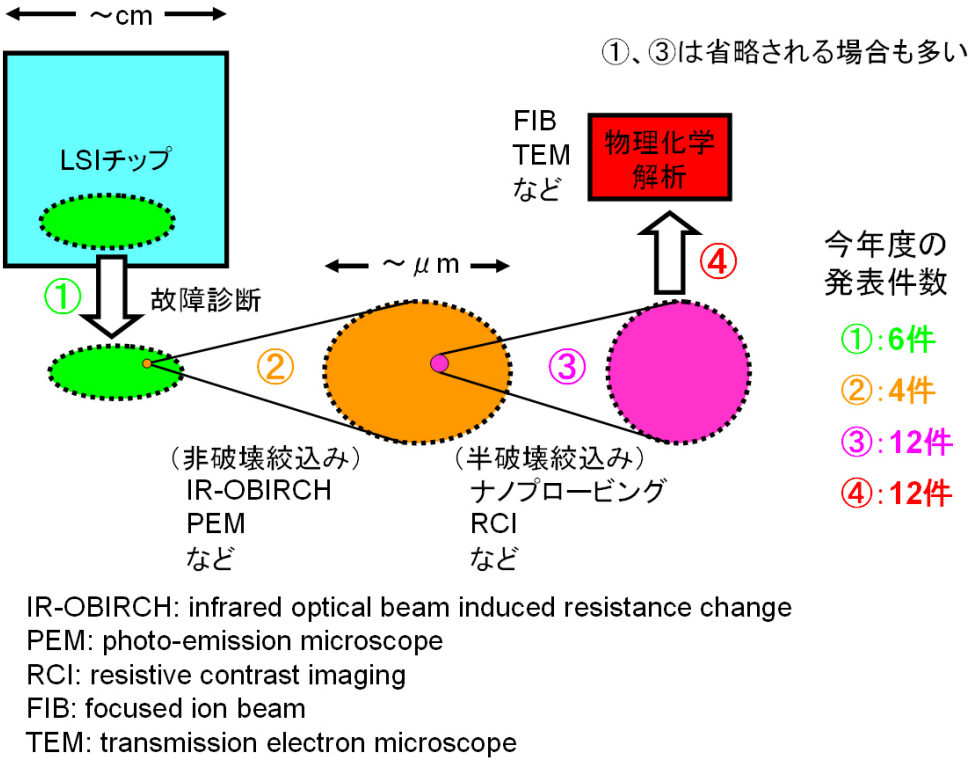
からなる。

故障解析 TF は他の WG とは異なり、ITRS 版が無い。このため、(2)のロードマップ作成よりは、(1)の半導体各社の故障解析技術力向上を目的とした討議に重点を置いている。討議のベースとして、対象技術の第一人者や第一線で故障解析を実施している技術者を招き、講演を行なっていただくことを基本としている。また、今年度は、(3)の活動は故障解析標準フォーマットを扱うソフト開発の工数不足により、目だった進捗はなかった。

第 2 節では(1)の内容の概要を、第 3 節ではその内の故障診断に関して述べる。

16-2 2008 年度の活動概要

LSI チップの故障解析は図表 16-1 に示したように大きく 4 つのステップに分かれる。



図表 16-1 LSI チップ故障解析の4つのステップ

(第①ステップ)LSI チップ全体から故障診断により、チップ内の限定した個所まで絞り込む。

LSI テスタでのテスト結果と設計データのみを用いて、ソフトウェアにより故障個所を絞り込む。

(第②ステップ)物理現象を利用した非破壊絞込み技術により、マイクロメータオーダまで絞り込む。

レーザ加熱に対応した物性値の変化を利用する IR-OBIRCH(infrared optical beam induced resistance change)法や発光を検出する PEM(photo-emission microscope)法などを用いる。

(第③ステップ)チップの一部を破壊し、より狭い領域まで絞り込む。

金属微細探針などを利用し電気的測定を行なうナノプロービング法、電子ビーム照射時の吸収電流を利用して抵抗異常を観測する RCI(resistive contrast imaging)法などを用いる。多くの場合、配線層の一部または全部を除去した後、観測する。

(第④ステップ)物理化学解析

FIB(focused ion beam)などで断面や平面を出し、TEM(transmission electron microscope)などで観測する。

近年、ステップ①と④の重要性が増してきたが、現実の故障解析の際は、まだまだ省略されることも多い。

各ステップに関する今年度の発表件数は各々、6,4,12,12 件である。

議論したテーマと講師(発表者)を図表 16-2 に一覧で示す。

テーマは出来る限り同一日に「特集」という形で近いものを集め、議論し易いようにした。特集として取り上げたテーマの大枠は以下の 6 つである。

(1) 完全非破壊非接触絞込み

従来の絞込み法と異なり、電極の取り出しが不要な方法として、開発中の、走査レーザ SQUID 顕微鏡(L-SQUID)法,レーザテラヘルツ放射顕微鏡(LTEM)法,フォトルミネッセンス(PL)法,光散乱法、の 4 つの手法が議論された。

(2) 多様化・高度化した電子顕微鏡技術

TEM トモグラフィーの事例のほか、見えない欠陥を見た例として応力観測、球面収差補正 TEM により As の注入異常を検出した例などが紹介された、議論された。

(3) 電子ビームを用いた絞込み手法

吸収電流を利用した RCI 法に関するものが最も多く、EBIC(electron beam induced current)を利用したものと VC(voltage contrast)を利用したものも報告された。ほぼ全半導体メーカーから、現状報告がなされ、議論された。

(4) 故障診断

多くの半導体メーカーから、現状報告がなされ、議論された。16-3 節で概要を紹介する。

(5) Low-k 膜評価

3 件の報告があり、議論された。

(6) ドーパント/キャリア分析

第1弾として3件の報告があり、議論された。第2弾はさらに多くの手法を含め4月に議論する予定である。来年度の報告書でまとめて報告する予定である。

これらの特集テーマ以外に、日本最大の故障解析関連の会議である LSITS(LSI テスティングシンポジウム)より委員の関心が高いものを取り上げ、LSITS での発表者に講師を依頼し、議論した。今年度は、nm オーダーの X 投透視や X 線 CT に関するもの、超伝導転移点を利用したマイクロカロリーメータによる X 線分光に関するもの、TEM での低角散乱による暗視野観測での欠陥検出に関するもの、の 3 件であった。

16-2-1 完全非破壊非接触絞込み

開発中の手法として、走査レーザ SQUID 顕微鏡(L-SQ : scanning laser-SQID microscope, SQUID: superconducting quantum interference device)法、無バイアスレーザテラヘルツ放射顕微鏡(LTEM: laser terahertz emission microscope)法,フォトルミネッセンス(PL: photo luminescence)法,光散乱法が議論された。

これらの手法の共通の特徴は、(1)完全非破壊・非接触で、欠陥の絞込みが可能、(2)インプロセスでの解析も可能、(3)ウェハスケールでの解析も可能、である。

従来の故障個所絞込み手法では、上記(1)は行なえないし、(2)も制限がある。

4 つの手法の原理や観測結果を簡単に紹介する。

開催日/特集	テーマ	講師	分類
第29回 2008/4/25 完全非接触 故障解析	フォトルミネッセンスと光散乱によるLSI故障解析技術の開発	棚橋克人 (富士通研究所)	②
	レーザテラヘルツ放射顕微鏡によるLSI故障解析技術の開発	山下将嗣 (理化学研究所)	②
	レーザSQUID顕微鏡による2段階絞込み法を用いた故障箇所絞込みの試み	二川 清 (NECエレクトロニクス)	②
第30回 2008/6/13 電子顕微鏡 解析技術の 多様化と高度化	物理解析における電子顕微鏡技術の多様化と高度化への要求	朝山匡一郎 (ルネサステクノロジ)	④
	応力・誘電率の評価と3次元観察技術	中西伸登 (ルネサステクノロジ)	④
	分析電子顕微鏡の高度化	今野 充 代理:砂子沢 (日立ハイテクノロジーズ)	④
	高分解能電子顕微鏡の高度化	大島 義文 (東京工業大学)	④
第31回 2008/9/1 電子ビームを 用いた 絞込み手法	電子線の振る舞いと基礎	多持 隆一郎 (日立ハイテクノロジーズ)	③
	吸収電流法とEBICについて	野久尾 毅 江藤 義之 (日本電子)	③
	吸収電流法の検出感度調査と解析事例	池田洋直 (セイコーエプソン)	③
	EBAC解析の適用事例	嶋瀬 朗 (ルネサステクノロジ)	③
	吸収電流法(事例紹介)	西塚 勝 (ソニー)	③
	電子ビーム吸収電流法による解析事例と現状の課題	植木悠介 (東芝マイクロエレクトロニクス)	③
	吸収電流法を利用したLSIの故障解析事例	和田 慎一 (NECエレクトロニクス)	③
	吸収電流法による故障指摘箇所の解析事例	鳥山 (日立製作所)	③
	吸収電流及びEBIC解析事例と問題点	長田 辰也 (沖電気工業株式会社)	③
	吸収電流、EBIC不良解析事例と課題	古谷 仁 (富士通マイクロエレクトロニクス)	③
	リーク系不良に対するEBAC、VC、EBIC法を用いた絞込み検討事例	渡辺雄一 (三洋半導体)	③
	Low-k膜デバイスの吸収電流像評価の課題	畑 良文(松下電器産業)	③
第32回 2008/10/24 故障診断(1)	故障診断技術を利用した不良解析と課題について	小西永二 (NECEL)	①
	弊社での不良解析の課題について	渡辺雄一 (三洋半導体)	①
	大量診断結果を用いた故障解析	藤見孝弘 (富士通マイクロエレクトロニクス)	①
	クロックサイクル時間より小さなディレイ欠陥に対する 故障診断の指摘精度評価	佐藤康夫 (日立製作所)	①
2008/10/24 Low-k膜評価	Low-k/Cu配線技術の進展と評価・解析技術	後藤欣哉 (ルネサステクノロジ)	④
	ドライエッチング工程におけるポーラス絶縁膜材料NCSのLow-kダメージ	射場義久 (富士通マイクロエレクトロニクス)	④
	EELSによるポーラスLow-k膜の構造解析の検討	橋本秀樹 (東レリサーチサンター)	④
第33回2008/12/12 故障診断(2)	故障解析(全般)の現状と問題点	栗原美智男、原 啓良 (東芝)	①
	ルネサステクノロジにおける故障診断の現状	中尾教伸 (ルネサステクノロジ)	①
2008/12/12 LSITS2008より(1)	ナノメートルX線検査装置の撮像例	斎藤 泰(東研)	②
	マイクロカロリーメータを用いた低加速X線分析システム	田中啓一 (エスアイアイ・ナノテクノロジー)	④
第34回 2009/2/13 ドーパント/ キャリア 分析(1)	SCMを用いた半導体デバイスのキャリア分析の現状と課題	藤田高弥 (東レリサーチセンター)	④
	SNDMを用いた半導体デバイスのキャリア分析の現状と課題	本田耕一郎 (富士通研究所)	④
	SSRMを用いたキャリア分析	張 利 (東芝)	④
2009/2/13 LSITS2008より(2)	LAADF-STEM 法を用いた結晶欠陥起因不良の解析	中西 伸登 (ルネサステクノロジ)	④

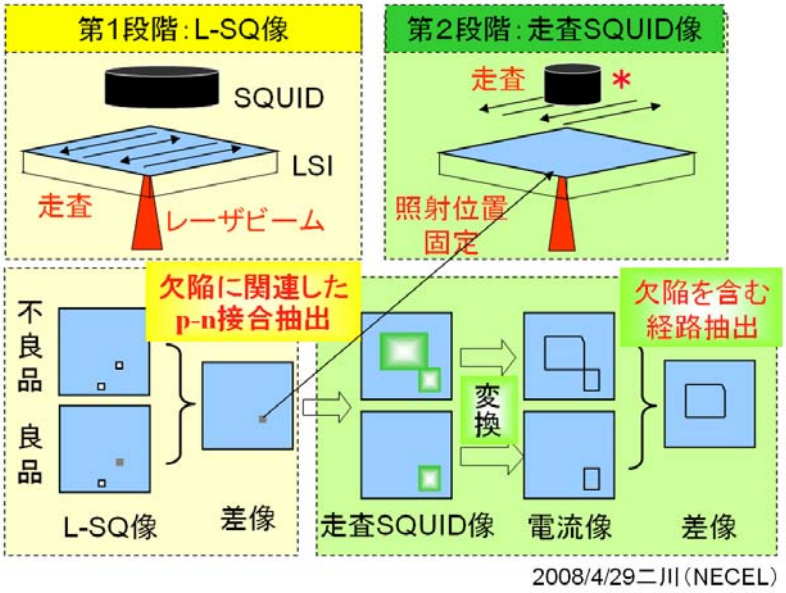
図表 16-2 議論したテーマと講師(発表者)一覧

16-2-1-1 L-SQ 法

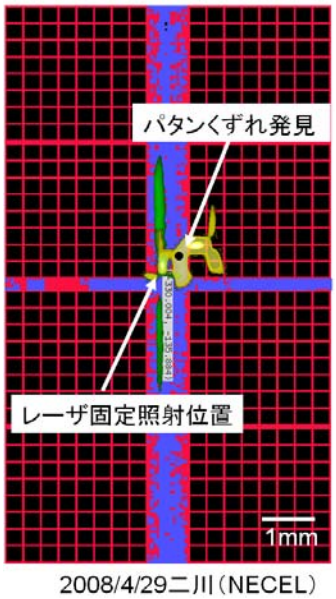
図表 16-3 に L-SQ を用いた 2 段階絞込み法の概要を示す。従来、L-SQ 法ではこの内の第 1 段階のみを用いて絞込む方法の検討がなされてきた。その結果、L-SQ 単独で故障個所が絞り込めるのは断線個所だけであり、それ以外の欠陥は L-SQ 単独で絞り込めた事例はなかった。2 段階絞込み法は断線以外の欠陥も L-SQ 単独で絞り込むことを狙った手法である。説明のための簡単な例として、p-n 接合が 2 個所のみ存在する場合について図表 16-3 を参照して説明する。上側の p-n 接合に接続された配線にショート欠陥が存在し、その結果その p-n 接合にレーザビームを照射した際には良品と不良品で光電流が流れる経路が異なる場合を想定している。下の p-n 接合では、良品でも不良品でも同じ経路に光電流が流れる。

第 1 段階では従来の L-SQ 法で良品と不良品の L-SQ 像を取得する。すなわち、LSI チップとレーザを相対的に走査し、レーザ照射により発生した光電流が誘起する磁場を SQUID 磁気センサで検出し像を得る。その結果、L-SQ 像で得られるコントラストでは、上側の p-n 接合で差が見られる。

第 2 段階では、この差が見られた p-n 接合にレーザビームを固定照射し光電流を発生させた状態で、SQUID 磁気センサを走査して走査 SQUID 像を得る。このようにして得られた走査 SQUID 像(磁場像)をフーリエ変換することで、電流像が得られる。この電流像での電流経路は、良品と不良品では異なり、その差がある電流経路にショート欠陥が含まれる。良品と不良品を入れ替えて考えると、断線欠陥もこの方法で絞り込める。それらの合成として複雑な欠陥も絞り込める。



図表 16-3 L-SQ を用いた 2 段階絞込み法の概要：断線以外の絞込みも可



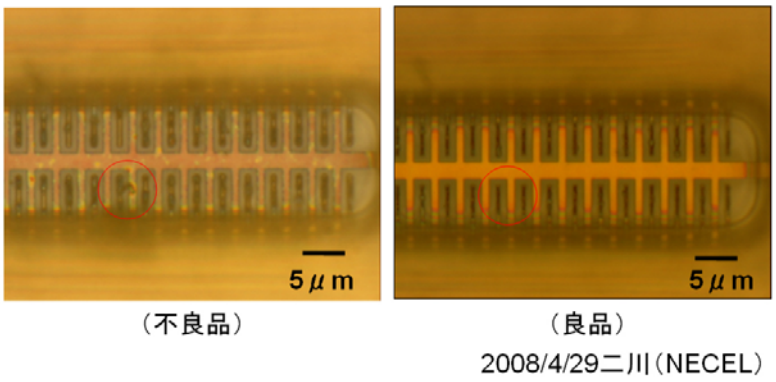
図表 16-4 レイアウトと良・不良電流像の重ね合せ

実際のデバイスの複雑な欠陥を、この方法で絞り込んだ事例を図表 16-4 と図表 16-5 を参照して説明する。図表 16-4 はレイアウトと良品電流像(緑)と不良品電流像(黄色)を重ね合せたものである。良品と不良品の電流経路が異なる個所を金属顕微鏡で観察していったところ、不良品の電流経路の一部でパタンくずれが発見された。それを光学像(金属顕微鏡)で見たのが図表 16-5 である。赤丸で囲ったところに数ミクロンの大きさのパタンくずれが不良品においてのみ見られることが分かる。

16-2-1-2 LTEM 法

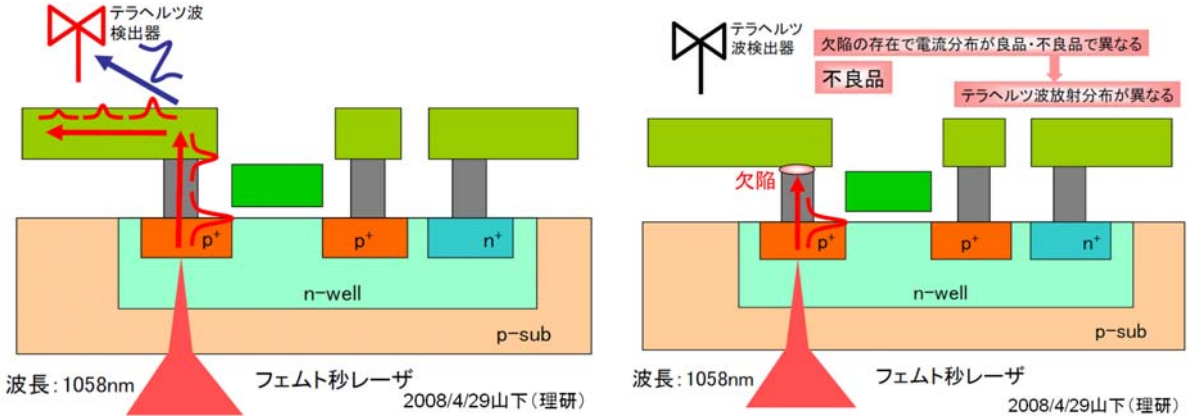
次に、図表 16-6 を参照して、無バイアス LTEM 法を用いて LSI の故障解析を行なう仕組を説明する。図(a)に示すように、p-n 接合部にフェムト秒レーザを照射すると急激な電流の流れによってテラヘルツ電磁波(THz 波)が発生する。この THz 波を検出して、サンプルを走査することで LTEM 像を得る。図(b)のように、対象となる

p-n 接合に直列に接続された配線に断線欠陥があると、THz 波の発生が阻害される。図表 16-7 のように、欠陥の存在により THz 波の分布像に差が見られるので、その情報から欠陥個所が絞り込める。



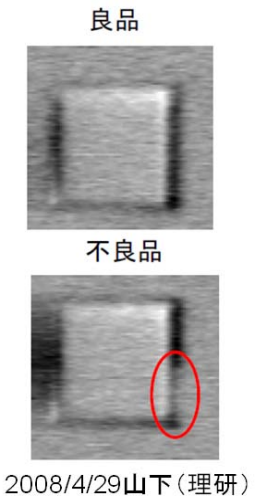
図表 16-5　パタンくずれ個所(表面からの観察：光学像)

図表 16-8 に断線位置により、THz 波の強度が変わる様子を示す。断線位置により THz 波の強度が大きく変化していることが分かる。 今後は、大阪大学と共同で、良・不良品で差がある個所にレーザを固定照射した際の THz 波の時間波形を電磁界シミュレーションの結果と比較することで欠陥位置を推定できないかの検討を行なっていくとのこと。

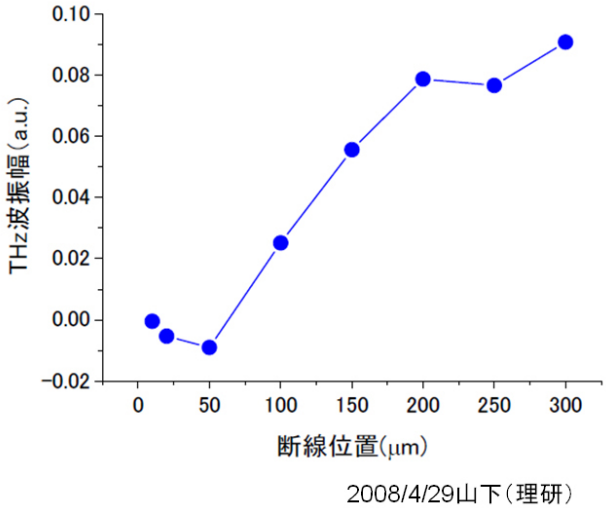


(a)　良品の場合　　(b)　不良品の場合

図表 16-6　無バイアス LTEM による LSI 故障解析の原理



図表 16-7　良・不良品の LTEM 像

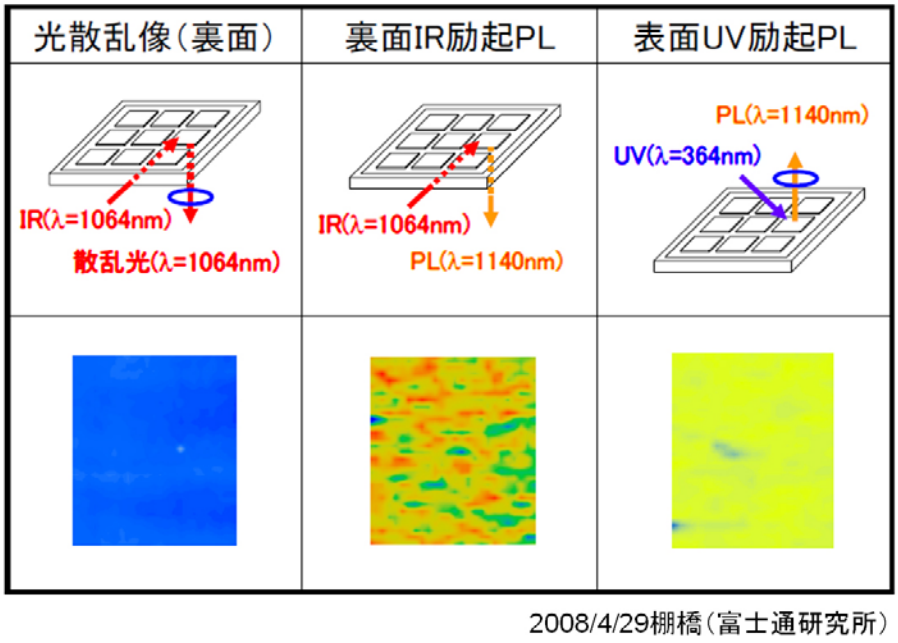


図表 16-8　断線位置による THz波信号強度の変化

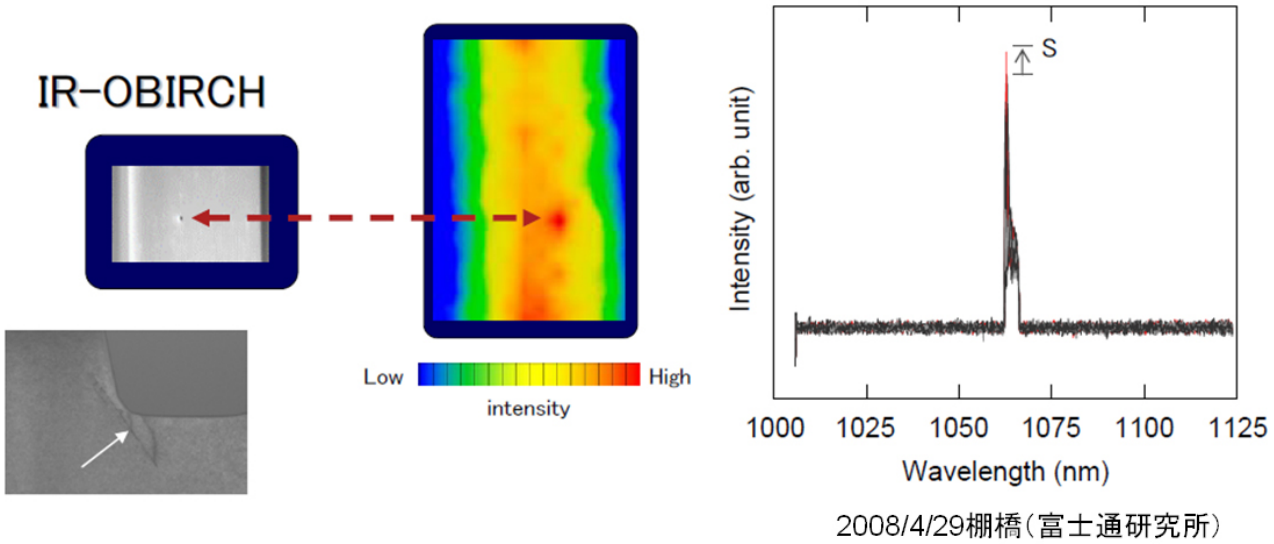
16-2-1-3 光散乱法と PL 法

次に、光散乱法と PL 法について述べる。その概要と観察結果の例を図表 16-9 に示す。光散乱法では入射光と同じ波長の光を検出する。PL 法では Si のバンドギャップより高いエネルギーの光を入射し、Si のバンドギャップに相当する波長 1140nm の光を検出する。今回の例では、チップ裏面から入射する場合は光散乱法でも PL 法でも波長 1064nm の赤外光を用いた。PL 法で表面から励起する場合は波長 364nm の紫外光(UV: ultraviolet)を用いた。

図表 16-10 に光散乱法によりリーク個所を絞り込んだ事例を示す。IR-OBIRCH 法と同じ位置にコントラスト異常が見られ、その個所で物理的欠陥が発見された。



図表 16-9 光散乱法と PL 法の概要と観察結果の例



図表 16-10 光散乱法によりリーク個所を絞り込んだ事例

16-2-2 多様化・高度化した電子顕微鏡技術

図表 16-11 に TEM(transmission electron microscope,透過型電子顕微鏡)による解析手法を分類し、その用途例を示す。これらの手法・用途例の中から、STEM のトモグラフィーによる 3 次元観察の例、歪(応力)評価の例、EDX による観察例、を示す。

16-2-2-1 3 次元観察

図表 16-12 はトモグラフィーによる 3 次元観察の必要性を分かり易く示した写真である。このような光学写真であれば、よく見れば、気付くことも、TEM の写真では気付かず、錯覚を起こすことが多い。このような錯覚を防ぐためにも 3 次元観察が必要である。

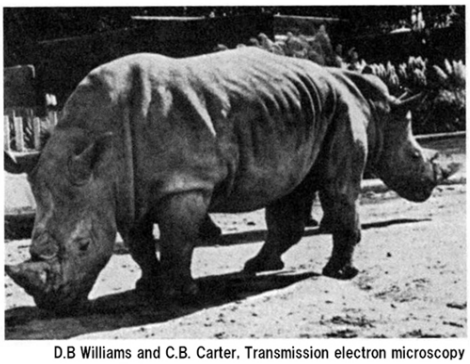
図表 16-13 に TEM トモグラフィーによる 3 次元構築像の例を示す。ここでは印刷されているため一方向からしか見えないが、実際はコンピュータ画面上で、どの方向からでも見ることができるし、任意の断面でスライスしてみることもできる。図表 16-14 に所望の 2 方向から観察した例と 1 方向の断面をスライスして表示した例を示す。このような観察から、Ni シリサイドの異常成長の方向が<110>であることが明確に分かった。

	結像法	回折法	分光法
手法	TEM STEM	制限視野回折 NBD CBED	EDX EELS
用途例	構造観察 結晶欠陥観察 3次元観察	結晶構造決定 歪み評価	成分分析 結合状態評価 誘電関数評価

(S)TEM:(走査型)透過電子顕微鏡法、NBD:ナノビーム回折法、CBED:収束電子線回折法
EDX:エネルギー分散型X線分光法、EELS:電子線エネルギー損失分光法

2008/6/13中西(ルネサステクノロジ)

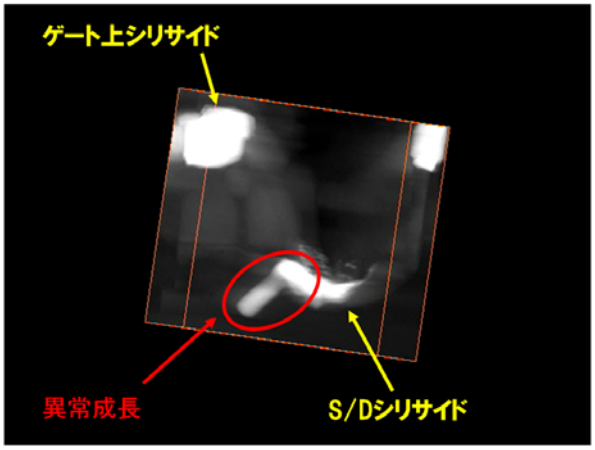
図表 16-11 TEM による解析手法の分類



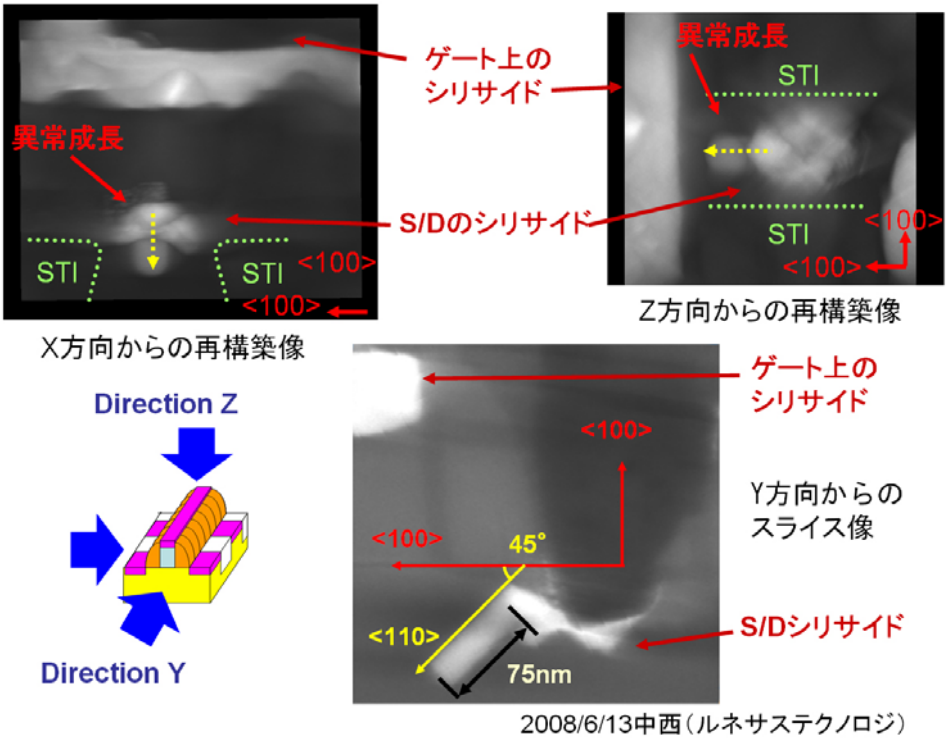
D.B Williams and C.B. Carter. Transmission electron microscopy

2008/6/13中西(ルネサステクノロジ)

図表 16-12 双頭のサイ?



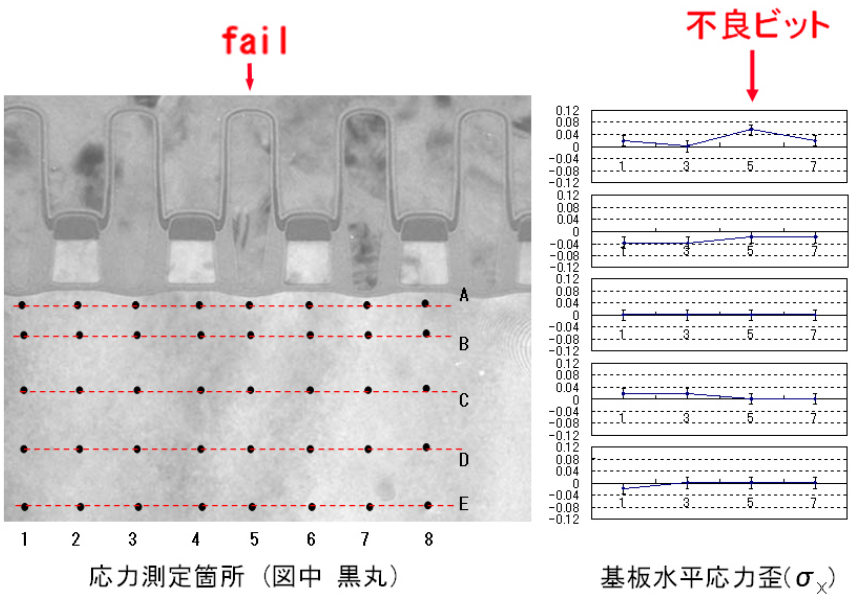
図表 16-13 3 次元構築像の例:2008/6/13 中西(ルネサステクノロジ)



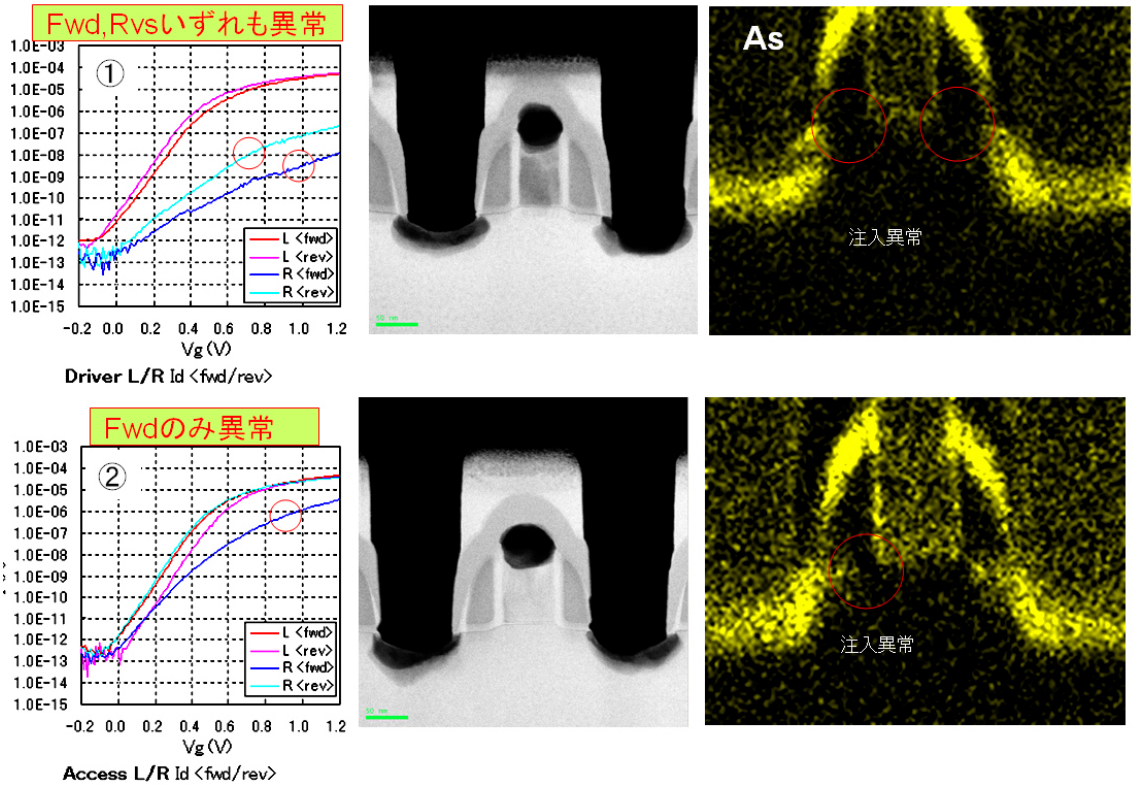
図表 16-14　所望の 3 方向から観察した例：再構築像と断面スライス像

16-2-2-2　不可視欠陥の観察例

見えない欠陥を見た事例として応力の観察と不純物分布の観察例が紹介された。図表 16-15 は CBED 法により、1Gbit フラッシュメモリのリテンション不良における不良ビットに対応した応力異常を観測した例である。図表 16-16 は電気的特性に対応した As の注入異常を EDX で観測した例である。後者の観測例は最近普及してきた球面収差補正 STEM を用いることではじめて可能になった。



図表 16-15　不可視欠陥観測例(1)：CBED 法により不良ビットに対応した応力異常を観測した例：2008/6/13 朝山(ルネサステクノロジ)

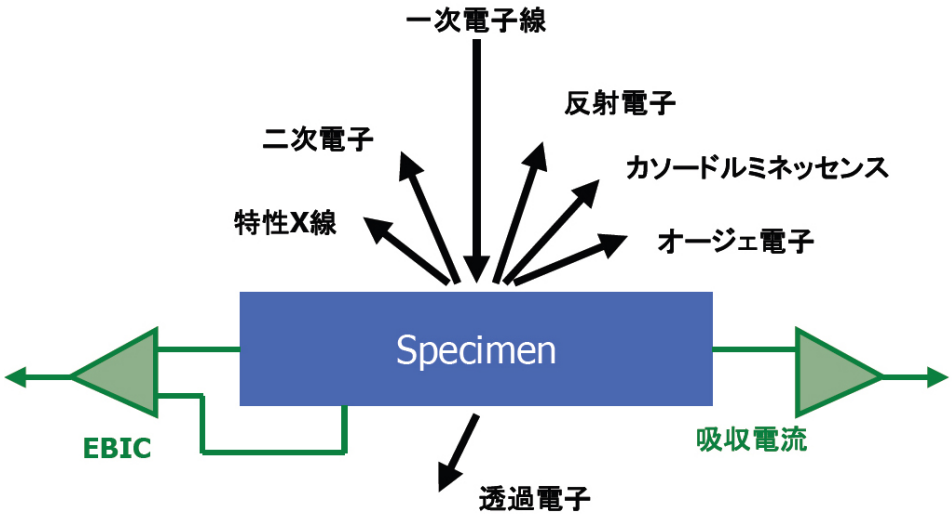


図表 16-16　不可視欠陥観測例(2):電気的特性に対応した As の注入異常の EDX 観測例:2008/6/13 朝山(ルネサステクノロジ)

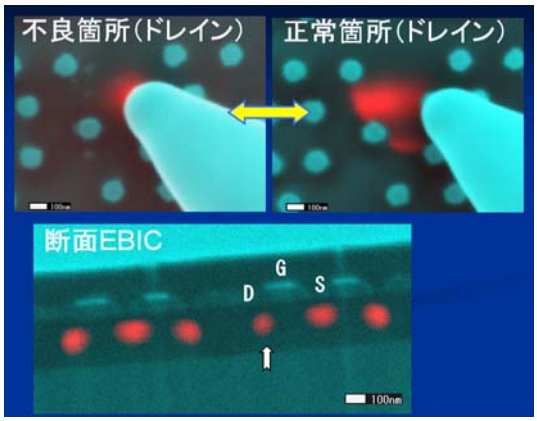
16-2-3　電子ビームを用いた絞込み手法

半破壊絞込み法(図表 16-2-1 参照)の代表的なものにはナノプロービング法や RCI 法などがあることは既に記した。ここでは電子ビームを用いた半破壊絞込み法の代表例である RCI 法と EBIC 法の事例を紹介する。

図表 16-17 に入射電子(一次電子)と試料の相互作用によって得られる信号の全体像を示す。 EBIC と RCI 法に利用する吸収電流のみが電流信号である。図表 16-18 に EBIC によりドレインの濃度異常を検出した例を示す。不良ドレインで EBIC 信号が弱いことが、平面観察からも断面観察からも、分かる。

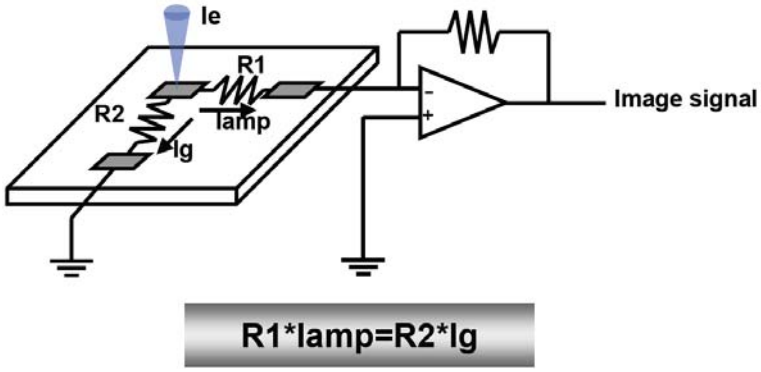


図表 16-17　入射電子(一次電子)と試料の相互作用によって得られる信号:2008/9/1 野久尾(日本電子)

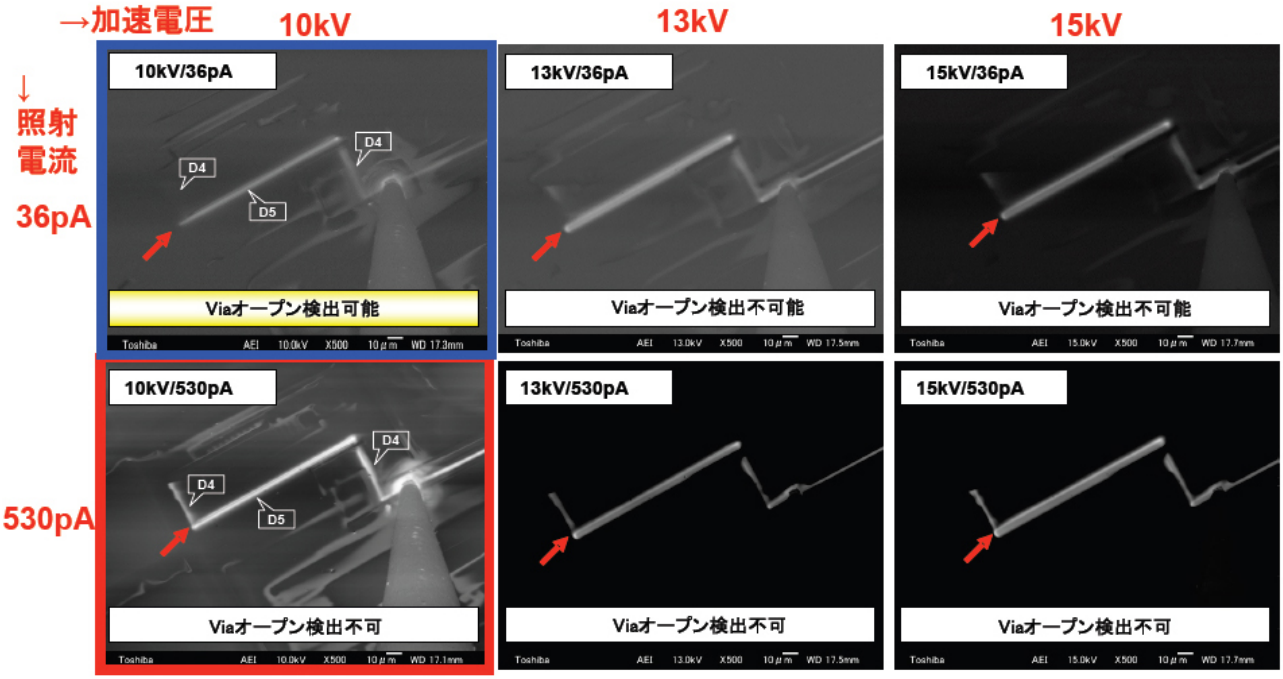


図表 16-18 EBIC によりドレインの濃度異常を検出した例:2008/9/1 古谷(富士通マイクロエレクトロニクス)

図表 16-19 に RCI 法の原理を示す。電子ビームが照射された個所からの吸収電流の分岐の程度に対応した電流がアンプで検知され、像のコントラストとなる。図表 16-20 は RCI 法によりオープン個所を検出した例である。ビーム電圧と電流を適切に選択してはじめて、オープン個所が検出できることが分かる。この例では 10kV, 36pA でのみオープンが検出できた。



図表 16-19 RCI 法の原理:2008/9/1 野久尾(日本電子)



図表 16-20 RCI 法の適用には適切な条件設定が必要:2008/9/1 植木(東芝マイクロエレクトロニクス)

16-3 故障診断技術動向

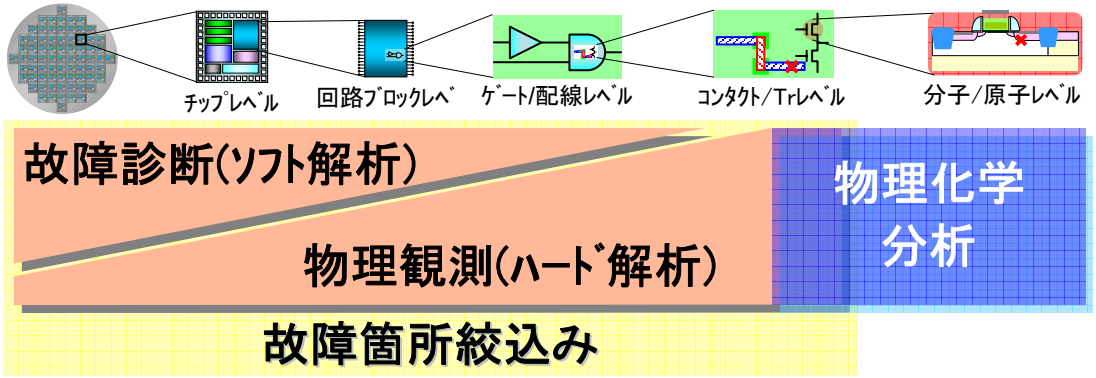
故障診断技術とは、半導体デバイスの設計情報，テスト結果を用い、故障デバイスの電気的なテスト結果からデバイス中の故障個所を絞込む技術である。人手による故障個所の絞込みは、従来から行って来てはいたが、デバイスの大規模化に伴い非常に困難になっていた。しかし DFT (Design For Test)技術が半導体デバイスへ浸透し、CAD (Computer Aided Design)情報を利用して絞り込みを行える環境が整い、これが故障診断ツールとして提供されるに至り広く利用されるようになって来ている。

本 TF でも故障診断技術に関し EDA ベンダやデバイスメーカーに技術やその活用方法について説明を要請する等して動向を追い続けている。その結果、近年 EDA ベンダ/デバイスメーカー双方とも、大量診断と呼ばれ故障診断技術の適用範囲を故障解析だけではなく、製造現場での歩留まり解析からその結果をデバイス開発側にフィードバックさせる分野にまで広めようとする取り組みを積極化している事が明らかとなった。そこで本報告では、故障診断技術動向として大量診断技術について説明を行う。

本節では、まず故障診断技術そのものの簡単な説明を行い、続けてその応用である大量診断技術について説明する。

16-3-1 故障診断技術の位置付け

故障解析は、半導体デバイスが故障した際にその故障原因を究明し、製造プロセスや設計にフィードバックを行う事を目的に行われる。従って、故障の真因が例え原子レベルの欠陥であろうとも正確にその位置を特定し、解析/分析を行う必要がある。その際、電気的なテスト結果だけから一気に正確な欠陥位置を特定するのは困難なため、通常は故障箇所絞込みを行った後に物理化学分析を行う、という手順で行う場合が多い(図表 16-21 参照)。特に SOC (System On a Chip)製品の場合、メモリ製品の FBM (Fail Bit Map)のように電気的な故障の物理位置を特定できるような分解能でのテストは通常行っていないため、故障箇所絞込みが重要となっている。



図表 16-21 故障診断技術の位置付け

この故障箇所絞込みにおいては、従来は前述したように人手による絞込みの後に物理的に観測を行うハード解析，或いは直接ハード解析を行っていた。しかし近年は故障診断ツールと呼ばれるソフトウェアにて物理的に観測を行う箇所を絞り込み、その後ハード解析で詳細に故障箇所を絞込むという方法が一般的となっている。その理由としては、以下の事が考えられる。

・デバイスの微細化に伴い、物理的な観測により広範囲を一度に観測しただけでは故障箇所の検出が困難。
・一般にハードウェア解析は一回当たりの観測 TAT が長いため、予め観測箇所をできるだけ限定しておく

事が望ましい。

・近年の SOC 製品では設計者といえども人手による絞込みは非常に困難で、人手で行うにしても結局 16-3-2 に述べる故障診断手法を利用せざるを得ない。

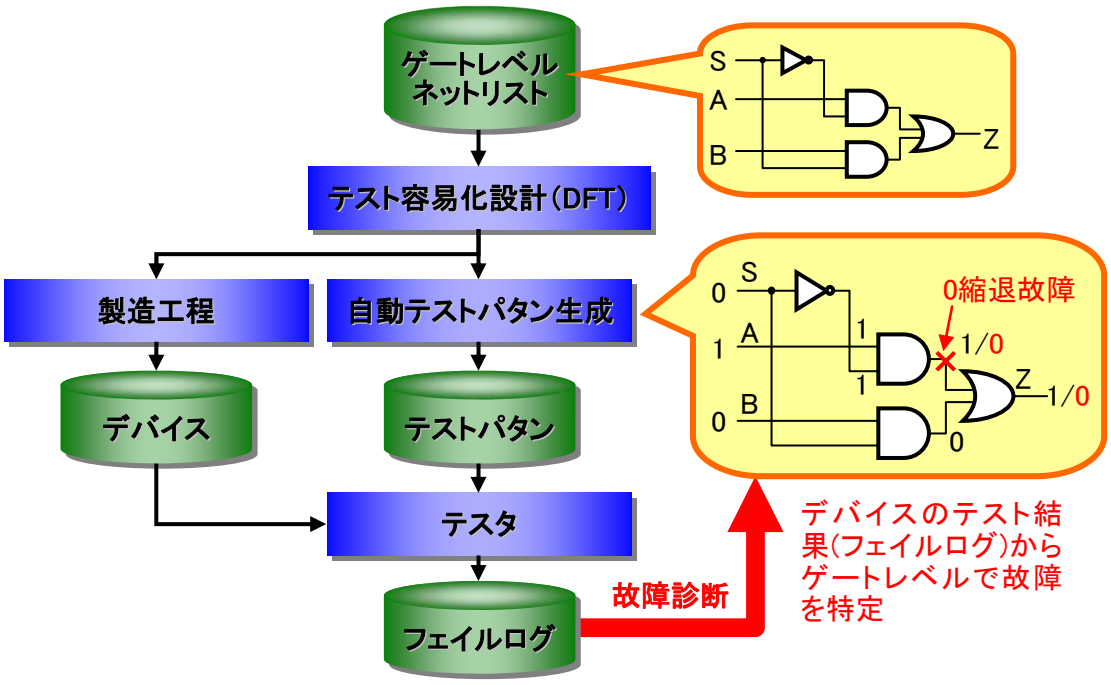
ただ、現状一般的には故障診断手法ではゲート/配線レベルの分解能しか無く、物理化学分析で必要とする分解能は得られない事から、ハード解析で最終的に故障箇所を絞り込む事が多い。そのため、故障箇所絞込みに於ける故障診断(ソフト解析)と物理観測(ハード解析)の適用割合は、大まかには図表 16-21 に示すようになっている。

16-3-2 故障診断方法

ここでは故障診断の基本的な考え方を、故障シミュレーションを用いる手法を例に説明する。

まず、故障診断技術のテストフローとの関係を図表 16-22 に示す。半導体デバイスの設計時に、完成したゲートレベルのネットリストに対しテスト容易化設計が適用され、論理合成, マスク作成等を経てデバイスが製造される。その一方でテスト容易化設計された回路に対し、テストパタンの生成が行われる。これは通常 ATPG (Automatic Test Pattern Generation)と呼ばれるツールを用い、仮定した故障を顕在化させ外部に伝播させるように発生させる。次にこのテストパタンを用い、製造された半導体デバイスのテストを行い、その際不良となったデバイスからはフェイルログが得られる。このフェイルログが、何処に故障を仮定した際のフェイルと一致するかを調べる事により故障候補を推定するのが、故障診断の考え方である。

半導体デバイスの故障診断は、テスト容易化設計が一般化する以前から提案されていたが、利用頻度は低かった。これに対し、近年故障診断手法が一般的に使用されるようになってきている。これはデバイスそのものの解析難易度が上がったのも一因だが、故障診断がテスト容易化設計されたデバイスの開発/製造過程で得られる情報を活用する事で実行可能で、更にツールとして整備された事も大きな要因と考えられる。

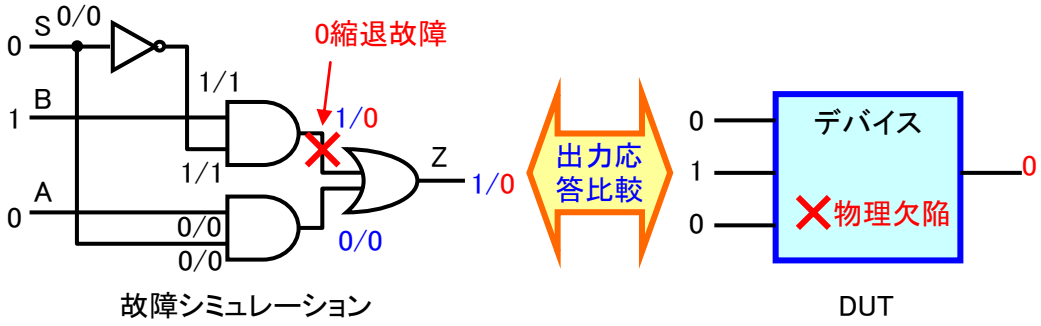


図表 16-22 故障診断とテストフローとの関係

次に、故障診断の方法について説明する。一言で言うと、故障シミュレーション(故障を仮定した回路の論理シミュレーション)の出力応答と半導体デバイスのテスト時の出力応答とを比較し、その結果が一致するか

どうかで診断している。ここで言う故障とは、物理的な故障による振舞いを論理的なモデルに置き換えたもので、縮退故障、遅延故障等がある。

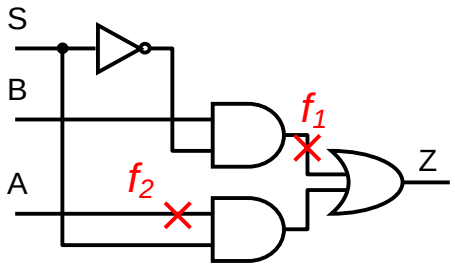
例えば、図表 16-23 に示す論理回路で、”0”縮退故障を仮定すると、テストベクタ”010”に対し正常回路なら出力”1”が得られる所が”0”となる。もしも、実際の回路で同様にテストベクタ”010”に対し出力応答”0”が得られたとすると、”0”縮退故障が発生していることが予想される。



図表 16-23 故障診断方法

但し、実際の半導体デバイスの一つのテストベクタが、一つの故障のみを検出する分解能を持っている訳では無く、また現実に起こっている全ての故障をモデル化できている訳でも無い。そのため診断結果を評価し、その確からしさをスコアで現している。以下にスコア化の一例を示す。

図表 16-24 に示す論理回路上に故障f1, f2 仮定した際、故障シミュレーションにより求めた 4 つのテストベクタ P1~P4 に対する出力応答が、夫々”0000”と”0111”であったとする。実際の回路で同じテストベクタに対して故障応答”0000”が得られたとすると、その内訳は pass が 3 ベクタ、fail が 1 ベクタとなる。この時仮定故障 f1 の故障応答は、テストで pass する 3 ベクタが全て pass、fail する 1 ベクタで fail であり、スコアは (3+1)/4*100=100 点となる。一方仮定故障 f2 の故障応答では、テストで pass する 3 ベクタ中 1 ベクタしか pass せず、テストで fail する1ベクタでは pass している。この場合スコアは(1+0)/4*100=25 点となる。従って、この場合仮定故障 f1 が起こっている可能性が高いと判断できる。



故障f_1 のスコア:

$$\frac{3+1}{4} \times 100 = 100$$

フェイルログ

テストベクタ	Z
P_1	0/0
P_2	1/0
P_3	0/0
P_4	0/0

故障f_1 出力応答

テストベクタ	A	B	S	T	F
P_1	0	0	0	0	0
P_2	0	1	0	1	0
P_3	0	0	1	0	0
P_4	0	1	1	0	0

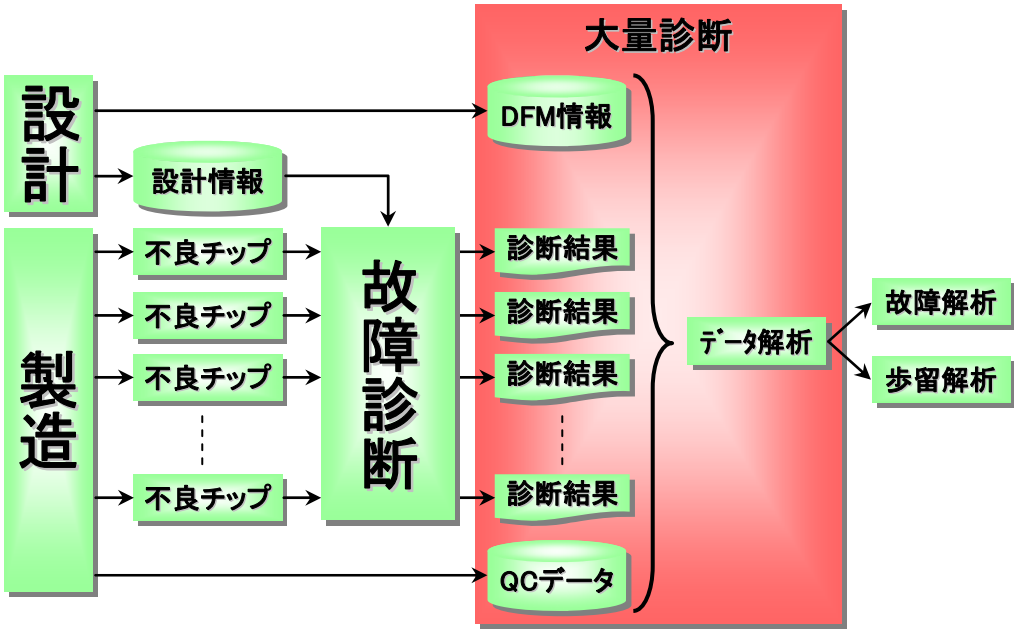
故障f_2 出力応答

テストベクタ	A	B	S	T	F
P_1	0	0	0	0	0
P_2	0	1	0	1	1
P_3	0	0	1	0	1
P_4	0	1	1	0	1

図表 16-24 故障診断結果の評価方法

16-3-3 大量診断技術

以上述べてきた故障診断技術は、これまで主に個々のデバイスの故障解析に適用されてきた。これに対し、大量診断技術は図表 16-25 に示すように、個々のデバイスの故障診断結果と、それらデバイスの製造工程で得られた QC (Quality Control)データ、更に設計時に得られる DFM (Design For Manufacturing)情報全ての相関を調べる事により、歩留まり解析時の解析精度を高めようというものである。平たく言えば、歩留まり解析時に、回路レベル分解能の物理位置を持ったフェイル情報を利用可能とした物である。もちろんこのような解析方法は従来からも行われていた。しかし、これはどちらかといえば QC データや設計データの内容/ハンドリング方法が分かっているエンジニアが、必要に応じて実行していた手法であった。近年大量診断技術が注目されて来たのは、このような解析手法が歩留まり解析のシステムとして提供され、従来の歩留まり解析手法と同じレベルで利用可能な環境が整ってきた事によると考えられる。



図表 16-25 大量診断技術の位置付け

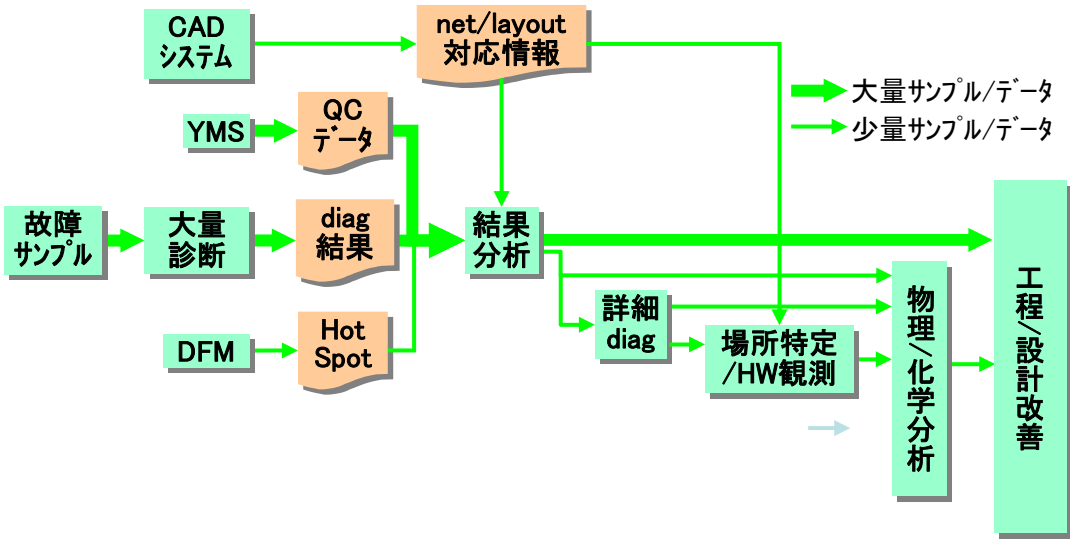
16-3-4 大量診断技術に期待される効果

大量診断技術導入により期待される効果を、幾つか事例を交えて紹介する。

①歩留まり解析 TAT (Turn Around Time)の短縮

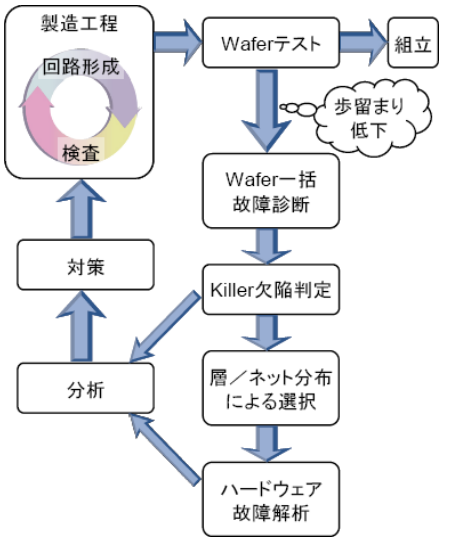
従来歩留まり問題の解析のためには、数多くの不良チップの故障解析を必要とする場合が多かった。これは、歩留まりインパクトの大きい不良を事前に絞り込む事が困難なため、出来るだけ数多くの不良チップの故障解析を行い、その解析結果から共通性のある問題点を絞り込む必要があったからである。

これに対して大量診断を利用する事で、データ解析時点での精度向上が期待できる。そのためデータ分析時点で最も歩留まりインパクトのありそうな故障原因とそのチップを絞り込め、歩留まり改善のためのフィードバックを製造や設計に掛ける事が可能になると考えられる。つまり図表 16-26 に示すように、大量データの分析だけで製造工程/設計へのフィードバックが可能となり、通常長 TAT を必要とするハードウェアを用いた故障解析は、確認のための少数チップのみで済ませられる事が期待できる。

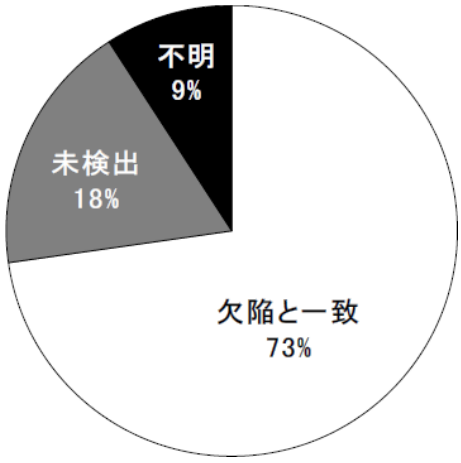


図表 16-26 大量診断活用による解析サンプル数の低減

これを裏付ける例を紹介する。NECEL の二階堂らは、故障診断の結果故障候補と判定された配線と欠陥検査結果との相関を調べる事で、Killer 欠陥が判別できたと報告している。この報告では実際に Killer 欠陥と判別されたものの故障解析を行い、何れも欠陥が原因で故障しているのが確認できたとしている。図表 16-27 はあるウェーハの例だが、複数ウェーハで調査しても欠陥検査結果の 70~75%程度は精度良く Killer 欠陥と判定可能との事。また故障診断では、故障候補と判定された配線のレイヤ，セグメントレベルまでは弁別可能なため、欠陥起因による故障は時間の掛かる物理化学分析を行わずとも製造工程へのフィードバック可能としている。



診断･解析フロー



Killer欠陥判定結果

二階堂ら、「故障診断技術を利用した短TATの歩留まり向上解析」
LSIﾃｽﾃｨﾝｸﾞｼﾝﾎﾟｼﾞｳﾑ, pp. 207-212, 2008、©LSIﾃｽﾃｨﾝｸﾞ学会2008

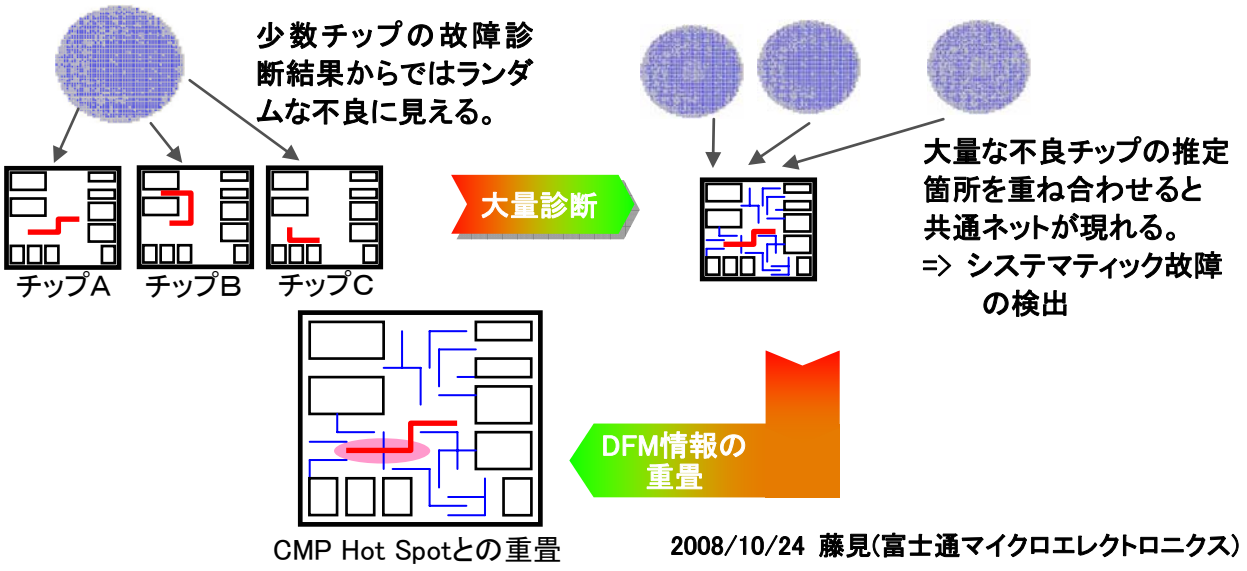
図表 16-27 大量診断による Killer 欠陥判定

②システマティック故障の抽出

①により欠陥起因故障の抽出が可能であれば、逆に欠陥以外の故障との切り分けも可能となると考えられる。ここに DFM の情報を加味して分析する事により、システマティック不良を素早く抽出できた例が報告されている(図表 16-28 参照)。

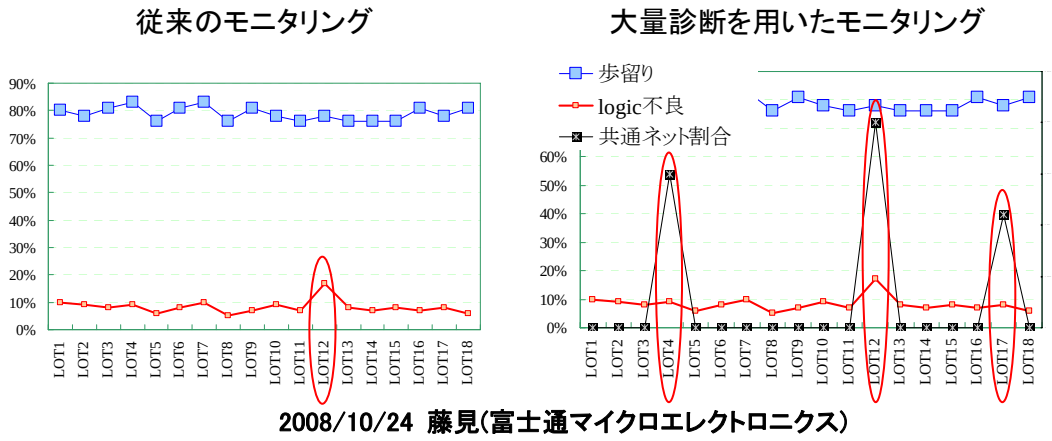
この事例では、少数チップの故障診断結果では、特に共通性は認められずランダムな不良に見えるが(ここまでは従来の故障診断による解析)、大量チップの故障診断結果を重ね合わせる事で共通する故障候補(システマティック故障候補)が見出せたとしている。更に、ここに CMP (Chemical Mechanical Polishing)シミュレーション結果を重畳すると、その Hot Spot との関連が見えてきたとの事。

この例でも、故障診断結果の重ね合わせだけで、システマティック故障が絞り込めたと考えられる。しかしこのように DFM の Hot Spot との相関が見出せれば、システマティック故障と分かるだけでなく不良原因までもデータ解析だけである程度推測可能と考えられ、製造工程へのフィードバック TAT の大幅な短縮が期待できる。



図表 16-28 システマティック不良の検出例

更に大量診断をプロセスモニタリングに活用することにより、システマティック不良を早期に発見する可能性がある事も提案されている。



図表 16-29 大量診断を用いたプロセスモニタリング

図表 16-29 の従来のモニタリングでは、logic 不良割合の多い Lot12 だけを特異 Lot と判断し、集中的に解析を行う事になる。しかしここに大量診断を取り入れ、不良だけでなく不良チップの診断結果から得られた故障候補の共通性を調べる事により、従来のモニタリングでは検出できない新たな特異性が見えてくる場合が

あるのでは無いかと考えられる。例えば図表 16-29 の大量診断を用いたモニタリングに示すような現象が起こっているとすれば、安定した歩留まり時でも故障が集中する箇所，言い換えれば何らかの原因で故障し易い/弱い箇所があるという事になる。この故障を対策する事で更なる歩留まり向上、或いは直接この製品に寄与できなくとも故障原因を特定することで設計/製造へフィードバックし、他の製品に寄与できる事が期待できる。

16-3-5 大量診断技術のまとめと活用に当たっての課題

大量診断技術は、従来の QC データに加え CAD 情報を活用し回路及びその物理位置情報を関連させて分析を可能とする技術で、活用により以下の効果が期待できる。

・システマティック不良の早期発見
- QC、DFM、CAD 情報を利用した、共通故障原因の早期特定。

・製造フィードバック TAT 短縮
- 歩留まり低減要因の早期発見
- データ解析精度向上による物理解析すべきチップの的確な絞込み。
- 1 製品当たりの物理解析数削減による、故障解析効率向上(より多くの製品の解析が可能に)。

・設計品質、テスト品質の早期向上
- 歩留まり/品質問題が発生する前に、危険箇所を発見しこれをデバイス開発側に早期にフィードバックさせる事が可能。

しかしながら、これら効果を最大限発揮させるには幾つか問題も存在する。

・大量データの収集コスト

大量診断を実行するには、当然大量チップ分のテスト結果 (Fail log)を必要とする。しかし故障診断のためのテスト結果としては、量産試験の良否判定結果では不十分で、診断の確度を上げるためにはできるだけ多くのフェイル情報(フェイルしたピン、フェイルしたアドレス等)、パス情報を必要とする。そのため、通常診断のためにテストをやり直す必要が生じる。しかし、これは1チップ当たりのテスト時間を延ばす事であり、テストコスト増となる。また大量データ取得をルーチン的に行えば、そのためのストレージコストも必要となる。更に市販の診断ツールを利用していれば大量データを処理するために EDA ライセンス数も数多く必要となり、EDA コストも増大する事になる。

・既存 YMS (Yield Management System)との連携

大量診断の効果を最大限発揮させるには、YMS と一体化しその中で大量診断を従来の歩留まり解析手法と同様に利用できるようにするのが望ましいと考えられる。YMS 自体は、既にデバイスメーカーが市販或いは独自に構築し運用していると考えられるが、市販の大量診断ツールは現状専用のデータベースを必要とする場合が殆どである。そのためこれらを一体化するには、YMS と大量診断ツールを同一ベンダで統一するか、それが困難であればツール類を内製，或いは大量の YMS データベースを大量診断用に変換する必要がある。何れの場合も、実現にあたっては相当のコストと手間を必要とする。

・故障診断実行時間

大量データの故障診断を実行するには、当然の事ながら相応の計算時間が必要となる。少数チップの故障診断であれば問題無い実行時間でも、大量診断としての効果が得られるチップ数を処理するには問題と

なる可能性がある。特に問題が起こってから故障診断を実行しようとすると、タイムリーに結果が得られないということが予想される。

これら問題点を解消、或いは軽減させるには、

①大量診断の費用対効果を明らかにする。
現時点では大量診断をどこまで実行すれば、どの程度の効果が得られるのかのデータが無い。従って実行環境構築にどの程度コストが掛けられるのか不明である。
②大量診断実施条件の明確化。
大量診断の効果が得られるデータ量や、データを取得する間隔、更に大量診断に適した故障診断の実行条件等が現状不明。
③環境構築/運用コスト低減方法の検討。
現状大量診断環境を構築し運用するには、それ相応のコストが発生するのは明らかである。しかし、例えば大量診断に適したテスト方法や、テストシステム等は検討されておらず、増加コストを最小限化する検討は十分には成されていない。

以上上げた項目を実現して行く事が、大量診断実用化に当たっての課題と考えられる。

16-4 まとめと今後の課題

故障解析 TF の活動状況を、具体的な例をまじえて報告した。今後も最先端の解析技術の開発状況・利用状況や半導体各社の故障解析活動の現状に関して議論を行なっていきたい。また、ロードマップの見直しや標準化のための活動も行なっていく予定である。