第4章 WG3 FEP(フロントエンドプロセス)

4-1 はじめに

2008 年までは、WG3 のカバーする技術領域は、Starting Materials、Surface Preparation、Thermal/Thin Film、Doping、Front End Etch というトランジスタ形成の要素プロセスと、DRAM、Flash Memory、PCM(Phase Change Memory)、FeRAM(Ferroelectric Random Access Memory)のメモリ材料からなっていた。

2009 年度版では、今後のロジックトランジスタに導入されそうな高移動度チャネルに関する記載を充実さ せる方針が示され、加えてThermal/Thin Film/Dopingに含まれるロジックトランジスタ関連の記載が膨大かつ 判りにくい点を改善するために、FEP 章の構成を大幅に変更した。Device 関連の記載(Device Metrics)を前 半に、材料・プロセス関連の記載(Process Metrics)を後半に記載することになった。

2009 年度の活動は、1)今後重要になると思われる分野を中心とした技術動向調査、2)ITRS2009 改訂作業に関する検討を行った。

技術動向調査は、ウェーハ大口径化の状況、High-k/Metal Gate トランジスタ、3D-IC、トランジスタ特性 ばらつきの現状を中心に行った。本報告書では、High-k/Metal Gate トランジスタ、BiCS-Flash メモリ、ばら つき制御および FinFET におけるばらつきの現状について詳しく記載した。

2009 年版の FEP 部分は大幅な変更になった。Logic Device の HP (High Performance)/LOP(Low Operating Power)/LSTP(Low Stand-by Power)のそれぞれについて新規に記載(高移動度チャンネルを含む)した。DRAM ではトレンチ DRAM を削除し、スタック DRAM の大幅修正を行った。記載内容はより現実 に即したものになっている。Flash メモリでは CT-Flash (Charge Trap Flash)に関する Table を追加した。 CT-Flash に関してはここ数年の懸案事項であった。FeRAM の Table ではグループ化して4 年毎に技術が変わる記載とした。

Starting Materials では、450mm 化に Pilot Line と量産の2本の立上げラインが記載されることになった。 Table に付いて Note の項目を大きく減らした。削除された中には、現在でも有効な記載も含まれているが、必要であれば過去の ITRS を参照してもらうことになる。

Thermal/Thin Film では、2007 年版と比較するとゲート長が3 年後倒しになったことに合わせて EOT のス ケーリングトレンドも後倒しになった。2008 年版からのゲート長1 年後倒しによる変更はないが、High-k/Metal Gate の実現は2009 年からに修正されている。Doping に関しても、ゲート長の後倒しに合わせてトレンドが大 きく修正された。Etching では、ばらつきの記載が細かく(チップ内、チップ間、ウェーハ間、ロット間)なる一方 で、リソグラフィーとドライエッチの振分けは記載から削除した。

CMP に関する Table を新たに加えた。対象は STI-CMP であり、スクラッチを減らすことを目標にしている。

4-2 ITRS2009 の主な変更点(詳細)

図表 4-1 に示すように、前半の材料・要素プロセス~後半のメモリ素子という 2007 年版の記載方法に代わって、2009 年版では、ロジックデバイスとメモリ素子からなる Device Metrics が前半に、材料・要素プロセスが後半に記載されるように変更された。ロジックデバイスは、従来 Thermal/Thin Films/Doping のところに記載されていた内容の一部(デバイス特性的部分)とトランジスタ特性(オン電流、オフ電流、電源電圧など)を加え、HP・LOP・LSTP に対してそれぞれ Table を作ることになった。このように変更した理由は、ロジックデバイスに導入される可能性が高い高移動度チャネル材料に関して、詳しい記載を行うことになったこと、それにThermal/Thin Films/Doping の Table が膨大になり非常に見づらくなってきた問題を解消するためである。



図表 4-1 FEP 章構成の変化

4-2-1 ロジックトランジスタ

微細化に伴って顕著になる短チャネル効果を抑制するために、ロジックデバイスは、図表 4-2 に示したよう に、プレーナ構造からマルチゲート構造にする必要があり、図表 4-3 に示すように高性能化のために高移動 度チャネルやナノワイヤ構造の導入を付け加えた。マルチゲート(例.FinFET)やナノワイヤ構造において、 チャネル全体を高移動度材料で形成るか、表面のみに高移動度材料を形成するかは現時点ではオプショ ンになっている。



図表 4-2 新構造で可能となる CMOS スケーリングと関係するモジュールレベルの課題



図表 4-3 短期~長期に亘るスケーリングパス

4-2-2 DRAM

DRAM に関しては、主要トレンチ DRAM メーカの継続開発断念のアナウンスを受けて、トレンチ DRAM の Table を 2009 年版から削除した。 スタック DRAM に較べてセルエリアファクタ a が 8 より小さくすることが難しく、コスト競争力がないことが最も大きな要因である。

2007 年版のスタック DRAM では、容量膜の誘電率が 2013 年に向けて一旦 100 以上まで増加し、その後 減少するという傾向になっていた。これは、Table オーナが 20 以上の高アスペクト比の加工を嫌って誘電率 にしわ寄せした結果であるが、ITRS 会議などで疑問が呈せられた結果、短期~長期に向かって緩やかに 増加するトレンドに戻った。(図 4-4 参照) 埋込みワード線/埋込みビット線を採用することで必要な容量が小 さくできることと、アスペクト比の増加を許容した結果である。



図 4-4 スタック DRAM 容量膜の誘電率トレンド

4-2-3 Flash メモリ

浮遊ゲート型のフラッシュメモリの限界(主にクロストーク)は以前の版でも記載はあったが、将来の有力解 に関する具体的な記載はなかった。PIDSの章では以前から浮遊ゲート型FlashメモリのTableだけではなく、 CT-Flash(Charge Trap-Flash)の Table があった。FEP_WG 内では必要性を認識し、NVM(Non Volatile Memory)のTableオーナに働きかけてきたが2009年版になって、課題(クロストーク)の解決策であるCharge Trap型のフラッシュメモリのTable(図表 4-5)を追加することができた。

Year of Production	2012	2013	2014	2015	2016	2017	2018	2019	
NANd Flash technology node - F(nm)	25	22	20	19	18	16	14	13	
Tunnel Dielectrics EOT thickness (nm)	3-4								
Tunnel Dielectric Material	SiO2 or BE								
Tunnel Dielectric max leakage current density at				~50	-16				
highest write/erase voltage (A/cm2)	<u><5</u> €*10								
Erase/program time degradation t_{max}/t_0 at constant V	<2								
Charge trap layer trap densitu (cm-3)	>1e19	>8e19	>8e19	>8e19	>1e20	>1e20	>1e20	>1e20	
Trapping Energe Level (eV)	>1.5								
Charge trap layer minimum band offset vs	.1								
tunnel/blocking dielectric conduction band (eV)	>1								
Charge trap layer dielectric constant	>7	7-10	7-10	7-10	>10	>10	>10	>10	
Charge trap layer material	eSiN eSiN/high k high k								
Blocking dielectric thickness EOT (nm)	<mark>6-8</mark>	6-8	6	6	6	6	5	5	
Blocking Dielectric max leakage current density at	-Eo 16								
highest write/erase voltage (A/cm2)	<36-10								
Blocking dielectric material	Al ₂ O ₃ Al2O3/higher k higher k					ner k			
Gate material working function (eV)	>5								
Gate Material	metal								

BE: Barrier Engineered, eSiN: engineered SiN



4-2-4 FeRAM

2007 年版では、実際の製品トレンドとの乖離が大きかった Table を現実の量産に即した内容に大幅に修 正した。FeRAM では毎年製品に使われる技術が異なっている訳でもないので、2009 年版では、4 年をグル ープ化して同一技術が使われることを明確にした。FeRAM では CMOS のルールとメモリ部のルールが異な っていて(例えば、CMOS は 0.13um、FeRAM は 0.18um)、どちらのルールを使うべきかという議論があった が、FeRAM 部のルールをFとして記載することで決着している。

Year of Production	2009-2012	2013-2016	2017-2020	2021-2024
FeRAM technology – F (nm)[A]	180	130	90	65
FeRAM cell size – area factor a				
in multiples of F2 [B]	22	16	14	12
FeRAM cell size (µm2) [C]	0.713	0.27	0.113	0.051
FeRAM cell structure [D]	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [E]	stack	stack	3D	3D
FeRAM capacitor footprint (µm2) [F]	0.33	0.106	0.041	0.016
FeRAM capacitor active area (µm2) [G]	0.33	0.106	0.1	0.069
FeRAM cap active area/footprint ratio	1	1	2.46	4.25
Ferro capacitor voltage (V) [I]	1.5	1.2	1	0.7
FeRAM minimum switching charge density (µC/cm2) [J]	13.5	34	30	30
FeRAM endurance (read/write cycles) [K]	1.00E+14	1.00E+15	>1.0E16	>1.0E16
FeRAM nonvolatile data retention(years) [L]	10 Years	10 Years	10 Years	10 Years

図表 4-6 FeARM の Requirement Table

4-2-4 450mm ウェーハ

450mm大口径化の見通しを改訂した。2012年から450mmウェーハの使用が始まるとされていたが、2009年サンフランシスコ会議で図のように変更した。これは、昨年度の報告書に述べたISMIの450mm移行計画をITRSに反映した事による。パイロットラインと量産ラインの立ち上がり、通称ダブルSカーブと呼ばれる二つのラインとなった。パイロットラインは、実質2012年スタートで2014年まで続く。量産は、実質2014年スタートで2016年以降まで立ち上がり期間が続く。量産立ち上がりの前にパイロットラインを考慮した結果、従来の2012年450mm大口径化開始というのを、事実上2014年開始、つまり、2年遅れとなった。ここで、も一つ注意しなければならないことがある。450mmウェーハは有効面積が1562cm²あり、取れるチップ数が300mmウェーハの約2倍となる。このこともあって、パイロットラインや量産ラインの規模を示す縦軸からチップ数やウェーハ数がなくなり、単に投入ウェーハ数を示すvolumeとなって、各年度の規模が曖昧になってしまった。 2014年末の量産規模はパイロットライン規模と同程度である。パイロットラインは32nmM1ハーフピッチレベルのラインであり、量産ラインは16nm化可能な22nmレベルを想定している。パイロットラインは、450mm用装置とそれを使ったプロセスの開発ラインであるので、450mm量産をする各社がそれぞれパイロットラインを構築する必要は必ずしもなく、一部のプロセスは共同開発もあり得るであろう。そして、パイロットラインでできたチップは、特性評価するが市販はされない。



図表4-7 450mmウェーハを使うプロセスとfabの立ち上がり

プロセス開発に使用する450mmウェーハについては、2010年3月にSEMI規格 SPECIFICATION FOR DEVELOPMENTAL 450 mm DIAMETER POLISHED SINGLE CRYSTAL SILICON WAFERS が成立し た。プロセスでの発塵をチェックするために表面パーティクルの少ないパーティクルモニターウェーハ、リソ 開発用に平坦度の良いリソグラフィーモニターウェーハ、その他のプロセス開発に使う抵抗率や酸素濃度を 考慮できるその他モニターウェーハの3種類である。今まで各社各様であったエッジ形状が1種類に統一さ れ、ウェーハハンドリング装置やウェーハエッジ形状が微妙に影響するプロセスなどの開発が楽になった。ま た、このウェーハはテストウェーハとも呼ばれ、その詳細は SEMI 規格を参照されたい。

4-2-5 Thermal/Thin Films

Thermal/Thin Film/Dopingでは、2007 年版と比較してゲート長が 3~4 年後ろ倒しになり、それに合わせて EOTや接合深さなどの要求値も緩和している。Si/Silicideコンタクト抵抗は従来 5e-08 Ω -cm²未満が解無し(Red) であったが、2e-08 Ω -cm²程度まで実現の可能性があるになった。しかし、従来のモデル(横方向の広がり等)に基 づいて計算すると、図表 4-6 にある寄生抵抗値と大きく異なる値になってしまう。例えば 2009 年では、Si/Silicide界 面低効率=1.6e-7 Ω -cm²と従来の形状モデルで計算すると界面抵抗分だけで 296 Ω -um (SDE分も含めると 322 Ω -um)、2012 年ではSi/Silicide界面低効率=2.0e-8 Ω -cm²から界面抵抗分だけで 74 Ω -um (SDE分も含める 100 Ω -um)となり、寄生抵抗として記載されている 200 Ω -um (2009 年) や 160 Ω -um (2012 年)と大きく異なる。この点 は 2010 年Update版ではモデルも明確化などの議論が必要である。

	Year of Production	2009	2010	2011	2012	2013	2014	2015
2007		20 -	18	16	14	13	11	10
2008	MPU Physical Gate Length (nm)	27	24	22	20	18	17	15
2009		29	27	24	22	20	18	17
2007	EOT for bulk MPU/ASIC	0.75	0.65	0.55	0.5			
2008		1	0.95	0.88	0.75	0.65	0.6	0.53
2009		1	0.95	0.88	0.75	0.65	0.6	0.54
2007			0.7 -	0.6	0.55	0.5	0.5	0.5
2008	EOT for FDSOI MPU/ASIC					0.7	0.65	0.58
2009						0.7	0.68	0.6
2007				0.8	0.7	0.6	0.6	0.6
2008	EOT for multi-gate MPU/ASIC							0.77
2009								0.77

図表 4-8 ゲート長の変遷(ITRS2007→2009)。MPU/ASIC。Metal Gate。

	Year of Production	2009	2010	2011	2012	2013	2014	2015	2016
IS	MPU Physical Gate Length (nm)	29	27	24	22	20	18	17	15
IS	Drain extension X _j (nm) for bulk MPU/ASIC [A]	11	11	11	10	9	8.5	7.7	7
WAS	Maximum allowable parasitic series resistance	200	200	200	200	180	180	180	180
IS	for bulk NMOS MPU/ASIC × width ((Ω – μm)	200	200	180	180	160	160	140	140
WAS	Maximum drain extension sheet resistance for	660	680	750	810	900	960	1060	1060
IS	bulk MPU/ASIC (NMOS) (Ω/sq) [B]	650	670	660	680	750	810	900	960
WAS	Contact Y. (nm) for bulk MPU/ASIC [D]	29	26.7	24.8	22	19.8	18.6	16.9	15.4
IS	Contact X_j (nm) for back in CASIC [D]	35.2	32	29	26.7	24.7	22	19.8	18.6
WAS	Contact maximum resistivity for bulk	1.25E-07	1.12E-07	9.87E-08	9.20E-08	7.00E-08	6.57E-08	6.00E-08	5.80E-08
IS	$MPU/ASIC (\Omega - cm^{2}) [I]$	1.6E-07	1.4E-07	8.0E-08	4.0E-08	2.0E-08	1.0E-08	8.00E-09	7.00E-09

2.0e-08Ωcm2まで可能なレベルに(2008年版は5e-08未満がRed)

図表 4-9 Doping の要求値

4-3 技術動向調査

4-3-1 High-k/Metal Gate

ゲート絶縁膜にHigh-k材料を用いる場合の最大の課題は移動度劣化であったが、Hf系材料 (HfO2,HfSiON,HfSiON,ZrO2,ZrSiOX,ZrSiON)でのプロセスチューニングによってEOT>1nmであれば実用 に耐えるレベルになっている。High-kゲート絶縁膜にMetal Gateを組み合わせようとすると、低いVt(バンドエ ッジの仕事関数)がなかなか得られないという問題があった。特に、高温プロセスを経ると、ミッドギャップの 仕事関数になってしまうことが知られていた(Yu, EDL25)。



MIPS:Metal Inserted Poly-Si Stack

図表 4-10 High-k/Metal Gate の実現法: 1Dielectroic/2 WF metal と 1Dielectroic/2 WF metal

High-k/Metal Gateトランジスタの Vt 制御方法として、典型的には、図表 4-10 に示す 2 つの方法がある。 一つは、一種類のゲート絶縁膜に対して、仕事関数(WF: Work Function)の異なる 2 種類の金属をゲートと して用いる方法。図表 4-11 に示すように Intel 社はゲートラストプロセスで量産している。ゲートラストプロセス は、ゲート電極形成後に高温の熱処理が加わらないため、バンドエッジの仕事関数を得やすい利点がある。 Intel 社は、第 1 世代(45nm)の High-k/Metal Gateトランジスタはゲート絶縁膜ファーストであったが、第 2 世代(32 nm)はゲート絶縁膜・Metal Gateとも最後に形成している。EOT 薄膜化が主な理由であると考えられ る。



図表 4-11 Intel 社の第1世代 High-k/Metal Gate トランジスタ解析結果(James, ASMC2008)

もう一つは、ゲート電極は一つの材料にしておいて二種類のゲート絶縁膜を用いることでn/pトランジスタの作りわけを行う方法。通常、ゲートファーストプロセスが用いられる。現在活発に検討されているのは、Hf系ゲート絶縁膜/界面SiO₂(あるいはSiON)の間にDipoleを形成してトランジスタのVtを制御しようという方法(図表 4-12 参照)で、n形トランジスタ用にはLa等、p型トランジスタ用にはAl等が用いられる。ゲート電極とHf系ゲート絶縁膜の間にDipoleを形成する方法もあり、作りやすいという利点がある反面、Vtの制御範囲は狭くなる。ゲート電極としては、ポリシリコンと金属膜の積層膜(MIPS:Metal Inserted Poly-Si Stack)、金属単層膜(低抵抗膜として)などが検討されている。



図表 4-12 High-kと Metal Gate の界面に La による Dipole を形成し、 閾値を変調する(Kang, SSDM2008)

今後のHigh-k/Metal Gateトランジスタの課題は、EOT薄膜化と微細化への対応(Lg縮小)が重要である。 図表 4-13 はEOT≦1nmの領域における、EOTと表面電子移動度に関する報告の例である。NMOSFETの表 面キャリア移動度(電子)は、低濃度チャネルで400cm²/V・s強、微細MOSFETのチャネル濃度では200cm² /V・s前後になる。EOTを0.5nmくらいまで単純に減らすと電子移動度は100cm²/V・s程度まで低下し、トラ ンジスタ特性の改善にはならない。Ishikawaらは、SiON上にHigh-k膜を成膜した後、高温熱処理による界面 反応でEOTを薄膜化することで移動度劣化を抑制できるという報告をしている。



図表 4-13 EOT 薄膜化と移動度の関係。High-k 膜成膜後のアニールで EOT を減らすことにより、移動度 劣化を抑制できる(Ishikawa, SSDM2008)。

Lg<30nm では、Lg 微細化しても特性向上に結びつかないという報告が出始めている。WG3 での 2009 年度技術ヒアリングでもそのようなコメントがあった。図表 4-14 は EOT (この報告では Tinv を指標にしている) 薄膜化によって電子移動度が低下すること、および Lg 縮小によってオン電流が減少するという結果を示して いる。(Goto, VL2009)しかし、移動度劣化をある程度抑制して EOT (Tinv)を薄膜化すれば、Lg<30nmの領 域でも相対的に高いオン電流が得られる。この報告から、単純な Lg 縮小でのトランジスタ特性向上は難しい ものの、プロセスチューニングによって、Lg 縮小による特性向上の可能性があることが判る。

ITRS2009 では、Intel 社の量産実績に基づいて EOT=0.9nm までは実現済、EOT=0.7nm(LSTP は 0.9nm)までは有力解が見えていて、0.7nm 未満は有力解が見えていないという判断になった。



図表 4-14 EOT 薄膜化とLg 縮小の影響。(Goto, VL2009)

4-3-2 3D-IC

3D-IC の有力な例として、東芝・青地さんに BiCS Flash メモリ技術 (Bit Cost Scalable Flash) 技術の紹介をお願い した。

3D化には3つの方法がある。

① Cross-Point 型(Samsung, IEDM2006, p.37。VL2009, p.26 など)、柱状 Diode 上に Resistive Change Memory を 積層。配線金属上に Poly-Siの Diode を形成する必要がある、配線抵抗に課題。RRAMの膜の特性にも課題があ る。

② Vertical NAND(東芝, VL2007)。メモリセルを縦方向に積んでゆく。一層作るごとに複数回のリソグラフィープロ セスが必要なので、Bit Cost~1 層作るためのコストになり、コストメリットはあまりない。

③ BiCS (Bit Cost Scalable) Flash。図表 4-15 の左図は最初の形 (IEDM2008, p.851)。Poly-Si電極と層間膜 を積層し、基板まで達する孔を開け、ONO膜をLPCVDで形成し、poly-Siで埋込む。多層電極分だけ一度に メモリセルが形成できる。チャネルPoly-Siはa-Siで形成し、Poly-Si化。セルサイズは 6F²。セルはSONOS構造 (Charge Trapタイプになる)

技術的課題は

・Gate 1stの Vertical FET でチャネルが Poly-Si

・Charge Trap Film を高 A/R 比の孔に均一に形成する必要がある

・エッチング技術

チャネル poly-Si へのドーピングはできない構造。Program は問題ないが、Erase には工夫が必要で、Select Gate の GIDL で発生するホールをチャネル部に流し込み、Erase 用のキャリアとした。

最初、孔を全部Siで埋めていたが、ばらつきが大きく、Vthウィンドーが大きくできなかった。そこで、 Poly-Siピラーの中央をSiO₂で埋めてチャネル部の膜厚を20nm、10nmと薄くしたところ、特性ばらつきが抑え られた。Program/Eraseで1V以上のVth差を確保できた(IEDM2008)。

IEDM2008の Fig.1 構造では、上下に Select Gate があり、ソース電極は基板 Si を使っていた。この構造の 場合、Si-pillar 用の孔を開け、ONO 膜を形成した後に、ソース Si 上の ONO 膜を除去する必要があってウェ ット処理を行っていたが、側面の ONO 膜への悪影響がどうしても残った。また、ソース Line として Si 拡散層 を使うので、配線抵抗が大きいという問題もあった。また、上下の Select Gate の特性も(途中の熱処理の影響 で)大きく異なっていた。

そこで、図表 4-15 の右図 (VL2009, p.136)のように、2 つの Pillar をつなげて、Select Gate (Source-line, Bit Line)を両方ともセル構造の上部に作る構造にした。(⇒論文では Pipe-shaped と呼んでいる)

Pipeの底部はダミーで埋め込んでおいて、Pillar 用の孔を開けた時に除去し、

⇒ONO膜形成⇒a-Si成膜⇒SiO2成膜 となる。

Source-Si 上の ONO 膜をウェットで除去する必要が無くなったので、ONO 膜の電荷ロスが激減した。

Pillar 内を上から下まで電気的につなげるために、対象でないセルのゲートにも電圧をかける必要があるが、その際の特性劣化も改善された。

多値は無理かと思っていたが、Retention が良くなったので、可能性が出てきている。

Surround Gate構造になっているため、電界が集中しやすく、孔径を変えることによって同じ電圧で電界強度を変えることができ、SiO₂/SiN/SiO₂であっても片側をHigh-kにしたのと同じような(良い)効果がある。逆に言うと、プロセスで孔径がばらつくと実効電界もばらついてしまう。

16 層で、Cell Size=0.00082um²の 32Gbit test chipを形成できた(VL2009)。



Fig.1 Birds-eye view of BiCS flash memory. N_{CG} is the number of control gates. N_{SG} is the number of rows of pillars sharing an upper select gate.

Fig. 1 Schematic of P-BiCS flash memory.

Slit

図表 4-15 BiCS-Flashの構造。左図は IEDM2008, p.851、右図は VL2009, p.136。

4-3-3 トランジスタばらつき低減技術(FML/産総研の福留さん)

背景:ばらつきが大きいと、Worst 設計では回路動作の性能アップにつながらないので開発初期からばら つき低減を意識していることが重要。

技術トレンド:High-k/Metal Gate によって Vt ばらつきを低減するというトレンドであるが、依然として nFET の Vt ばらつきが大きいことが問題である。 nFET の Vt ばらつきは、B の拡散しやすさ(例.TED の影響大)に 起因しているという共通認識ができつつある。

ばらつき低減:加工ばらつきと不純物揺らぎが重要ということはほぼ常識で、特に CD、LER、Gate 粒径、 チャネリング、界面準位、実効仕事関数などの制御が重要になる。不純物揺らぎに起因したばらつき低減に は、Halo 注入/熱処理の最適化が有効。例えばゲート中のチャネリング抑制(図表 4-16 参照:ゲート電極を poly-Si⇒a-Si)や過剰な Dopant 低減等が有効である。Source edge の散乱や低 Vt に分布するばらつきも低 減可能。世の中は Lg~30nm あたりで苦労しているが、これらの (Vt) ばらつき低減技術を使うことで 2 世代く らいは延命できる。

Intel は、ゲートを単一方向に配置する手法を採用し始めている。このようなレイアウトとポケット注入方向の 制御(ゲート端に沿った斜め2回注入など)を行うことでLER影響を注入で緩和することができる。

eSiGe を使うとばらつきは大きくなりそうであるが、Σ形状が良い方向に働いているらしい。In-situ Dope なども併用すると、I/I などの場合よりばらつきはかなり低減できる。



図表 4-16 非晶質シリコンゲートのオーバーラップ容量への影響(福留、シリコンテクノロジー2007)

4-3-4 FinFET におけるばらつき低減技術(産総研の昌原さん)

図表 4-17 がプロセスフローと出来上がり構造図の例(Endo, ESSDERC2008)

TiN を Metal Gate 材料に用いることで、n/p とも 0.4V くらいの Vt は実現できている。より低い Vt 用には、 Mo(n)/Ta-dope Mo(p)を用いている。(VL2009 参照)作っている典型的なサイズは、Fin 高さが 30~50nm、 Fin 厚さが 20 とか 40nm。Random Dopant Fluctuation を抑制できているためか、ばらつきは n/p とも同じくら い。

Vt ばらつきの要因分析をすると、Lg、Fin 厚さ、ゲート絶縁膜厚、不純物の影響は無視でき、残る可能性は実効仕事関数。Moの粒径は30nmくらいで、方位などの影響が大きい。

寄生抵抗は、SDE が支配的。抵抗を下げようとして SDE の注入量を増やすと、Fin 全体が非晶質化して結晶化のシードが無くなる悪影響(図表 4-18 参照)が出始め、抵抗はむしろ上がってしまう。

実測は Lg~80nm であるが、実験結果といくつかの仮定を元に Lg~20nm のばらつきを見積もった。サイズの見積もりをかなり悲観的な値にしても、実効仕事関数のばらつきの寄与が非常に大きい。

SRAMのRead/Writeマージンを拡大できる構造として、FinFETのDouble Gateのそれぞれを別に制御する方式の効果を見積もった。その結果、Static Noise Marginを拡大できることが判った。

Fin channel 表面の凹凸(LER)が Vt ばらつきに影響することが懸念されるが、Channel Doping なしなので、 Vt ばらついきにはほとんど影響しないという結果になっている。



図表 4-17 プロセスフローと出来上がり構造





図表 4-18 SD 注入により完全非晶質化した層の結晶化(Duffy, ESSDERC2008)

4-4 まとめと今後の課題

2009 年版の FEP 章は、久しぶりに構成や記載内容の大幅な変更があった。ドライビングフォースは、ゲート長の後倒し、高移動度チャネル材料の記載充実、DRAM や Flash に関する技術的限界と対策の取込み (技術動向の ITRS への反映)、Starting Material や High-k/Metal Gate ではより現実的なロードマップが必要になっていることなどである。

ITRS2010版以降で検討が必要となっている項目には以下のようなものがある。

- ・Logic Table: PIDS と不整合, Note との不整合 の修正
- ・LOP/LSTP Table の統合
- ・DRAM Table: Cell area factor が PIDS と不整合
- ・Starting Materials: Edge Exclusion 再見直し
- ・FDSOI 用の基板仕様
- ・Doping: PIDS の寄生抵抗値との不整合、モデルの見直し
- ・消費電力のロードマップ(クロスカット)
- ・ⅢV 材料の扱い(クロスカット)
- ・3D 配線(クロスカット)
- ・新材料・新構造に関する Defect Budget (クロスカット)
- ・Waste Metrics (クロスカット)

技術動向として特に重要だと考えている項目には以下のようなものがある。

・Starting Material: 実用化時期が近づいている 450mm ウェーハ

- ・High-k/Metal Gate:EOT ≦0.7nm に向けたブレークスルー
- ・微細化にともなうばらつきの状況と回避技術動向
- ・3Dトランジスタや3Dインテグレーションの動向

2010年度は、こうした技術に関して調査や議論を継続してゆく予定である。

4-5 謝辞

技術調査にご協力いただいた、東芝の青地英明さん、富士通マイクロエレクトロニクス(当時)&産総研の福留 秀暢さん、産総研の昌原明植さんに深謝します。