第6章 WG5 リソグラフィ

6-1 はじめに

2009 年度、WG5(リソグラフィ WG)では、ITRS2009 版の作成に向けて、技術世代に対応した解決策候補 (Potential Solutions)の技術調査、各種テーブルの見直し、クロスカット活動などを行った。Lithography iTWG は、SEMATECH から出ているリーダーの下、日、米、欧州、韓国、台湾の 5 つの TWG で活動し、年三回の ITRS Meeting を中心に議論を行っている。国内活動では、二ヶ月に一回の定例会議を開催し、ITRS 会議へ のメンバーの派遣を実施した。定例会議では、リソグラフィ関係の学会、ワークショップを中心に技術動向を議 論し、最新技術の現状の把握を図る等の活動を行った。2009 年度は今後の主流リソグラフィとして期待が大き く、マスクインフラの整備についての議論、光源、レジストの開発が活発となっている EUVL 技術の進捗確認と 液浸リソグラフィの延命についての議論を行った。本報告では、ITRS2009 版の主な内容と共に、リソグラフィ技 術の現状と課題をまとめ、2009 年度の活動の概要を報告する。

| Year of Production | | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 |
|----------------------------------|--------|------|------|------|------|------|------|------|------|------|------|------|------|
| DRAM ½ pitch (nm) | | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 |
| Flash ½ pitch (nm) (un-contacted | d poly | 38 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 |
| MPU/ASIC M1 ½ pitch (nm) | | 54 | 45 | 38 | 32 | 27 | 24 | 21 | 19 | 17 | 15 | 13 | 12 |
| | NA | | k1 | | | | | | | | | | |
| ArF Water Immersion | | | | | | | | | | | | | |
| DRAM | 1.35 | 0.36 | 0.31 | 0.28 | 0.25 | 0.22 | 0.20 | 0.18 | 0.16 | 0.14 | 0.12 | 0.11 | 0.10 |
| Flash | 1.35 | 0.27 | 0.22 | 0.20 | 0.17 | 0.16 | 0.14 | 0.13 | 0.11 | 0.10 | 0.09 | 0.08 | 0.07 |
| MPU/ASIC | 1.35 | 0.38 | 0.31 | 0.27 | 0.22 | 0.19 | 0.17 | 0.15 | 0.13 | 0.12 | 0.10 | 0.09 | 0.08 |
| EUVL | 0.25 | 0.96 | 0.83 | 0.74 | 0.66 | 0.59 | 0.52 | 0.47 | 0.42 | 0.37 | 0.33 | 0.29 | 0.26 |
| DRAM | 0.32 | | | | 0.85 | 0.75 | 0.67 | 0.60 | 0.53 | 0.48 | 0.42 | 0.38 | 0.34 |
| | 0.45 | | | | | | 0.94 | 0.84 | 0.75 | 0.67 | 0.60 | 0.53 | 0.47 |
| EUVL | 0.25 | 0.70 | 0.59 | 0.52 | 0.46 | 0.43 | 0.37 | 0.33 | 0.30 | 0.26 | 0.24 | 0.20 | 0.19 |
| Flash | 0.32 | | 0.76 | 0.66 | 0.59 | 0.55 | 0.47 | 0.43 | 0.38 | 0.33 | 0.31 | 0.26 | 0.24 |
| | 0.45 | | | | 0.83 | 0.77 | 0.67 | 0.60 | 0.53 | 0.47 | 0.43 | 0.37 | 0.33 |
| EUVL | 0.25 | 1.00 | 0.83 | 0.70 | 0.59 | 0.50 | 0.44 | 0.39 | 0.35 | 0.31 | 0.28 | 0.24 | 0.22 |
| MPU/DRAM | 0.32 | | | 0.90 | 0.76 | 0.64 | 0.57 | 0.50 | 0.45 | 0.40 | 0.36 | 0.31 | 0.28 |
| | 0.45 | | | | | 0.90 | 0.80 | 0.70 | 0.63 | 0.57 | 0.50 | 0.43 | 0.40 |

図表 6-1 R= $k_1 \lambda$ /NA

6-2 リソグラフィ技術の現状

既に、液浸露光技術は、水を液浸液に用いる上での限界とされるNA1.35に達している(図表 6-1)。そのため、 技術開発は 193 nm水液浸露光技術の延命と4 倍マスクを用いる縮小投影露光技術を軟X線領域に発展させ るEUVLの導入を中心に展開されている。193 nm水液浸露光技術の延命は、Single Exposureを極める技術開 発と、ダブルパターニングにより、 k_1 <0.25 領域を実現し、32 nm hp、更には 22 nm hpへの到達を目指す技術 開発により進められている。SMO(Source Mask co-Optimization)、CL(Computational Lithography) への取り組 みが強化され、Spacer DP(Double Patterning)は、Pitch Splitting DPに先行して生産工程に導入されている。 NGL(Next Generation Lithography)として期待されているML2(Mask Less Lithography)、NIL(Nano Imprint Lithography)は、四倍マスクパターンを縮小投影露光する 193 nmあるいはEUVLの抱える課題を乗り越える技 術として開発が行われているが、大量生産技術に発展するか否かの判断は出来ていない。図表 6-2 にNGLの 現状と課題を一覧にて示した。



図表 6-2 NGL の現状と課題

6-2-1 ArF 液浸露光技術 (Single exposure)の延命

NA は既に最大の 1.35 となっており、L&S といった単純なパターンでも、hp 40 nm 程度が限界となる(図表 6-1)。LER/LWRの要求も厳しい(図表 6-15)。シングル露光の魅力は大きく、適用限界の拡張を目指して多くの 取り組みがなされている。最近のキーワードは、CL(Computational Lithography:計算機リソグラフィ)、 SMO(Source Mask co-Optimization)である。CL は、設計パターン、プロセス、システム条件に対し、コンピュー



http://www.brion.com/smo_summary.asp

http://www.kla-tencor.co.jp/product/product_s/PROLITH.html



タを使ったモデリングを駆使してリソグラフィプロセスのパターン転写性能を予測し、OPC(Optical Proximity Correction)処理、SB(Scattering Bar)発生等を検証し最適化する技術であり、マスク上の全てのパターンの転写 性能の確保を実現する。さらに、プロセス制御においてもCLを駆使して寸法制御性や重ね合わせ精度、露光 装置間のマッチング精度等の改善も行うといった開発も行われている(図表 6-3)。マスクパターンの発生では、 Model Base の OPC 処理が広く採用され、SBも自動発生し、発生したマスクパターンの転写性などを検証し、 転写裕度をマスク全領域に渡って保証する。ハーフピッチ 45nm 以下はマスクの三次元効果が無視できない 領域であるため取り入れて計算する必要があり、非常に負荷が高い。プロセスマージンを最大限に拡大する ために、照明(source)もマスクも制約を取り払いピクセル単位で設計する。露光装置にはピクセル照明に対応 する機能を持たせ、マスクパターンはピクセルで形成される(フリーフォームマスク)。このように CL により計算 機負荷をも省みずに、全てのオプションを投入する技術領域の模索が行われている。SMO は露光装置の照 明とマスクパターンを同時に最適化する技術である。SMO では、選択されたパターンに対して照明とマスク設 計の組み合わせを探し、同時に最適化することにより、プロセスマージンの確保・拡大を図っている。最新の露 光装置では、大きな露光強度の低下を伴うことなく照明の形状、強度、偏光は任意に変更選択でき (Programmable illumination)、目的とするパターンに応じて最適に制御することが可能である。解像限界に近 い領域では、個々の露光装置の転写特性の個体差の影響が寸法制御性や重ね合わせ精度に与える影響が 大きくなる。そのため露光装置固有データを取り込み、それを元にパラメータを制御して最適化するといった 取り組みも行われている。

PPMs(Pixelated Phase Masks)と呼ばれる手法は、マスクパターンをピクセル単位で表現し、個々のピクセル に位相差を与えてクロムレス位相シフトマスクを製作することを基本とし、180 度位相差のドット単位でマスクが 設計される。180 度の位相差は、172nm の溝に相当する。ピクセルのサイズは、マスク製造技術の制約を受け る。マスクの負担を省みないフリーフォームマスク、PPMs は、付加価値の高いロジックデバイスで検討され、 40nm hp の実現に迫っていると考えられるが、コスト負担、マスク精度の限界から、広く展開できる技術として普 及していくか不透明である。また、並行して、パターンの設計制約も拡大している。デバイスパターンが単純で



Figure 2. Top row illustrates the estimated CPL masks (black=-1 and white=+1) and the (binary) target pattern consisting of 60nm features. The pitch p=120nm is indicated by dotted lines in the figure. Bottom row indicates the aerial images for the individual exposures and the combined aerial image. Here NA = 0.93 and $k_1 = 0.289$.

"ILT for Double Exposure Lithography with Conventional and Novel Materials" Amyn Poonawala and Yan Borodovsky and Peyman Milanfar Optical Microlithography XX, edited by Donis G. Flagello, Proc. of SPIE Vol. 6520, 65202Q, (2007)

図表 6-4 PPMs

無ければ、微細な寸法で製作出来ない為、セル構造の単純化も推し進められている(図表 6-4)。

SMO や PPMs 等によるシングル露光の延命技術はパターンの設計制約と組み合わせることでさらなる効果 を発揮する。設計ルールと微細化は密接な関係にあり、これまでもリソーフレンドリデザインと呼ばれ、重要性 は認識されてきた。微細化によるチップ縮小と設計制約によるエリア拡大との間のバランスをとって設計ルー ルを最適化していくことが大きな課題となっている。

露光装置では収差や重ね合わせ等において高次の補正が可能になっている。スリット内の露光量の均一 性、アライメント精度、焦点位置の制御性の改善が継続的になされている。焦点深度の低下に伴って、マスク、 ウェハのフラットネス要求も厳しくなっている。コンタクトホールの露光では焦点位置をスキャン中に変える手法 (Focus drilling)も採用されている。露光装置側では、193 nm 光源の改良・改善が進んでいる。解像性能の向 上のための更なる狭帯域化に加えて、周波数アップ、高出力化が図られ、90W に達している。また、光学系の 劣化を回避するためにパルスストレッチと呼ばれるピーク強度の低減技術が投入されている。ガス交換などの 停止時間の削減技術も適用されている。高速スキャンステージの位置計測手法には空気揺らぎの影響を受け やすいレーザー干渉計の代わりにエンコーダーを採用し、重ね合わせ精度が改善されている。

液浸露光技術で用いられるレジスト・レジストプロセスでは、初期の現像液不溶の溶剤剥離型のトップコート から現像液可溶型に移行し本格的に量産適用され、さらにトップコートレスレジストの導入が始まっている。液 浸固有の欠陥は接触角の制御をベベル部分にまで拡大して低減され、ドライ露光と同等の欠陥レベルを実現 してきている。レジスト膜厚は微細化に伴って減少している。焦点深度余裕の低下とレジストの倒壊のためで ある。また、マスクを含めて高 NA 化に伴う三次元効果が問題となっている。BARC(下層反射防止膜材料)もよ り広い入射角に対して機能することを求められ、傾斜型(Graded BARC)や、多層構造が必要になっている。レ ジストプロセスでは、レジストパターンの後処理技術として、レジストフローによるコンタクトホールのシュリンク だけでなく、レジスト表面に不溶化膜を設けてコンタクトホールをシュリンクするケミカルシュリンク技術や、デポ とエッチングを繰り返して、LER の低減を行う後処理技術の採用の検討が進んでいる。レジストパターンから直 接あるいは、HM(Hard Mask)の加工後に Slimming(細らせ処理)することは既に一般的に使われている。

ハーフピッチが45nmに近づくと、マスク三次元効果のため従来から用いてきたハーフトーン型の位相シフト マスクよりもバイナリマスクのほうがより良い結像性能が得られるようになる。また、より厳しくなる寸法均一性に 対応するために遮光膜の薄膜化が有効である。そのため新規のマスク遮光膜材料が導入されている。一方、 製造現場における Haze は依然として厄介な問題である。Chemical clean 技術は進んではいるものの根絶には 至っていない。また、マスクの静電破壊(EM: Electro Migration)もしばしば取り上げられている問題である。

6-2-2 ダブルパターニング技術

従来から複数回の露光処理によってひとつの層のパターン形成を行う技術が、生産に寄与している。二重 極照明等を用いて解像限界のL&Sを形成し、その一部をもう一枚のマスクで切り取り、パターン形成を行う手 法は狭いライン対向パターン(Tip-to-tip)が必要な場合に用いられる。DDL(Double Dipole Lithography)は、マ スクを縦横方向毎に分割し、それぞれに適した二重極偏光照明を用いて 2 回露光処理を行うものである。 Alt.PSMあるいはCLPSM技術を用いて、ゲート層などの微細な孤立ラインパターンを形成する工程では、不 必要なパターンを除去するTrimmingと呼ばれる第二の露光処理が施され、また不足するパターンを露光処理 で追加する。しかし、これらの技術では、k₁0.25 の限界を超えることは出来ない。



Pitch Splitting double patterning



k1 0.25 の壁を越えていくダブルパターニング技術は、Pitch SplittingとSpacerダブルパターニング(DP)の二 つの技術に大別されている。Pitch Splittingは、クリティカルなパターンを形成するマスクを少なくとも二枚用い て行うもので、シングル露光の限界を超えた隣り合ったパターンを二つのマスクに分割して、解像可能なピッ チに落とし、第一のレジストパターンを形成し、HMを加工するなどしてパターンを固定し、次いで第二のレジ ストパターンを重ねて設け、二つの露光処理により一つの層のパターンを生成する。それぞれの露光は、シン グル露光の限界追求を行っていくものである。第一の露光パターンをHMのエッチング工程まで進める LELE(Litho-Etch-Litho-Etch)と呼ばれる方法、第一の露光パターンをレジスト段階でFreezeし、第二のレジスト を積層して露光処理するLFLE(Litho-Freeze-Litho-Etch)と呼ばれる方法、同一のレジストに二回の露光を行う 二重露光(Double Exposure: DE)と呼ばれる方法などが提案されている。スペースを形成していくDual trenchと、 ラインを形成していくDual lineがある。Spacer DPは露光して形成したパターンを直接あるいは下地を加工した



Double patterning: Freezing

図表 6-6 LFLE DP

後に全面に等方的に膜を設け、異方性エッチングを施して、パターンの側壁すなわち輪郭に膜を残してL&S を二倍周期に倍増する。その特徴から、Spacer doublingあるいはSidewall transferとも呼ばれる。側壁部をライ ンパターンとするDual lineと、CMP技術を用いる等して反転してトレンチパターンを形成するDual trenchがある (図表 6-5)。

LELE は、現在のリソグラフィ技術、成膜、エッチングプロセスを駆使して微細化を図る為、既存の技術の延 長の加工技術として捕らえることも出来る。もっとも大きな課題は、転写精度とともにそのプロセスステップの倍 増によるコストにある。

LFLEはLELEのHMを加工する工程を削減する技術である。最初に形成するレジストパターンを二回目の 塗布・露光・現像処理に耐えるように Freeze させて HM と同等の機能を持たせ、新たにレジストを塗布し露光・ 現像処理を行ってレジストパターンを形成し、エッチング工程は一回で処理する。このレジストの Freeze 方法 には、幾つかの提案がある。UV Cure と呼ばれる不溶化、熱架橋、電子線あるいはイオンビームを用いる不溶 化、化学的な表面保護、デポなどの処理が提案されている(図表 6-6)。現状では最も処理が簡便な熱架橋型 の開発が盛んに行われている。

DE はレジストに二回の露光を施してから一回の現像でパターンを形成する。DE は俗に Magic Material と 総称される特異な特性を有する材料を必要とする。従来の材料では、解像力の向上が期待できない。代表的 な提案に Ultra-CEL(Contrast Enhancement Layer)、2-Photon resist、Thermal reversible resist がある。しかし、こ れらの材料の概念では Non-linear な特性の実現に一桁以上大きな露光量を必要とするため実用化に適さな い等、材料開発は困難を極めている。

Spacer DP は、NAND Flash メモリのワードラインやビットラインで使われる単純形状の L&S パターンの形成



図表 6-7 Pitch Splitting & Spacer Double Patterning: CDU & Overlay

に適している。DRAMに比べて、セルパターンが単純なために微細化で先行してきたNAND Flashメモリでは、 既に 2008 年の時点で液浸露光の SE の限界に達しており、Spacer DP を適用した hp32nm の製品の出荷が開 始されている。しかし、Spacer DP 固有の課題は依然として抱えている。デポ膜の均一性は、レジストパターン の均一性に比べて優れているとされるが、スペースの寸法ばらつきは露光パターンの寸法ばらつきに加えて デポ膜の側壁部の厚さやエッチバック加工のばらつきが影響して劣化する。また、Spacer DP は単一の幅でし か形成できない。NAND Flash メモリにとっては許容できるが、任意の寸法を形成する必要がある DRAM やロ ジックのパターンでは困難である。さらに、パターンの制約がある。レジストパターンの輪郭に Spacer が形成さ れるため、ドーナツ状のパターンのみが形成され不必要部分を除去する工程が必要になる。この領域は無駄 なエリアであり、チップサイズの増大を招く。最大の課題はコストにある。プロセスステップが増大し、TAT が増 す点も課題である。CVD 等のデポジションではなく、Wet プロセス等で、側壁部に成膜する、レジストパターン の輪郭だけを残す特殊な現像処理、ポジレジストとネガレジストの特性を併せ持つ材料を開発するなどして Spacer DP をより簡便なプロセスだけで実現する技術が待望されている。

Pitch Splitting においては二つの露光を組み合わせてパターンを形成するため、異なる露光でエッジが形成されるパターンの重ね合わせ誤差は寸法誤差になる。そのため非常に厳しい重ね合わせ精度が要求されている(図表 6-17)。最新の露光装置においては仕様値で 3nm 以下を示しているが、プロセス起因に起因したアライメントマーク変形・歪みやウェハの歪みの影響も大きい。高次のアライメント補正技術等を駆使してさらなる重ね合わせ精度の改善を行うとともに、精度よく検出できるアライメントマークの開発やウェハが歪まない成膜、熱処理技術の開発も必要となっている。

ダブルパターニング技術は、厳しい設計制約、データ分割処理、プロセスステップ、TAT、マスク数、工程数の増加、製造期間の増大、歩留まりの低下、結果的に製造コストの増大など、多くの課題を抱える。特に、Pitch Splittingにおける寸法均一性、重ね合わせ精度の要求は、従来のトレンドに比べて一世代以上厳しい。重ね合わせ精度がシングル露光の1/2以下、また、寸法均一性も1/√2以下が必要と報告されている。これに伴いマスクの高精度化も厳しく要求されている(フォトマスクへの要求(図表 6-17)にマスク精度の要求数値が記載されている)。パターンは、それぞれの露光で形成されるラインあるいはスペースと、その組み合わせで形成される重ね合わせ精度の影響を受けるスペースあるいはラインとで構成され、計四つの組み合わせを考える必要がある(図表 6-7)。すなわち、母集団が四つになり、L&Sではライン-スペース-ライン-スペースが繰返し単位になる。Pitch Walkingと呼ばれる周期構造が発生する。また、第一の露光パターンと第二の露光パターンでエッ



図表 6-8 Restricted Design Rule、Coloring Confliction & Area Penalty

チングによる加工形状が異なる問題も懸念されている。また、寸法や重ね合わせの計測技術も課題である。各 露光処理によるパターンの寸法、重ね合わせ計測を行うが、二枚のマスクから転写された形状、寸法、さらに は材料の異なるパターンを識別して測定する必要がある。露光装置には、重ねあわせ等精度の改善だけでな く、そのスループットの向上も要求されている。ダブルパターニング技術のコストの低減は、プロセスステップ の削減にもあり、それらは、Resist Freezing技術等工程の簡略化を狙った材料・プロセス開発に多くを依存して いる。コンタクトホールをk₁<0.25 で形成するためには、コンタクトシュリンク技術の適用だけでなく、さらにマス クを追加することも考えられる。

ダブルパターニング技術のもっとも大きな課題は、ロジックデバイスへの適用にある。既にデバイスパターンの特徴によって選択肢が異なることも理解されてきたが、ダブルパターニング技術は従来以上に複雑な設計制約を必要とする。設計環境の抜本的な見直し無しではダブルパターニング技術の導入は困難である。二 次元的に複雑なパターンに Pitch Splitting 技術を適用する場合に、パターンを交互に二枚のマスクに分割する Pitch Splittingを自動的に実施し、二つのマスクに分割する MDP(Mask Data Preparation)処理が必要となる。 単純な L&S と異なり、二枚のマスクに分割するためには単一の図形を分割する必要がある。微細な分割無し では解が存在しないことも考えられる。図形の分割を行った結果として、ウェハ上でのパターンの接続精度が 問題となる。接続に伴い図形の精度が劣化する為、クリティカルな位置での分割を避ける自動図形分割、ダブ ルパターニングに最適化した OPC 処理が望まれる。アライメント誤差、寸法誤差、エッチング等のプロセスで の変換差など全ての要素を取り込み、接続精度を確保してデータの分割を行う必要があり、エッジの微調整な どの図形処理が必要になるなど、単純なデータ分割処理だけでは Pitch Splitting に対応できない(図表 6-8)。

EUVL技術の実用化まではダブルパターニング技術を延命せざるを得ない。EUVL技術が導入されても、 EUVL技術の延命の選択肢の一つは、ダブルパターニング技術となる可能性もある。k₁<0.25 を実現する ダブルパターニング技術の確立が、微細化の延命の上で欠くことのできない事実に議論の余地は無い。

6-2-3 EUV 露光技術

EUV露光技術は波長 13.5nmの軟X線を光源とし、露光装置は真空装置となる。NTT、Nikon、日立、LLNL、 AT&Tが 1980 年代後半に先駆的な報告を行っている。0.7~1.0nmの波長を用いるPXL(Proximity X-ray Lithography)の開発が挫折した後、縮小投影露光をX線領域の波長で実現する検討から取り組みが強化され た。KrF、ArF露光技術に続く技術として、F₂(157nm)露光技術が開発の主となった 2000 年頃から多層膜ミラー 光学系に絞りこんで開発されてきた。EUV露光技術の本格的な開発は、1997 年より米国のEUVLLCで開始さ れた。その後、研究開発は米国の国立の研究所(LLNL、SNL、LBNL)、日本ではASET、欧州では EUCLIDES、PREUVEで取り組まれ、現在はSEMATECH、IMEC、ANT、Seleteなどのコンソーシアム・アライ アンスも軸となり、光源メーカー、露光装置メーカー、材料メーカーなどとの連携を密に図って開発に取り組ん でいる。

| EUV Fo 22 nm | ocus Area half-pitch | as 2005-2 insertion | EUV Focus Areas 2005-2009: 22 nm half-pitch insertion target SEMATECH | | | | | | | | | | | | | |
|---|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
| 2005 / 32hp | 2006 / 32hp | 2007 / 22hp | 2008 / 22hp | 2009 / 22hp | | | | | | | | | | | | |
| 1. Resist resolution, sensitivity & LER met simultaneously | 1. Reliable high power source & collector module | 1. Reliable high power source & collector module | 1. Long-term source operation with 100 W at IF and 5MJ/day | 1. Mask yield & defect inspection/review infrastructure | | | | | | | | | | | | |
| 2. Collector lifetime | 2. Resist resolution, sensitivity & LER met simultaneously | 2. Resist resolution, sensitivity & LER met simultaneously | 2. Defect free masks through lifecycle & inspection/review infrastructure | 2. Long-term reliable source operation with 200 W at IF | | | | | | | | | | | | |
| 3. Availability of defect free mask | 3. Availability of defect free mask | 3. Availability of defect free mask | 3. Resist resolution, sensitivity & LER met simultaneously | 3. Resist resolution, sensitivity & LER met simultaneously | | | | | | | | | | | | |
| 4. Source power | 4. Reticle protection during storage, handling and use | 4. Reticle protection during storage, handling and use | Reticle protection during storage, handling and use | EUVL manufacturing integration | | | | | | | | | | | | |
| Reticle protection during storage, handling and use | 5. Projection and illuminator optics quality & lifetime | 5. Projection and illuminator optics quality & lifetime | Projection / illuminator optics and mask lifetime | | | | | | | | | | | | | |
| Projection and illuminator optics quality & lifetime | | | | | | | | | | | | | | | | |

EUVL pilot line insertion in 2011/12 and HVM introduction in 2013

図表 6-9 EUV 露光技術の抱える課題 SEMATECH EUVL Symposium 2009 から

波長13.5nmでは、光学要素を構成できる透明材料は無いため、基本的な光学系は反射ミラーで構成される。 13.5nmは多層膜反射技術の選択肢から絞り込まれた波長で多層膜をMoとSiで構成する。多層膜の構成は周 期7nmほどで最低40周期となる。マスクも、同様な構成の多層膜反射層を有する反射型マスクとなり、多層膜 上の遮光膜をパターン化して用いる。EUV光の経路の照明光学系の一部には浅い角度で入射・反射する斜 入射全反射ミラー(多層膜ではなくRuなどの金属表面に浅い角度で光を入射して表面反射させる方式)も用い られるが、多くはMo/Si多層膜を用いた直入射型(垂直入射は構成できない。数度~20度程度)のミラーが用い られ、投影光学系は全て多層膜ミラーで構成される。NA 0.25の投影光学系は6枚の多層膜ミラーで構成され、 マスクを含めて全体で13枚程度の多層膜反射面となる。Mo/Si多層膜の反射率は、理論値でも高々70%強で 現状、70%を超えない。光源から、照明系、マスク、投影光学系の反射面を経てウェハに到達するEUV光は、 1%にも満たない。ほとんど全てのエネルギーが熱負荷となる。その為、熱膨張係数の非常に小さな材料が必 要で、ミラーやマスクの基板にはTiドープの石英ガラスや結晶化ガラスなどの低熱膨張材料(LTEM: Low Thermal Expansion Material)が用いられる。EUV露光技術においてエネルギー効率は非常に大きな課題であ る。光源に投入される電力の1/10⁵程度しかEUV光としてウェハ面に到達しない。

次に EUV 露光装置、マスク、レジスト、マスクデータ処理の開発課題を整理する。

EUV 露光装置は、EUV 光源、デブリシールド、集光光学系、照明光学系、マスクステージ、投影光学系、ウェハステージ、マスク及びウェハハンドリング・ロードロック機構、真空系、各種センサー、制御システムなどで構成される。EUV 露光装置は従来の 248nm や 193nm の露光装置との共通性に乏しく、ほぼ全てが EUV 露光装置固有の開発となっている。共通点は1/4の縮小投影である点程度である。図表 6-9 に、開発課題への認識の変遷を示した。昨年度まで光源が第一位であったが今年度無欠陥マスクにその座を明け渡した。しかしながら、依然として光源、レジスト、さらには光学系の寿命、コストなど多くの課題が未解決である。

EUV マスクは、基板にフォトマスクブランクスと同一の外形形状に加工した超低膨張ガラス(Tiドープ合成石 英ガラス)を用いる。反射型マスクは Mo-Si 多層膜(Mo ~3 nm, Si ~4 nm, pitch ~7 nm, >40 layers)、Capping(Si ~11 nm)、Buffer(Ru ~1~3 nm)、遮光膜(Ta or TaOxide, TaBN, ...50~70 nm)で構成されている。膜構成はまだ検

討が続けられている。光学式マスク欠陥検査装置におけるコントラストの最適化や 50~55 nm に薄膜化した遮 光膜を用いてマスクの 3D 効果を低減し、解像力の向上を図る提案等がなされている。

EUV マスク開発の最大の課題は無欠陥化である。ブランクスの無欠陥化のためには多層膜に欠陥が無い ことが求められる。多層膜の位相欠陥の回避は特に困難な課題である。EUVマスク固有の位相欠陥は多層膜 の平坦性が崩れている段差で発生し、1.5から2 nmの段差で干渉効果により暗部を形成する。段差の主因は 超低膨張ガラス基板の表面の凹凸であり、25nm 幅で 3 nm の段差はハーフピッチ 22 nm パターンの 10%の CD エラーを引き起こす。現在、EUV マスクの位相欠陥を検査するために EUV 波長による(Actinic)欠陥検査 装置の開発が進められている。次にパターン欠陥検査技術である。DUV 光や電子線を用いた検査装置の開 発が行われており、ハーフピッチ 22nm までは何とか目処が立ってきたもののさらなる微細化に対応する必要 がある。パターン欠陥の修正技術については、特に黒欠陥を除去する修正において、多層膜の位相項を含 めて反射率を損なうことなくエッチングする技術が必要となる。従来の FIB 修正技術では Ga が基板に打ち込 まれ、多層膜を劣化させ反射率の低下を招くことが知られている。第三の課題は、無欠陥で製造されたマスク が露光装置で用いる段階でも無欠陥であり、無欠陥が保証される技術の構築である。EUV マスクでは、従来 の考え方のペリクルが無いため、マスク表面への欠陥の付着が問題となる。また、コンタミネーションも無視で きない。真空中では、比較的容易に照射領域にハイドロカーボンなどの真空中の不純物が堆積し、マスクの 反射率の低下を招く。従来の光リソグラフィにおいてマスクの転写像計測は AIMS が用いられてきた。 EUV-AIMS は未だ開発が検討されている段階であり、開発費用の問題で目処が立っていない。マスク製造イ ンフラに関して、SEMATECH 主導の EMI (EUV Mask Infrastructure)プログラムにより開発が加速されている。

EUV マスクには反射型であるためマスク面への入射と反射は光軸を共有できないといった固有の課題があ る。NA 0.25 の設計では主軸6度の入射となる。それに伴い高さのある遮光膜パターンのエッジは、その方向 に依存して入射光の角度が異なるために、解像性能と転写位置が異なる。すなわち、パターンの変形が生じ る。入射角は露光領域(スリット)内で像高に依存して回転するため、歪は露光領域内で一様ではない。フレア と呼ばれる迷光も無視できない。フレアは多層膜の面精度に依存し、ミラー面の研磨技術が課題である。現在 稼動中のα機では10%以上、初期の量産機では7%以下とされており、ArFに比べて桁違いに大きい。マスク



Simple shot-noise model predicts 1/√dose relationship between LER and dose

Data courtesy of Dr. P. Naulleau (LBNL) and Dr. T. Wallow (AMD)

図表 6-10 LER と露光量の関係 $\propto \sqrt{\text{dose}}$

パターンに応じてフレア補正の必要がある。

EUV光源は、DPP(Discharge Produced Plasma)とLPP(Laser Produced Plasma)の二方式が開発・検討されて いる。量産機のEUV光源には、発光する元素としてSnが用いられる。Xe、Sn、Liなどの様々なターゲット材料 の選択肢の中から、大きなCE(Conversion Efficiency)の得られるSnが本命視されて検討が進み、現在開発中 のDPP、LPPともにSnを採用している。露光処理能力 100 wph(wafer per hour)の達成には、 200W@IF(Intermediate Focus: 中間焦点位置)以上の強度が求められる。DPPは a 機における搭載・稼働実績 が複数台あり、8W@IFのパワーで実際のEUV露光評価に用いられている。DPPではSn槽からSnを回転板に 供給する機構を用いて熱交換との両立を行い放電させる回転電極方式にレーザートリガー技術を組み込む 技術の開発が行われており、量産機に対応できる出力の確保を目指している。1 時間以上の連続発光(Duty cycle=100%)で34W@IF相当の出力が報告されている。一方LPPでは、瞬間値で100W@IFが報告されている 程度であったが、2009 年に入って実用的な数値に結びつくデータが報告された。 実際の露光処理で一回の スキャン露光で必要と考えられる400msecの連続発振動作が得られ、100msecのインターバルで、18時間の運 転をCymer社が報告した。出力は 20~40Wである。集光光学系も捕集立体角 5srのNormal incident ML Mirror が実装試験に入った。デブリと呼ばれる飛沫の課題もある。Snがプラズマ状態から飛散し異物としてミラーに 付着する等の汚染を引き起こすため、対策が必要である。光源側ではSnの飛散量を最小とするために、ター ゲット材料であるSnの液滴化とレーザープレパルスを組み合わせて用いる検討が進んでいる。30um o 以下の Sn 液滴をプラズマ化し密度とサイズを制御し、ついでCO2レーザーによる大きなエネルギーを注入しEUV発 光させる技術への取り組みである。デブリシールドは集光光学系、さらにIFへのSnを主成分とするデブリの進 入・付着を阻止する機構で、ガスを流したり磁場でイオンを阻止したりする技術が検討されている。また、付着 したSnをハロゲンガス等と反応させて除去する洗浄技術も開発段階にある。集光光学系はDPPとLPPでその方 式が異なる。DPPでは浅い角度でEUV光を入射させ、Ruなどの表面で反射させるGrazing Angle Collector方 式で集光する。LPPでは多層膜ミラーを用いるNormal Incident ML Mirrorを用いて集光する。現在もLPPと DPPの並行開発が続いている。

| 会社 | IMS Nanofabrication | MAPPER Lithography | KLA-Tencor | Multibeam Systems | Advantest | Vistec |
|-----|-------------------------------------|--|-----------------------------|--|------------------------------|----------------|
| 名称 | PML2 | MAPPER | REBL | MBX | MCC | MSB |
| | | マッシブパラレル | , | マルチ | カラム | |
| ナギ | 50kV | 5kV | 50kV | 50kV | 50kV | |
| 力式 | ~10M本ビーム | 13k本ビーム | 反射型 (REBL) >1Mピクセル | 30mm間隔-10本 計88本 3rd Order Imaging | マスク用 4カラム | VSB 8 x 8 |
| TPT | 5wph (10台 クラスタで 50wph) | 10wph (10台 クラスタ で 100wph) | 40wph (Via) 2wph (Metal) | >15wph (Via) | ~10wph (ウェハ用、 カラム数増加要) | |
| 実証 | 2012年 <i>β</i> ? | 2011 年β ? | 2013年 <i>β</i> | | | 2010 年α |
| 備考 | EU FP7 MAGIC プロジェクト | EU FP7 MAGIC プロジェクト TSMC, LETI | DARPA | TEL | ASET-D2I (Mask) | |

図表 6-11 EB ML2

EUVレジストの性能も未だ要求を満たしていない。既に述べたように、EUV露光においては、光源で発生したEUV光の利用効率が非常に悪い。その為 10 mJ/cm²以下の高感度レジストが切望されている。現在、RLS(Resolution:解像度、LER/LWR:ラインエッジラフネス/ライン幅ラフネス、Sensitivity:感度)トレードオフと言われ、両立できていない。LER/LWRを解決する手段は単純には露光量の増大である(図表 6-10)。また、Resist Blurと呼ばれる化学増幅型レジストの酸拡散に伴うボケが生じ、潜像と現像後のレジスト像との差が大き

い。これは解像力の劣化であり、Resist Blurの低減が急務であるものの、感度の低下無しに改善できる見通し は得られていない。また、特に、LER/LWRは、EUVL固有の課題では無く、ArFなどの露光技術においても、 問題であり、Shot Noiseなど現象の理解と対策、最適露光量の選択などの検討が進められている。レジスト開 発の中には、分子レジストへの取り組みがある。漸く、ArFレジスト並みのLER/LWRを示すレジスト材料も試作 されてきた。レジスト材料(樹脂、酸発生剤)の開発だけに依らず、プロセスの最適化(下層膜、リンス処理、現 像)による改善、ポストプロセスによるLER/LWRの低減も可能であることが示されてきている。レジストのアウト ガスも問題とされている。真空中に逸散したガスは、EUV光照射によって、比較的容易にハイドロカーボン系 のデポ膜を形成することが知られている。装置側の対応と共に、アウトガスのないレジストの開発が行われてい る。EUVレジスト材料の開発は、露光評価の環境が整備されて加速されている。2010年には、β機が市場投 入され、さらなるレジスト開発の加速が期待できる。

EUV露光技術は、比較的大きなk₁値から導入されるため、RET、OPC処理などの負担は少ないものとされている。しかし、前述した入射角依存の補正と、フレアの補正は必要となる。マスク全面を補正するために単純なルールであっても、マスクの全パターンを補正処理しなければならない。EUVL専用のMDP(Mask Data Preparation)技術の開発が急務となっている。

EUV 露光装置の課題は、低収差、低フレアの光学系の製作である。研磨精度と多層膜の製作が課題である。 収差の計測技術には、既に6枚ミラー光学系を露光波長で計測する技術が報告されている。マスク、ウェハの 保持も大きな課題である。静電チャックの使用を前提として検討されているが、要求される平坦度は、数10 nm であり、重ねあわせ精度に影響する。

EUV 露光技術のコストの問題は依然として残されている。光源パワーと熱問題がスループットの制約となる。 現在 5wphのα機の処理能力は今後改善され、デバイス製造に適用される量産機では、120~150wph が達成 されているものと期待されている。EUV 露光装置はさらなる大きな処理能力を期待されている。その為には光 源の開発が鍵であり、変換効率、ミラーの反射率の低さに伴う熱問題の解決と部品の長寿命化が課題となる。 2010 年~2011 年には、β機の実績が得られているものと期待されている。

一方、EUV 露光技術の実用化開発は容易には進んでいない。開発は SEMATECH、IMEC、ANT、Selete と いったコンソーシアム、アライアンスにおいてのみ行われている。露光装置の開発は ASML が先行し、Nikon が続く状況となっている。ASML が IMEC と ANT に ADT を、Nikon は Selete に EUV1 を納入し、それぞれに おいてデバイス試作への適用を行っている。現在 β 機の開発が行われており、2010 年の稼動を目指している。 しかし、β 機に搭載する EUV 光源の開発は遅延しており、現時点でのスループットの目標は 60wph と、初期

の目標であった100wphの達成は困難な状況 である。2012 年に登場するとされる量産対応 機で漸く達成される見通しである。露光機開 発のタイミングとマスク、レジストの開発が整 合できるかは全く予断を許していない。

技術的課題は非常に大きいがEUVLへの 期待は大きい。193nmの液浸露光技術では、 hpで 38~40nm (ピッチで 76~80nm)が、シング ル露光の限界となる。k₁<0.25を達成するため には何らかのDPが必要となるが、露光コスト の倍増と設計制約を伴い、OPC/SB処理の負 担は激増する。シングル露光でk₁値が大きく、 OPC負荷が小さいEUVLは非常に魅力のあ る露光技術である。EUV露光技術は 22nm、



"SEMATECH's NanoImprint Program: A Key Enabler for Nanoimprint Introduction", Lloyd C. Litt, et. al., SEMATECH and Advanced Micro Devices, Proc of SPIE Vol. 7271, 72711Q, (2009).

図表 6-12 NIL

16nm、さらには 11nmの世代においても、解像性能が達成できると期待されている。NA 0.5 を超える設計例も報告されており、複数世代をカバーする露光技術として期待できる。

6-2-4 ML2、NIL、DSA 他

16 nm 以細の議論では、EUVL に続く将来技術候補として ML2(Maskless Lithography)、NIL(NanoImprint Lithography)、DSA(Directed Self Assembly)そして IL(Interference Lithography)があげられている。

ML2 の多くは EB で Multi-beam と Multi-column に分類できる。EB 以外では OML(Optical Maskless Lithography)と呼ばれる Micro Mirror Array を用いる光の方式や Ion Beam を用いる方式が検討されているが、特に断らない限り、EB を線源とする狭義の ML2 を示している場合が多い。ML2 は、MAPPER、IMS をはじめ 多くのプログラムで活発に開発が進められている。図表 6-11 に概要をまとめた。まだ技術の実証段階ではある が、開発目標値が示すスループットは期待にはほど遠い。その為、大量生産のリソグラフィとして位置づけることは出来ない。しかし、研究開発、多品種少量生産でのニーズも大きく、最先端マスクの高騰を回避する技術 としての位置づけは変わっていない。MAPPER Lithography では POC(proof of concept)機(110 本ビーム)に よる 30nm のアレイパターンや 22nm SRAM パターンの形成が報告されている。また、Vistec は Multi VSB (MSB) 方式の POL (Proof of Lithography: 4×4 ビーム) で 30nm L&S を描画した結果を発表した。また、アド バンテストでは ASET のプロジェクトで MCC の研究開発を行っている。4 カラムの POC で 32nm L&S 描画や カラム間接続もデモ描画されている。元々マスク向けの技術であるが、直接描画への適用に期待する声もで ている。ML2 開発は、2012 年から 13 年頃に量産機を計画している。スループットの飛躍的な改善が困難な状 況は変わらず、最近の提案では EB 描画モジュールをコンパクトに構成し複数モジュールをクラスター化して、100wph を超えるスループットを目指している。IMS は、EB と Ion Beam を共通のコンセプトで開発し、微細パタ ーンの形成結果を示している。

NIL は微細パターンを優れた LER で形成でき、またデュアルダマシンなどの 3D 構造を一括で形成できる 技術として注目されている。UV 光を用いて液状のレジスト材料を硬化させステップアンドリピートする MII 社の S-FIL 技術が先行している。1:1 の合成石英テンプレートマスクの製作や重ね合わせ精度の課題が残されてい



Fig. 1. Process to create lithographically defined chemically prepatterned surfaces and subsequent directed assembly. (A) Electron-beam lithography patterns at Ls = L0 (left) and Ls = 2L0 (right). (B) Chemical contrast on the substrate after O2 plasma exposure on the e-beam–defined spots above. (C) Block copolymer thin film. (D) Guided self-assembly in registration with the underlying chemical pattern.

D. S. Kercher, T. R. Albrecht, J. J. de Pablo, P. F. Nealey, Science 936 vol. 321 (2008)

図表 6-13 DSA Guided self-assembly によるピッチ倍増技術

たが、重ね合わせ精度が 15nm レベルの結果も報告され少しずつ進展を見ている。 欠陥を対策しながらスル ープットの改善を目指した開発が行われている(図表 6-12)。

DSA は記録メディアへの適用を目指す開発の中から位置合わせ機能の可能性が提案される等注目されて いる。報告の多くは PS-MMA Block copolymer を用いる系で、材料設計で決まるピッチとサイズ(ライン/スペー スサイズ、あるいは、ドット/コンタクトホールサイズ)を有している点に特徴がある。半導体製造プロセスでも特 殊な用途で導入される可能性があり特に近年報告されている Marking あるいは規則性を拘束するパターンを 用いる等して、2~n倍の密度で規則的に配置していく技術の開発に注目が集まる(図表 6-13)。 ITRS のリソの ロードマップでは、16 nm の技術候補である。さらに、2009 年版では Interference Lithography が 16nm 以細の 候補として登場した。干渉縞を転写するもので、二光束干渉、あるいは四光束干渉により、ラインアンドスペー スやコンタクトアレイの形成が可能になる。

6-3 ITRS2009 の取り組み

2009年版における解決策候補の見直しのポイントは、2013年の導入に向けた EUVL 露光技術開発が間に 合うか否かにある。また、デバイスのトレンドからリソグラフィ技術に要求される数値を反映させた。

6-3-1 リソグラフィ技術への要求

図表 6-14 に更新されたリングラフィーの要求一覧表を示す。NAND Flashメモリの微細化トレンドは2010年ま

| Year of Production | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 |
|--|-----------|-----------|-----------|-----------|------|-----------|------|-----------|-----------|-----------|------------|-----------|-----------|-----------|-----------|----------|
| DRAM 1/2 pitch (nm) (contacted) | <u>52</u> | <u>45</u> | <u>40</u> | <u>36</u> | 32 | <u>28</u> | 25 | <u>23</u> | <u>20</u> | <u>18</u> | <u>16</u> | <u>14</u> | <u>13</u> | <u>11</u> | <u>10</u> | <u>9</u> |
| DRAM | | | | | | | | | | | | | | | | |
| DRAM 1/2 pitch (nm) | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 |
| CD control (3 sigma) (nm) [B] | 5 | 4.7 | 4.2 | 3.7 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 | 0.9 |
| Contact in resist (nm) | 57 | 50 | 44 | 39 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 10 |
| Contact after etch (nm) | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 |
| Overlay [A] (3 sigma) (nm) | 10 | 9.0 | 8.0 | 7.1 | 6.4 | 5.7 | 5.1 | 4.5 | 4.0 | 3.6 | 3.2 | 2.8 | 2.5 | 2.3 | 2.0 | 1.8 |
| k1 193 / 1.35NA | 0.36 | 0.31 | 0.28 | 0.25 | 0.22 | 0.20 | 0.18 | 0.16 | 0.14 | 0.12 | 0.11 | 0.10 | 0.09 | 0.08 | 0.07 | 0.06 |
| k1 EUVL | | 0.83 | 0.74 | 0.66 | 0.59 | 0.52 | 0.47 | 0.58 | 0.52 | 0.46 | 0.41 | 0.37 | 0.33 | 0.42 | 0.37 | 0.33 |
| Flash | | | | | | | | | | | | | | | | |
| Flash 1/2 pitch (nm) (un-contacted poly) | 38 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | 8 | 7 | 6 |
| CD control (3 sigma) (nm) [B] | 4 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 | 0.9 | 0.8 | 0.7 | 0.7 |
| Contact Pitch (nm) | 219 | 190 | 170 | 151 | 135 | 120 | 107 | 95 | 85 | 76 | 67 | 60 | 53 | 48 | 42 | 38 |
| Contact after etch (nm) | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 |
| Overlay [A] (3 sigma) (nm) | 12 | 10.5 | 9.4 | 8.3 | 7.4 | 6.6 | 5.9 | 5.3 | 4.7 | 4.2 | 3.7 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 |
| k1 193 / 1.35NA | 0.26 | 0.22 | 0.20 | 0.18 | 0.16 | 0.14 | 0.12 | 0.11 | 0.10 | 0.09 | 0.08 | 0.07 | 0.06 | 0.06 | 0.05 | 0.04 |
| k1 EUVL | | 0.61 | 0.55 | 0.49 | 0.43 | 0.39 | 0.33 | 0.41 | 0.37 | 0.33 | 0.29 | 0.26 | 0.23 | 0.29 | 0.26 | 0.23 |
| MPU | | | | | | | | | | | | | | | | |
| MPU/ASIC Metal 1 (M1) 1/2 pitch (nm) | 54 | 45 | 38 | 32 | 27 | 24 | 21 | 19 | 17 | 15 | 13 | 12 | 11 | 9 | 8 | 8 |
| MPU gate in resist (nm) | 47 | 41 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 9 | 8 |
| MPU physical gate length (nm) * | 29 | 27 | 24 | 22 | 20 | 18 | 17 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 |
| Gate CD control (3 sigma) (nm) [B] ** | 3.0 | 2.8 | 2.5 | 2.3 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.8 |
| Contact in resist (nm) | 66 | 56 | 47 | 39 | 33 | 29 | 26 | 23 | 21 | 19 | 17 | 15 | 13 | 12 | 10 | 9 |
| Contact after etch (nm) | 60 | 51 | 43 | 36 | 30 | 27 | 24 | 21 | 19 | 17 | 15 | 13 | 12 | 11 | 9 | 8 |
| Overlay [A] (3 sigma) (nm) | 13 | 11 | 9.5 | 8.0 | 6.7 | 6.0 | 5.3 | 4.7 | 4.2 | 3.8 | 3.3 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 |
| k1 193 / 1.35NA | 0.37 | 0.31 | 0.26 | 0.22 | 0.19 | 0.17 | 0.15 | 0.13 | 0.12 | 0.11 | 0.09 | 0.08 | 0.07 | 0.07 | 0.06 | 0.05 |
| k1 EUVL | | 0.83 | 0.70 | 0.59 | 0.50 | 0.44 | 0.39 | 0.49 | 0.44 | 0.39 | 0.35 | 0.31 | 0.28 | 0.35 | 0.31 | 0.28 |
| Chip size (mm ²) | | r | | 1 | | | | | | | | | | | | |
| Maximum exposure field height (mm) | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 |
| Maximum exposure field length (mm) | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 |
| Maximum field area printed by exposure tool (mm ²) | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 |
| Wafer site flatness at exposure step (nm) [C] | 48 | 42 | 37 | 33 | 29 | 26 | 23 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 9 | 8 |
| Number of mask levels MPU | 35 | 35 | 35 | 35 | 37 | 37 | 37 | 37 | 39 | 39 | 39 | 39 | 39 | 39 | 0 | 0 |
| Number of mask levels DRAM | 24 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 0 | 0 |
| Wafer size (diameter, mm) | 300 | 300 | 300 | 300 | 300 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 |
| | | | | | | | | | | | | | | | | |

Table LITH3 Lithography Technology Requirements

| NA required for Flash (single exposure) | 1.43 | 1.70 | 1.91 | 2.14 | | | |
|---|------|------|------|------|------|------|------|
| NA required for logic (single exposure) | 1.16 | 1.38 | 1.64 | 1.94 | 2.31 | | |
| NA required for double exposure (Flash) | 1.02 | 1.22 | 1.36 | 1.53 | 1.72 | 1.93 | 2.17 |
| NA required for double exposure (logic) | 0.80 | 0.95 | 1.12 | 1.34 | 1.59 | 1.78 | 2.00 |
| FUIV NA minimum | | 0.25 | 0.25 | 0.25 | 0.25 | 0.25 | 0.25 |

Double Patterning solution:

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known Manufacturable solutions are NOT known Triple / multiple ==> red

図表 6-14

リソグラフィへの要求

0.35 0.35 0.35 0.35 0.35 0.35 0.5 0.5 0.5

で 2 年ごとに 0.7 倍のペースで微細化が進み、2010 年に 32nm に達する。 以後は 3 年で 0.7 倍のペースとな る。MPUのM1ハーフピッチは2013年まで2年で0.7倍のペースで微細化が進み、2013年に27nmに達す る。以降は3年で0.7倍のペースになる。DRAMのハーフピッチは変更無く、2011年にDRAMセルサイズは 6F2から4F2へ移行する。NAND Flashメモリはセルピッチの微細化で先行し、DRAMはCDU、オーバーレイ で厳しく、MPUは、ゲートパターンで CDUと欠陥レベルで要求が突出している。

| Table LITH4A Resist Requirements | | | | | | | | | | | | | | | | |
|---|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | | | | | | | | | | | | | | | | |
| Year of Production | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 |
| DRAM 1/2 pitch (nm) (contacted) | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 |
| Flash 1/2 pitch (nm) (un-contacted poly) | 37.8 | 31.8 | 28.3 | 25.3 | 22.5 | 20.0 | 17.9 | 15.9 | 14.2 | 12.6 | 11.3 | 10.0 | 8.9 | 8.0 | 7.1 | 6.3 |
| MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted) | 54 | 45 | 38 | 32 | 27 | 24 | 21 | 19 | 17 | 15 | 13 | 12 | 11 | 9 | 8 | 8 |
| MPU physical gate length (nm) [after etch] | 29 | 27 | 24 | 22 | 20 | 18 | 17 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 |
| MPU gate in resist length (nm) | 47 | 41 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 9 | 8 |
| Resist Characteristics * | | | | | | | | | | | | | | | | |
| Resist meets requirements for gate resolution and gate CD control (nm, 3 | | | | | | | | | | | | | | | | |
| sigma) **† | 3.0 | 2.8 | 2.5 | 2.3 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.8 |
| Resist thickness (nm, single layer) *** | 80-145 | 70-130 | 60-115 | 55-100 | 50-90 | 45-80 | 40-75 | 35-65 | 30-60 | 25-50 | 25-45 | 20-40 | 20-40 | 15-35 | 10-25 | 10-25 |
| PEB temperature sensitivity (nm/C) | 1.5 | 1.5 | 1.5 | 1.5 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Backside particle density (particles/cm ²) | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 |
| Back surface particle diameter: lithography and measurement tools (nm) | 100 | 100 | 100 | 100 | 75 | 75 | 75 | 50 | 50 | 50 | 50 | 50 | 50 | 50 | 50 | 50 |
| Defects in spin-coated resist films ($\#/cm^2$) † | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 |
| Minimum defect size in spin-coated resist films (nm) | 30 | 30 | 20 | 20 | 20 | 20 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 |
| Defects in patterned resist films, gates, contacts, etc. (#/cm ²) | 0.03 | 0.03 | 0.02 | 0.02 | 0.02 | 0.02 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 |
| Minimum defect size in patterned resist (nm) | 30 | 30 | 20 | 20 | 20 | 20 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 |
| Low frequency line width roughness: (nm, 3 sigma) <8% of CD ***** | 3.7 | 3.2 | 2.8 | 2.5 | 2.2 | 2.0 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 |
| Correlation Length (nm) ****** | 29.2 | 25.8 | 23.3 | 21.4 | 19.6 | 18.6 | 17.0 | 15.5 | 12.6 | 12.8 | 11.5 | 10.2 | 8.3 | 6.9 | 7.9 | 8.9 |
| Defects in spin-coated resist films for double patterning (#/cm2) | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 |
| Backside particle density for double patterning (#/cm2) | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 |





レジストへの要求

6-3-2 ITRS2009 におけるリングラフィ解決策候補 (Potential Solutions)

Lithography iTWG では 2013 年の 32 nm~22nm、2016 年の 22nm~16nm を中心にリソグラフィ技術の解決策 候補の見直しを行った(図表 6-18)。解決策候補、関連テーブルの見直し選定の基準は 2004 年度に定められ たものを踏襲しており変更は無い。

▶全てのインフラ(マスク、露光ツール、レジスト等)が相当するノードに対し準備されていること。

- ♦ B Tool 及びそのインフラが2 年前に準備されること。
- 量産装置及びそのインフラが量産開始の1年前に準備できる見通しであること。 \diamond

▶ 少なくとも二つ以上のリージョンのIC メーカーが生産に使用することを計画していること

▶N+3 以降のノードではこの限りではない。

▶解決策候補として記載されるのは、最先端のクリティカル層に対応するテクノロジィであること。

▶対応する露光ツールが世界で100 台以上使われる見通しであること。

以上の定義は、多量生産をターゲットにしたものであるが、量産開始の定義が二社から10000チップ/月の生 産・出荷とする条件はリソグラフィ工程においては単一の露光装置で単一のマスクで実現可能な数値となって いることを勘案する必要がある。技術オプションの順番は主要技術となる可能性が高い順に記載されており、 最初にあげられた技術の可能性が最も高いことになる。

2010 年の 32nm(NAND Flash メモリ)は 193nm 液浸ダブルパターニングとした。2010 年の 45nm(MPU/DRAM)は193nm 水液浸のシングル露光である。液浸露光は1.35 が最大 NA であり、シングル露 光の限界は規則的な L&S で、hp 38 nm 程度が解像限界とされている。

2013 年の 32nm(MPU/DRAM)は 193nm 液浸ダブルパターニング、EUV である。2013 年の 22nm(NAND

Flash メモリ)および 2016 年の 22nm(MPU/DRAM)では第一候補が EUV、以降 193nm 液浸ダブル・多重パタ ーニング、ML2、NILとした。EUVLは2013 年の量産適用に向け開発が進行中である。EUV 露光装置の量産 機の出荷は 2012 年以降とされ、2013 年に生産に寄与できる可能性がある。マスクインフラ整備の準備プログ ラムが始まっている。

22 nm 以細に関しては、EUVL を本命候補としている。また、16nm からは新たに Interference Lithography を 候補技術として記載されている。ML2、NIL、DSA の記載に大きな変化は無い。現在解決策候補としてあげら れているいずれの技術も16 nm ハーフピッチの要求を満たすことができるかどうかは明確ではない。

| | | | | | | | | Ор | [| | | | | | | | |
|--|------|------|------|------|------|------|-----------|----------|--------------------------------------|----------|----------|---------|----------|---------|----------|-------|--|
| Table LITH5A Optical Mask Requirements | | | | | | | | | | solut | ions. be | eyond 2 | 2 nm | | | | |
| Year of Production | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | |
| DRAM/MPU/ASIC (M1) 1/2 pitch (nm) (contacted) | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | |
| DRAM CD control (3 sigma) (nm) | 5.4 | 4.7 | 4.2 | 3.7 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 | 0.9 | |
| Flash 1/2 pitch (nm) (un-contacted poly) | 38 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | 8 | 7 | 6 | |
| MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted) | 54 | 45 | 38 | 32 | 27 | 24 | 21 | 19 | 17 | 15 | 13 | 12 | 11 | 9 | 8 | 8 | |
| MPU gate in resist (nm) | 47 | 41 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 9 | 8 | |
| MPU physical gate length (nm) | 29 | 27 | 24 | 22 | 20 | 18 | 17 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | |
| Gate CD control (3 sigma) (nm) [A] | 3.0 | 2.8 | 2.5 | 2.3 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.8 | |
| Overlay (3 sigma) (nm) | 10.3 | 9.0 | 8.0 | 7.1 | 6.4 | 5.7 | 5.1 | 4.5 | 4.0 | 3.6 | 3.2 | 2.8 | 2.5 | 2.3 | 2.0 | 1.8 | |
| Contact in resist (nm) | 66 | 56 | 47 | 39 | 33 | 29 | 26 | 23 | 21 | 19 | 17 | 15 | 13 | 12 | 10 | 9 | |
| Generic Mask Requirements | | | | | | | | | | | | | | | | | |
| Mask magnification [B] | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 5 | 6 | |
| Mask nominal image size (nm) [C] | 186 | 162 | 141 | 126 | 112 | 100 | 89 | 79 | 71 | 63 | 56 | 50 | 44 | 40 | 44 | 47 | |
| Mask minimum primary feature size [D] | 130 | 114 | 99 | 88 | 78 | 70 | 62 | 55 | 49 | 44 | 39 | 35 | 31 | 28 | 31 | 33 | |
| Mask sub-resolution feature size (nm) opaque [E] | 93 | 81 | 71 | 63 | 56 | 50 | 44 | 40 | 35 | 31 | 28 | 25 | 22 | 20 | 22 | 24 | |
| Image placement (pm_multipoint) [F] | 62 | 54 | 48 | 43 | 3.8 | 34 | 3.0 | 27 | 24 | 21 | 19 | 17 | 15 | 14 | 1.5 | 16 | |
| CD uniformity allocation to mask (assumption) | 0.2 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 04 | 0.4 | 04 | 0.4 | 0.4 | |
| MEEF isolated lines, binary or attenuated phase shift mask | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | |
| [G] | 2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | |
| CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] * | 2.4 | 2.0 | 1.8 | 1.7 | 1.5 | 1.4 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.7 | 0.8 | 0.8 | |
| MEEF dense lines, binary or attenuated phase shift mask [G] | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 3.2 | 4.2 | |
| CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), | | | | | | | | | | | | | | | | | |
| binary or attenuated phase shift mask [J] | 3.9 | 3.4 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.7 | 0.5 | |
| MEEF contacts [G] | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 5 | 6 | |
| CD uniformity (nm, 3 sigma), contact/vias [K] * | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 | 0.9 | 0.8 | 0.7 | 0.7 | 0.6 | 0.5 | 0.5 | 0.4 | 0.4 | |
| Linearity (nm) [L] | 8.3 | 7.2 | 6.4 | 5.7 | 5.1 | 4.5 | 4.0 | 3.6 | 3.2 | 2.9 | 2.5 | 2.3 | 2.0 | 1.8 | 2.0 | 2.1 | |
| CD mean to target (nm) [M] | 4.1 | 3.6 | 3.2 | 2.9 | 2.5 | 2.3 | 2.0 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 1.0 | 1.1 | |
| Defect size (nm) [N] * | 41 | 36 | 32 | 29 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | 10 | 11 | |
| Blank flatness (nm, peak-valley) [O] | 190 | 165 | 147 | 131 | 117 | 104 | 93 | 83 | 74 | 66 | 59 | 53 | 47 | 42 | 37 | 33 | |
| Pellicle thickness uniformity [P] | 4.1 | 3.6 | 3.3 | 3.1 | 2.8 | 2.6 | 2.4 | 2.2 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.4 | 1.3 | 1.2 | |
| Data volume (GB) [Q] | 655 | 825 | 1040 | 1310 | 1651 | 2080 | 2621 | 3302 | 4161 | 5242 | 6605 | 8321 | 10484 | 13209 | 16642 | 20968 | |
| Mask design grid (nm) [R] | 2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0.5 | 0.5 | 0.5 | 0.5 | 0.5 | 0.5 | |
| Attenuated PSM transmission mean deviation from target (\pm | | | | | | | | | | | | | | | | Ι. | |
| % of target) [8] Attonuated PSM transmission uniformity, 0% of target | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | |
| transmission, range) $ T \rightarrow [S-2(Temp.)]$ | 4 | 4 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | |
| Attenuated PSM phase mean deviation from target (± | | | | - | - | - | | | - | | - | - | - | | - | - | |
| degree) [U] | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | |
| Attenuated PSM phase uniformity (degree, range) [T] | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | |
| Alternating PSM phase mean deviation from nominal phase angle target (± degree) [T] | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | |
| Alternating PSM phase uniformity (degree, range) [U] | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | |
| Mask materials and substrates | | | | | | | | A | bsorb | er/atter | nuator | on fus | ed silic | a | | | |
| | | | | | | P | ellicle f | or optic | al mas | ks for e | xposure | e wavel | engths | down to | o 193 ni | n, | |
| | | | | | | | | in | ncluding masks for 193 nm immersion. | | | | | | | | |

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

図表 6-16

フォトマスクへの要求

| Table LITH5B Double Patterning / Spacer Red | quirements O | | | | | | | | | Optical masks not part of potential solutions. beyond 22 nm | | | | | | | |
|--|--------------|--------|--------------|------|------|------|------|------|------|---|------|------|------|------|------|------|--|
| Year of Production | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | |
| DRAM/MPU/ASIC (M1) 1/2 pitch (nm) (contacted) | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | |
| DRAM CD control (3 sigma) (nm) | 5.4 | 4.7 | 4.2 | 3.7 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 | 0.9 | |
| Flash 1/2 pitch (nm) (un-contacted poly) | 38 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | 8 | 7 | 6 | |
| MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted) | 54 | 45 | 38 | 32 | 27 | 24 | 21 | 19 | 17 | 15 | 13 | 12 | 11 | 9 | 8 | 8 | |
| MPU gate in resist (nm) | 47 | 41 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 9 | 8 | |
| MPU physical gate length (nm) | 29 | 27 | 24 | 22 | 20 | 18 | 17 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | |
| Gate CD control (etched) (3 sigma) (nm) | 3.0 | 2.8 | 2.5 | 2.3 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.8 | |
| Overlay (3 sigma) (nm) | 10 | 9.0 | 8.0 | 7.1 | 6.4 | 5.7 | 5.1 | 4.5 | 4.0 | 3.6 | 3.2 | 2.8 | 2.5 | 2.3 | 2.0 | 1.8 | |
| Contact in resist (nm) | 66 | 56 | 47 | 39 | 33 | 29 | 26 | 23 | 21 | 19 | 17 | 15 | 13 | 12 | 10 | 9 | |
| Generic Pitch Splitting - Double Patterning Requirements | Driven by | MPU me | etal 1/2 Pit | tch | | | | | | | | | | | | | |
| Mean CD Difference in DP Lines | 0.9 | 0.8 | 0.6 | 0.5 | 0.5 | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 | 0.2 | 0.2 | 0.2 | 0.2 | 0.1 | 0.1 | |
| Pooled Dual Line CD control (3 sigma) (nm) | 3.3 | 3.0 | 2.7 | 2.4 | 2.2 | 2.0 | 1.8 | 1.7 | 1.5 | 1.4 | 1.3 | 1.1 | 1.0 | 1.0 | 0.9 | 0.8 | |
| Max. mean overlay for MPU LFLE or LELE | 0.8 | 0.7 | 0.6 | 0.5 | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 | 0.2 | 0.2 | 0.2 | 0.2 | 0.1 | 0.1 | 0.1 | |
| Overlay 3s for MPU LFLE or LELE | 5.5 | 4.6 | 3.8 | 3.1 | 2.6 | 2.3 | 2.0 | 1.8 | 1.5 | 1.4 | 1.2 | 1.1 | 0.9 | 0.8 | 0.7 | 0.6 | |
| Printed Dependent Space CD control for MPU LFLE-LELE (nm,3s) | 6.4 | 5.4 | 4.5 | 3.8 | 3.2 | 2.9 | 2.5 | 2.3 | 2.0 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | |
| Generic Spacer Patterning Requirements - Driven By Flash | 1 | | | | | | | | | | | | | | | | |
| Nominal printed duty cycle | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | 1:3 | |
| Core Gap (Line) CD Control (3 sigma) (nm) | 3.0 | 2.5 | 2.3 | 2.0 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 | 0.6 | 0.5 | |
| Line - Deposited Sidewall Thickness uniformity (3 sigma) (nm) | 1.9 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 | 0.6 | 0.5 | 0.4 | 0.4 | 0.4 | 0.3 | |
| Space Uniformity (Bi-Modal) 3 sigma | 4.5 | 3.8 | 3.4 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 | 1.7 | 1.5 | 1.4 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | |
| Mean CD Differce causing Bi-modal Spacce CD | 0.69 | 0.58 | 0.52 | 0.46 | 0.41 | 0.37 | 0.33 | 0.29 | 0.26 | 0.23 | 0.21 | 0.18 | 0.16 | 0.15 | 0.13 | 0.12 | |
| Overlay for spacer process | 11.9 | 10.0 | 8.9 | 8.0 | 7.1 | 6.3 | 5.6 | 5.0 | 4.5 | 4.0 | 3.5 | 3.2 | 2.8 | 2.5 | 2.2 | 2.0 | |
| Generic Mask Requirements | | | | | | | | | | | | | | | | | |
| Mask magnification [B] | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 5 | 6 | |
| Mask nominal image size (nm) [C] | 186 | 162 | 141 | 126 | 112 | 100 | 89 | 79 | 71 | 63 | 56 | 50 | 44 | 40 | 44 | 47 | |
| Mask minimum primary feature size [D] | 130 | 114 | 99 | 88 | 78 | 70 | 62 | 55 | 49 | 44 | 39 | 35 | 31 | 28 | 31 | 33 | |
| Mask sub-resolution feature size (nm) opaque [E] | 93 | 81 | 71 | 63 | 56 | 50 | 44 | 40 | 35 | 31 | 28 | 25 | 22 | 20 | 22 | 24 | |
| Image placement (nm, multipoint) [F] | 6.2 | 5.4 | 4.8 | 4.3 | 3.8 | 3.4 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 | 1.7 | 1.5 | 1.4 | 1.5 | 1.6 | |
| CD mean to target (nm) [M] | 4.1 | 3.6 | 3.2 | 2.9 | 2.5 | 2.3 | 2.0 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 1.0 | 1.1 | |
| Pitch Spliting - Double Patterning Specific Mask Rquireme | nts | | | | | | | | | | | | | | | | |
| Image placement (nm, multipoint) for double patterning of dependent layers [V] | 4.4 | 3.8 | 3.4 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 | 1.7 | 1.5 | 1.4 | 1.2 | 1.1 | 1.0 | 1.1 | 1.1 | |
| Difference in CD Mean-to-target for two masks used as a double patterning set (nm) [W] | 2.1 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 | 0.6 | 0.5 | 0.5 | 0.5 | 0.5 | |

Manufacturable solutions exist, and are being optimized Manufacturable solutions are known Interim solutions are known Manufacturable solutions are NOT known

図表 6-17

ダブルパターニングの要求

6-4 iTWG 活動

ゲート CD と LWR 制御能力はデバイスに影響する。CD 制御のレベルに応じて、トランジスタ性能に影響を 与えるイオン注入、拡散およびエッチング等の他プロセスへの要求へ影響を与える。また、厳しい CD 制御は 計測にも厳しい精度を要求する。デザインはトランジスタ性能に影響を与える全てのプロセスの総体の能力を 考慮に入れる必要がある。デザイン TWG は、最も重要なプロセスとデバイスの変数の関数として、回路の遅 延と消費電力の変動性をシミュレーションした。シミュレーションでは、+/-12%への CD 制御要求の緩和がこれ ら回路属性に影響する全ての重要なパラメータの変動により与えられる回路遅延と消費電力が許容できる変 動に入るという結果を示した。

Factory TWG と議論を行い、EUVL ではメンテナンス用クレーン設置等新しいファクトリデザインおよびペリ クルのないマスクのための環境整備を要求した。また、Modeling TWG との議論では EUV マスク欠陥転写性、 EUV 基板欠陥転写性、EUV マスク LER とレジスト LER の関係等の課題について整理した。また、Metrology TWG に対してはダブルパターニングにおける各寸法、位置精度、側壁角度の計測を要求している。ERM TWG には二重露光レジスト、非線形化学増幅レジスト、Directed Self assembly 等の新材料を要求した。EUV 向けネガレジストはフレアの影響の低減を目的とし、ドライエッチング耐性改善等の要求も示した。Modeling TWGには、今後CL への取り組みが強化されてくることから、シミュレーション精度を向上しながら同時に速度 の改善を要求した。寸法が微細になるに従いマスク三次元計算の必要性が大きくなるが、計算時間が非常に





露光装置解決策候補

長くなるため、工夫が要求されている。

More than Moore に関わる議論は発展できていない。リソグラフィに対する要求が明確化できていない。リソ グラフィ技術の検討を図る上でまず考えなければならない点は対象となる基板、被加工材料の形状である。ま た、3D 加工がどこまで要求されるのか明確ではない。今後の議論で可能性を確認して行きたい。

6-5 まとめと今後の課題

EUVL は遅延し、導入のタイミングは 2013 年の 22 nm 世代以降という状況である。開発状況次第では 2013 年に間に合わない可能性も出てきている。既にNAND Flashメモリへ適用されている Spacer ダブルパターニン グでは成膜やエッチング等のプロセスが複雑でコストが非常に高い。さらに、Pitch Splitting のダブルパターニ ング技術では重ね合わせや寸法への厳しい精度要求、設計負担に加えて、工程数の増加に伴うプロセスコス トの上昇が莫大であることがわかっている。例え、比較的コストで有利な LFLE であっても、二回のクリティカル な露光工程はそれだけでコストが非常に高くなっている。ダブルパターニングでは非常に複雑なパラメータ制 御が要求される。パターンの自動分割技術についても開発が進められているものの、マスクの複雑性も困難な 課題である。特にロジックにおいては、設計からのアプローチによりダブルパターニング回避のためのシング ル露光の延命技術や場合によって必要とされる 3 回以上の多重露光の回数を極力小さくする努力・工夫が要求されている。そのため、光源とマスクを最適化する SMO や設計ルールの自動最適化ツールといった CL の 開発および有効活用が今後ますます重要となる。

2010年度の活動では本命次世代技術であるEUVLの開発進捗を見極め、さらに次の世代に進むための指 針となるロードマップの策定に向けて活動していく。EUVL ではマスクインフラ、光源およびレジストの開発の 遅れが指摘されており、量産適用までの道のりは遠い。様々な学会・ワークショップ等の情報を元に 193nm ダ ブルパターニングから EUVL への移行時期の見極めを行っていく。また、依然として 16nm 以細のリングラフィ 技術は不透明である。ML2 や NIL 等の各種リングラフィ手法の開発の進捗にも注目しながら、アプリケーショ ン毎(少量生産品向け技術、大量生産品向け技術、ファンダリ用技術等)に最適なリングラフィ技術の検討も行 っていく。