

第 8 章 WG7 実装

8-1 はじめに

Gordon E. Moore が 1965 年に「部品あたりのコストが最小になるような複雑さは、毎年およそ 2 倍の割合で増大してきた。短期的には、この増加率が上昇しないまでも、現状を維持することは確実である。より長期的には、増加率はやや不確実であるとはいえ、少なくとも今後 10 年間ほぼ一定の率を保てないと信ずべき理由は無い。すなわち、1975 年までには、最小コストで得られる集積回路の部品数は 65,000 に達するであろう。私は、それほどにも大規模な回路が 1 個のウェーハ上に構築できるようになると信じている。」と述べたムーアの法則が 10 年以降も継続して成長しているのを More Moore と表した。More Moore に従わない「機能の多様化」の方向を More than Moore で表現して、そのベクトル和がより高い半導体デバイスの付加価値の方向であると主張したのは ITRS の 2005 年版であった。

半導体パッケージはそのコンセプトを真っ先に実現するものとして、ITRS の中でも最も積極的に More Moore と More than Moore の課題に取り組んできた。More than Moore の概念も、2005 年に ITRS から発表されてから現在まで変遷があった。例えばプロセッサとメモリからなる SiP (System in Package) がその当時は More than Moore と言われていたものが、2007 年に CMOS の等価的スケールリングという概念が新たに加わって、More Moore に分類され直している。

現在は、プロセッサやメモリなど CMOS トランジスタから構成されて、トランジスタ数の増加と高速演算性能が付加価値となる製品を More Moore と捉えている。一方、センサやパワーデバイス、バイオチップなど、トランジスタ数の増加よりも機能の多様化が付加価値となる製品を More than Moore と捉えている。これらの CMOS 以外の機能をデバイスとして集積することは More than Moore として、その基盤がチップ上ならば System on Chip、パッケージ上ならば System in Package としている。

ITRS 2009 年の Assembly and Package (A&P) の章では、従来の More Moore に属する項目のロードマップに加えて、More than Moore に属する光デバイス、パワーデバイス、MEMS 用のパッケージについても論じている。

8-2 用途の分類

従来 ITRS では、パッケージの用途として、①低コスト・携帯電子機器用途、②コスト性能比が高い電子機器用途、③高性能電子機器用途、④車載電子機器用途の 4 つに分類してロードマップを記載していた。しかし、今年から従来の低コスト・携帯電子機器用途を低コスト用途、携帯電子機器用途、メモリ用途の 3 つに細分化して、①低コスト電子機器用途、②携帯電子機器用途、③メモリ用途、④コスト性能比が高い電子機器用途、⑤高性能電子機器用途、⑥車載電子機器用途の 6 分類に増やした。

これは、先端製品とその性能に偏重していた ITRS ロードマップが、より民生品向け半導体デバイスのロードマップに焦点を移してきたことを示す。この用途の細分化によって、より量産品、民生品の世界を表現できるようになった。

8-3 システムインパッケージ(SiP)

SiP についても上記の 6 用途に分類して各々のロードマップを作成した。ここでは、その 6 分類のうち、①携帯電子機器用途 SiP、②メモリ用途 MCP、③車載電子機器用 SiP、④高性能電子機器用途 SiP について記す。

(1) 携帯電子機器用途 SiP

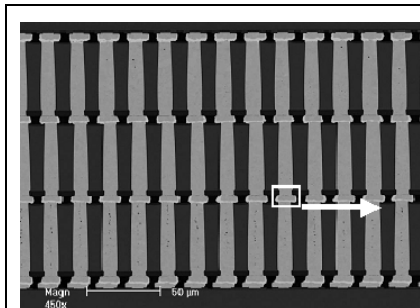
携帯電子機器用 SiP の形状寸法に関するロードマップを図表 8-1 に記述した。パッケージ高さは 8 チップ積層時の最小高さを示しており、現状の最薄で 1.2 mm であるものが、2014 年には 0.8mm まで薄くなる。そのた

めに、DAF (Die attach film、ここではチップ間接着フィルムも含む)の厚さを 15 μm から 10 μm に減らす必要がある。DAF 単体の厚さが 15 μm でも 8 層にしたら合計 120 μm になるが、10 μm 厚であれば総厚 80 μm に薄くすることができる。しかし、DAF が 15 μm から 10 μm に薄くなることによってプロセス上の課題も発生する。例えば、薄い DAF では基板表面の凹凸が大きいとボイドが発生するし、シリコンくずが落下してチップ下に入った場合には突起となって応力が集中し、チップ割れが発生する可能性が高くなる。

ワイヤボンディング用チップでは、2014年にチップ厚が 20 μm まで薄くなると考えられる。ストレスの集中を防止するために、シリコンチップのエッジを面取りし、チップ裏面と側面のストレス残留層を除去するプロセスが採用される。携帯電子機器用途の SiP 用の基板は両面コアの表裏にビルドアップ 1 層を追加した基板が多いが、現状で最薄 180 μm 厚であり、それが今後更に薄くなる。フリップチップやチップオンチップ(CoC、図表では Face to face と表示)はチップの回路面にバンパ突起を設けてあるので、裏面研削時に使用される表面保護テープはワイヤボンディング用ウェーハの表面保護テープに比べて厚い。チップ回路面のバンパをテープ内に埋め込んで保護するためであるが、そのために研削厚さにばらつきがでて、ウェーハ厚さを極端に薄くすることが難しくなる。

SiP の特徴は複数のチップが 1 つのパッケージ内で接続されてシステムを構成することである。それゆえにチップ間接続を特徴としているが、その手段によってパッケージ構造と電気的性能が決まる。接続方法には、シリコン貫通電極 (Through silicon via, TSV)、CoC、ワイヤボンディング、PoP (Package on Package) があり、それらの接続方法に応じて SiP 外形のロードマップも異なった値となる。

Category	Year of Production		2009	2011	2012	2014	2015	2017	2019
Mobile Package Physical parameters	package height (8 die stacked;mm)	All	1.2	1.0	1.0	0.8	0.8	0.8	0.8
	Min DAF thickness (μm)	Wire bond	15	15	10	10	10	5	5
	Min Substrate thickness (μm)	All	180	160	140	100	100	80	80
	Min resin thickness over die (μm)	Wire bond	150	100	80	70	70	60	50
	Min die thickness (μm)	TSV	-	-	40	30	30	20	18
		Face to face	70	50	50	50	35	35	35
		Wire bond	40	40	30	20	20	20	20
		PoP (wire)	40	40	30	20	20	20	20
		PoP (FC)	70	50	50	50	50	50	50
	Max number of stacked die	TSV	-	-	3	4	4	4	7
		Face to face	2	2	2	2	2	2	2
		Wire bond	4	5	5	5	5	6	6
		PoP	2	2	3	3	3	4	4
	Max number of die in a package	All	10	12	12	14	14	15	16



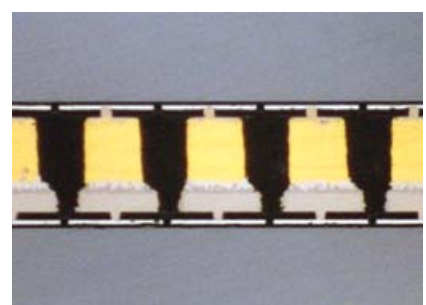
TSV

(出典:ASET、ECTC2003)



Wire bonding (Cascade bonding)

(出典:K&S)



CoC (Face to Face bonding)

(出典:富士通)



PoP (出典:NEC エレクトロニクス)

図表 8-1 携帯電子機器用途の SiP のロードマップ(1)

次に、携帯電子機器用途の SiP の電気特性のロードマップを図表 8-2 に示す。現在実用化されている技術の中で、積層チップ間のデータ転送レートが最も高い接続技術は CoC 接合であり、グラフィックプロセッサとシ

システムメモリの接続に使われている。ゲーム機器用途の CoC 接続を用いた SiP では 200 Gbps のデータ転送レートに達している。この CoC 接続の欠点として、3 チップ以上積層できないことや、チップが重なった中央部の電源・グランド電位がチップの回路を流れる電流の変動によって揺れることなどが挙げられる。携帯電子機器のように、低消費電力を指向した低電圧半導体の場合は、閾値と信号電位とのマージンが小さいので、わずかなノイズによって誤認識が発生する。さらに、I/O バッファを小さくして容量成分を小さくし、駆動電力を抑えたい。これらの要求を満たせる接続方法として、チップの任意の位置で上下チップを最短距離で結線できる TSV が最適といわれている。

チップを積層した SiP とパッケージを積層した PoP とを比較すると、PoP の上下デバイスのチップ間を結ぶ信号は、上チップのワイヤ、上基板、上下パッケージ間はんだボール、下基板、下チップのワイヤを通して伝えられるので配線長が長く、その分データ転送レートは低いと考えられる。しかし、ワイヤボンディングや PoP では、CoC や TSV のようなエリアアレイ状に、チップ間の接続数を無限に増やすことはできない。そのために、バス幅の広いシステムメモリ用途よりも、汎用のモバイル DDR DRAM とプロセッサを接続する用途に主に使われている。図表 8-2 に示したワイヤボンディングと PoP のバンド幅ロードマップは、モバイル DDR DRAM のデータ転送レートのロードマップに基づいており、両接続方法のロードマップは同じ値になっている。

Category	Year of Production		2009	2011	2012	2014	2015	2017	2019
Mobile Package Electrical parameters	Max pin count (Logic SiP)	All	800	900	1000	1000	1000	1000	1000
	Max pin count (RF SiP)	All	200	200	200	200	200	200	200
	Max number of die-to-die bonds/SiP	TSV	1000	2000	3000	5500	6050	7,321	8,858
		Face to face	2000	2500	2500	3000	3000	3500	3500
		Wire bond	70	120	150	210	240	300	370
		PoP	160	200	240	240	240	260	260
	Max die-to-die bandwidth in SiP (Gbps)*	TSV	-	-	40	90	110	160	400
		Face to face	200	300	350	450	500	550	590
		Wire bond	21	26	26	42	42	52	52
		PoP	21	26	26	42	42	52	52

図表 8-2 携帯電子機器用途の SiP のロードマップ(2)

(2) メモリ用途の MCP (Multi-chip package)

SSD (Solid state disk)用の大容量不揮発性メモリとして、フラッシュメモリの積層数が増えており、今後もその傾向は続く。フラッシュメモリは価格下落が大きいことと、書き込み速度が遅いことから高いデータ転送レートはそれほど必要としていない。それゆえに電気特性上ワイヤボンディングで十分であり、TSV のような最短接続をする必要はない。今後書き込み／読み出し速度の速い不揮発性メモリが現れれば SSD もそれらに移行し、データ転送レートの高速化も必要となるので、接続方法もワイヤボンディング以外の方法が検討される可能性がある。

一方、DDR DRAM の大容量化と更なる高速化を実現するために TSV 接続が必要になると考えられている(図表 8-3 参照)。メモリモジュールの代替として、メモリチップを積層して単一パッケージに集積し、各メモリデバイスへのデータ転送長の差を小さくしたい。そのために、DRAM メーカーでは実用化を目指している。

Category	Year of Production		2009	2011	2012	2014	2015	2017	2019
Memory (MCP)	package height (8 die stacked;mm)	All	1.2	1.0	1.0	0.8	0.8	0.8	0.8
	Min DAF thickness (um)	Wire bond	15	15	10	10	10	5	5
	Min Substrate thickness (um)	All	180	160	140	100	100	80	80
	Min resin thickness over die (um)	Wire bond	150	100	80	70	70	60	50
	Min die thickness (um)		40	40	30	20	20	20	20
	Max pin count		160	200	240	240	240	260	260
	Max number of die-to-die bonds	Wire bond	160	200	240	240	240	260	260
		TSV	-	-	1000	1200	1300	1500	1700
	Max number of stacked die	TSV	-	-	5	9	9	13	13
		Wire bond	10	12	12	14	14	15	16

図表 8-3 メモリ用途の SiP のロードマップ

(3) 車載電子機器用途の SiP

車載電子機器では一般にデータ転送レートは高くないので、SiP を使用する理由はもっぱら部品点数の削

減による信頼性向上と省スペース化にある。自動車の電子機器は、自動車自体が一般の電子機器に比較して大きいことと、電子部品が車体の各部に分散しているという特徴がある。そのために、マイコンと通信用のチップとの組み合わせや電源コントロールとの組み合わせなどの SiP 化のニーズがある。放熱特性と実装信頼性、不良解析のしやすさから、複数の半導体チップを隣接してパッケージングした QFP や SOP が主として使われている(図表 8-4 参照)。3 次元実装によって下のチップの回路面が上のチップに隠れてしまうことは、万一不具合が発生した場合に不良解析の点から不利であるが、今後、チップ積層 SiP の実績が十分に積み上げられ、品質が成熟し、車の各所に取り付けられた電子モジュールの小型化が求められれば、3 次元積層 SiP も使われるだろう。

Category	Year of Production		2009	2011	2012	2014	2015	2017	2019
Harsh	Max pin count	Side by side (wire)	425	469	492	543	570	629	693
	Max number of die-to-die bonds/SiP		70	120	150	210	240	300	370
	Min die thickness (um)		70	50	50	50	50	50	50
	Max number of stacked die		1	2	2	2	2	3	3
	Max number of die in a package		3	4	4	4	4	5	5

図表 8-4 車載電子機器用途の SiP の形状要素ロードマップ

(4) 高性能電子機器用途の SiP

高性能電子機器用途の SiP は、フリップチップ接続で隣接実装した構造(図表 8-5 には side by side と表示)を採用している。これは、積層した場合に比較して、高性能チップからの熱を放散しやすいことと、特性インピーダンスを考慮したチップ間接続設計が可能だからである。この分野では究極の技術的ソリューションとして、CMOS トランジスタをチップ水平方向のみならず、チップ垂直方向に接続した 3 次元 LSI が将来必要になるものと考えられる。

3 次元積層 LSI の最大の課題として、消費電力の高いチップを積層することによって熱密度が上昇することが挙げられる。その対策として、マイクロチャネルの形成や、低熱抵抗材料の開発、サーマルビアの設置などが研究されている。また、DRAM の動作保証温度が 90℃付近で比較的低い温度に対して、一般的なロジックチップは約 125℃まで動作が保証されている。動作保証温度が違うチップ同士を積層した場合、低いジャンクション温度が上限温度となるので、許容される温度上昇範囲が小さく、熱設計への負荷が大きくなる。

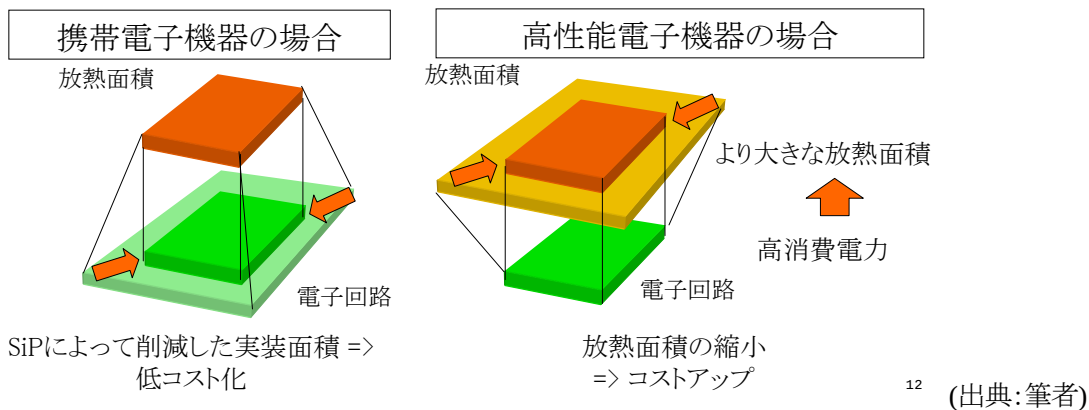
Category	Year of Production		2009	2011	2012	2014	2015	2017	2019
High performance	Max pin count	All	3350	3684	3860	4246	4458	4904	5394
	Passives on package Min. size (um)		400X200	400X200	200X100	200X100	200X100	200X100	200X100
	Max number of die-to-die bonds/SiP	TSV	-	-	-	-	5000	6000	7000
		Side by side (FC)	500	700	800	1000	1100	1300	1500
	Max die-to-die bandwidth in SiP (Gbps)*	TSV	-	-	-	-	8000	9000	11000
		Side by side (FC)	1632	2000	2200	2600	2800	3200	3600
	Min die thickness (um)	TSV	-	-	-	-	25	20	18
		Side by side (FC)	100	100	100	100	100	100	100
	Max number of stacked die	TSV	-	-	-	-	2	3	5
		Side by side (FC)	1	1	1	1	1	1	1
	Max number of die in a package	All	6	7	7	8	8	9	10

図表 8-5 高性能電子機器用途の SiP の電気特性ロードマップ

先端の高性能システムを設計する場合、チップ間を最短配線してノイズや遅延を抑制したい。一方、高性能デバイスは一般に消費電力が高く、最短配線しようとする熱密度が高くなる。その対策として、冷媒に効率よく熱伝達する強制冷却構造が必要となる。その放熱構造のコストに見合う性能を持つシステムのみが、この強制冷却構造を採用できる。携帯電子機器に SiP が急速に広まった理由として、小型軽量化のみならず実装面

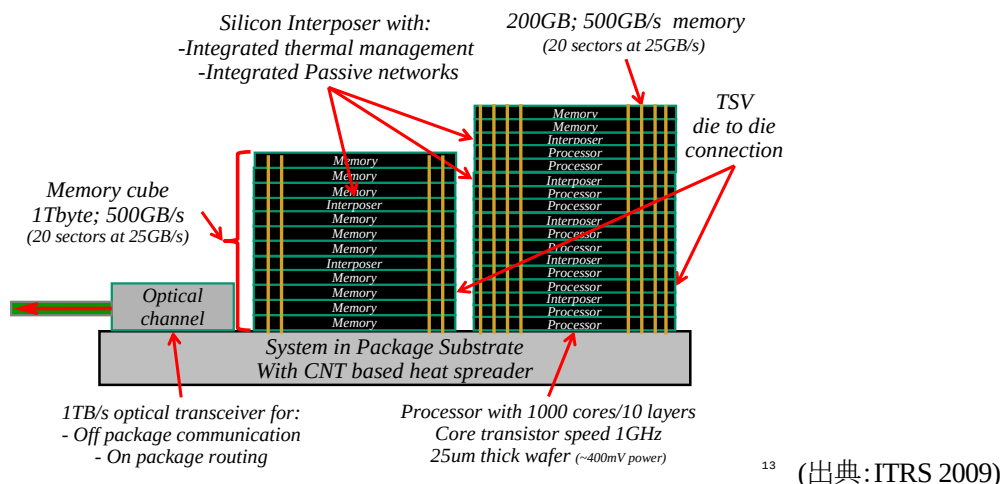
積の縮小によるコスト低減があった。携帯電子機器では、消費電力が少ないために、実装面積よりも放熱面積のほうが小さい。3 次元実装によって実装面積を縮小しても放熱性能には影響を与えず、実装面積の縮小分がそのままコスト低減となったために展開が速かった。一方、高性能電子機器に対して、3 次元化実装をして実装面積を縮小すると放熱面積不足となり、熱伝達を強制的に行うためにコストアップになる。したがって、急速に広まった携帯電子機器と同様な展開を、高性能電子機器の 3 次元実装には期待できない。(図表 8-6 参照)

- 携帯電子機器の消費電力は低いために放熱能力は問題ではなかった。
- 消費電力が高い高性能用途は放熱性の確保が必須。
 - ・ 高い消費電力
 - ・ チップごとに異なった保証動作温度; DDR vs. logic devices
 - ・ 低コストで高性能な放熱方法: 低コスト水冷方式?



図表 8-6 3次元化の放熱性とコスト

一方、性能第一優先の最先端コンピューティングのイメージとして、図表 8-7 に示すような Tera-scale computing のモデルを描くことができる。このモデルから必要となる技術と課題を抽出する目的で、ITRS A&P TWG では MIT (Massachusetts Institute of Technology)と共同してロードマップの検討を行っている。消費電力低減のために電源電圧を 400 mV という値を設定しているものの、放熱対策はもちろん大きなハードルである。モジュール外部にはオプティカルファイバーによって 1TB/s のレートでデータ通信を行う。図表には示されていないものの、光電変換素子とその間に介在し、その電力消費も非常に大きい。



図表 8-7 2015 年実現を想定した Tera-scale computing のイメージ

8-4 チップの端子ピッチ

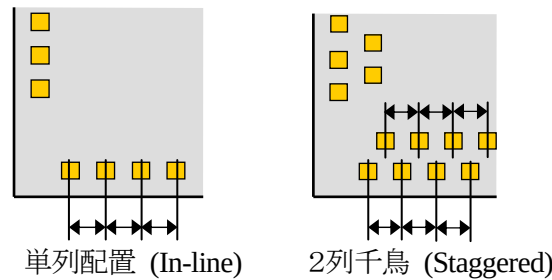
シリコンの微細化によりチップ寸法が縮小し、多ピン化が進む結果として、チップの端子ピッチはますます縮小している。2009 年の金ワイヤボンディングによる単列パッドの最小ピッチは 35 μm 、2 列千鳥配列パッドのパッド間ピッチ(図表 8-9 参照)は 40 μm 、3 列千鳥配列パッドのパッド間ピッチは 50 μm とした。これらの狭ピッチ化は日本国内よりも、海外の組み立て専門メーカーで先行しており、国内ではまだこのレベルの狭パッドピッチのデバイスは少ないと推定される。

また、2009 年版 ITRS において、新たに追加されたのは銅ワイヤボンディング用のパッドピッチのロードマップである。銅ワイヤボンディングによる IC の組み立てについても、海外の組み立て専門メーカーがいち早く進めている。銅ワイヤボンダの購入比率は全世界の 39%を台湾が占めているのに対して 3%を日本が占めているという設備メーカーのデータもある。銅ワイヤボンディングの利点は、①金ワイヤに比べ安価な銅ワイヤを使うことによるコスト低減、②低い固有抵抗による電気特性の優位性、③銅アルミ金属間化合物の成長速度が低いことを利用した高温耐熱アプリケーションへの応用などが期待されている。しかし、銅ワイヤボンディングの欠点も同時に明らかになっており、銅ワイヤが酸化し易いために使用期限が短いこと、金に比べてアルミとの金属間化合物が形成しにくいのでボンディング接合もしにくいこと、硬度が高いゆえにパッドダメージが発生しやすいことなどがある。その対策として、銅ワイヤ表面にパラジウムめっきした銅ワイヤも商品化されており、その有効性も確認されている。しかし、同時にコストメリットが少なくなることを嫌って、パラジウムめっき皮膜のない銅ワイヤがどこまで使用可能か見極めるための評価も盛んに行われている。また、銅ワイヤの細線化による狭パッドピッチ化も様々な課題が理解されて、金ワイヤよりも狭パッドピッチ化については遅れることもわかってきた(図表 8-8 参照)。

フリップチップ接続についても、用途ごとに詳細分類し、民生品用途、携帯電子機器用途の周辺パッド型バンプ、コスト性能比の優れた製品用途、高性能用途について、各々の端子ピッチのロードマップを示した。2008 年のロードマップまでエリアアレイピッチは一律 150 μm と記載していた。しかし、民生品用途などコストの厳しいものでは、チップの端子ピッチを縮小すると、基板のランドピッチや、配線引き回し、スルホールビアピッチを微細化せざるを得ず、基板コストが飛躍的に高くなる。したがって、端子ピッチは 210 μm 程度の粗めのピッチに設計して、パッケージコストを抑制する努力が行われている。

Year of Production	2009	2010	2011	2012	2013	2014	2015	2016
Au wire Bond Pitch								
Au Wire bond—single in-line (μm)	35	30	30	25	25	25	25	25
Au Two-row Pitch (μm)	40	35	35	35	30	30	30	30
Au Three-tier Pitch (μm)	50	50	45	45	40	40	35	35
Au Wire bond—Wedge pitch (μm)	20	20	20	20	20	20	20	20
Chip on Film	25	20	20	15	15	10	10	10
Cu wire Bond Pitch								
Cu wire - single inline	50	45	40	40	35	35	35	35
Cu wire - dual row	60	50	45	45	40	40	40	40
Flip Chip Pitch								
Flip chip array, low end & consumer	210	210	200	200	180	180	150	150
Flip Chip array, mobile products	150	135	120	110	110	100	100	100
Flip Chip peripheral (1 on 2 row + center) - mobile and chip to chip array applications	60	50	50	40	40	40	40	35
Flip Chip PC, notebook, net book = same as consumer	150	135	120	110	110	100	100	100
Flip Chip - high performance (will lag consumer)	160	150	150	130	130	120	120	120 ₂₂

図表 8-8 チップの端子ピッチ



図表 8-9 チップの端子ピッチ図 (出典: 日本実装技術ロードマップ 2009 年)

8-5 リフロー時のパッケージ反り

半導体パッケージは加熱することによってパッケージ端が反り上がり、時には実装基板と端子が離れてしまってオープンになることがある。逆にパッケージ端が反り下がり、パッケージのコーナーにあるはんだボールがつぶれてブリッジになることもある。この反りの挙動はパッケージを構成する樹脂、基板、チップの熱膨張が各々異なることに起因する。特に RoHS 規制に対応するために、実装に使用するはんだを SnPb 共晶はんだから鉛フリーはんだに変更したことによって、リフロー温度を 230℃から 260℃近辺まで上げざるを得なくなった。それによって、パッケージ反りが増幅されて実装時の不具合を生じ、問題点が認識されるようになった。

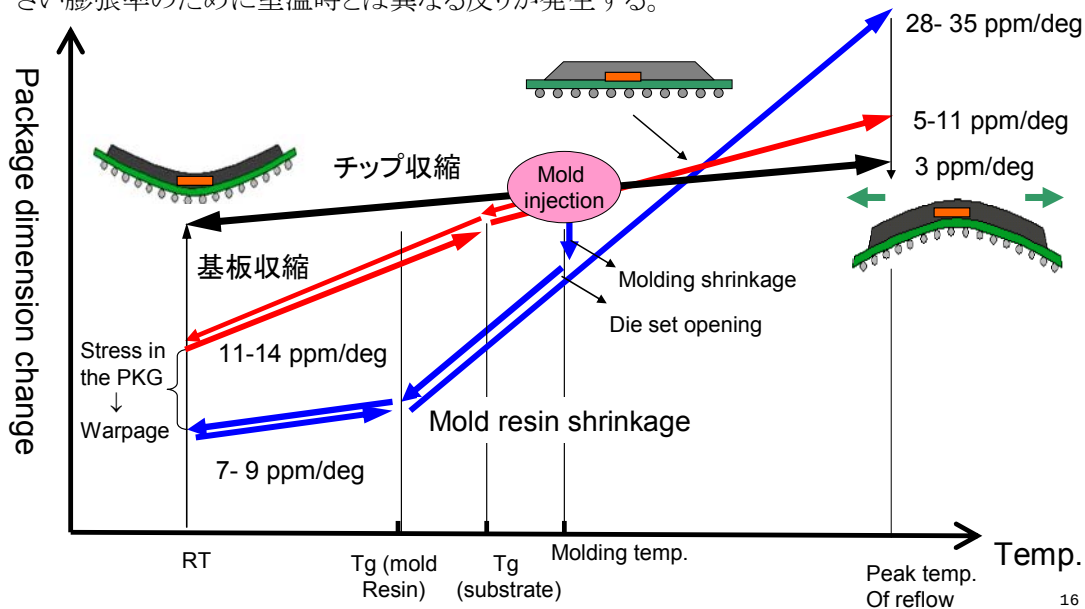
パッケージ反りの温度依存性とメカニズムを、PBGA を例にとりて図表 8-10 に説明する。パッケージ基板に半導体チップが搭載されてワイヤボンディングされ、封入工程に搬入される。このチップを樹脂で固めて保護するために、封入成型機の成型金型に基板が自動搬送されて、樹脂がキャビティに注入される。この時点がストレスフリーの状態である。樹脂がキャビティに注入されると、樹脂の架橋反応によって成型収縮が始まる。封入成型後に架橋反応を完結させるために、オープン内で一定時間ベークすることによって成型収縮は終了する。その後、室温まで冷却されていくと樹脂と基板、半導体チップは各々の熱膨張率に従って収縮する。樹脂のような非晶質固体材料の熱膨張率は、ガラス転移点(Tg)と呼ばれる物質固有の温度の前後で大きく変動する。Tg 以上の高温では剛性と粘度が低いゴム状態となっていて、熱膨張率も高いのに対して、Tg 以下の低温では剛性と粘度が高いガラス状態となり、熱膨張率は低くなる。

半導体パッケージ用樹脂にはフィラーと呼ばれるシリカ粒が 80～90%入っているために、比較的熱膨張率は低く抑えられているものの、Tg 前後の挙動は上記原理に従っており、熱膨張率は Tg 以下では 7～9 ppm/℃、Tg 以上では 28～35 ppm/℃となっている。一方、基板はガラスクロスに樹脂を含浸させた複合材料であり、Tg 以下では弾性率の高い樹脂の熱膨張率(11～14 ppm/℃)に従うものの、Tg より高温では樹脂がゴム状に軟化するためにガラスクロスの熱膨張率(5～11 ppm/℃)が支配的になって、基板全体の熱膨張率は逆に低くなる。これらの熱膨張率の違いに加えて、ほとんど温度依存性の寸法変化がない半導体チップ(3 ppm/℃)がパッケージ中央に位置している。パッケージの反り挙動はこれら 3つの物質のバランスによって決まっている。簡易的な言い方をすれば、室温に温度が下がった時に、チップと樹脂で構成される複合材料の寸法変化量と、基板の寸法変化量が一致していればパッケージは平坦であるし、差があればそれが反りとなって現れる。図表 8-10 のように、チップが十分小さくてモールド樹脂の熱膨張率が支配的ならば、室温では凹反りになるし、リフロー温度の 260 度付近では凸反りになる。このような温度依存のパッケージの反りは、小さいほうが実装しやすいし実装歩留まりも高くなる。

PoP や FBGA では、パッケージ厚が薄いものが要求されているが、薄いものほど剛性がないのでリフロー時にパッケージは反りやすくなる。リフローによって BGA のはんだボールは溶融し、基板側に印刷されたはんだペーストと合体してはんだ接合を作る。溶融したはんだボールはパッケージの重さによって沈み込むので、ある値以下のパッケージ反り量は沈み込み量に吸収されて不良とはならない。ところが、パッケージが小型化し多ピン化していく傾向から、ボールピッチは年とともに縮小している。ボールピッチの縮小とともに、ボールが小

さくなり、熔融時の沈み込み量も小さくなるので、パッケージ反り許容値は厳しくなる。パッケージの薄化トレンドとボールピッチの縮小によって、熱時のパッケージ反りは今後ますます厳しくなる。さらに、パッケージ構造に依存する個別の問題であるために、設計ごとに異なった対策が必要となり、技術者の工数が費やされる。

- ・ 封入時はストレスフリーの状態です。封入時の成形収縮と温度係数によって、室温に冷却されたときには反りが発生している。
- ・ リフローによって、基板と樹脂は膨張するが、その両者の膨張率差とチップの非常に小さい膨張率のために室温時とは異なる反りが発生する。



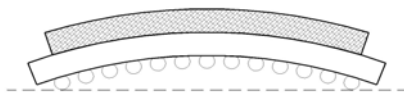
図表 8-10 パッケージ反りの温度依存性 (出典:筆者)

ITRS では、このリフロー時のパッケージ反り低減のロードマップとして図表 8-12 を作成した。凹反りを嫌う米国の機器セットメーカーの意向を受けて、図表中で 0.8 mm 以上の端子ピッチでは凹反りに対する反り許容値(マイナス値)が厳しくなっている。一方、日本の機器セットメーカーは凸反りを嫌うメーカーが多く、図表 8-12 の凸反りに対する比較的緩やかな反り許容値(プラス値)では許容しないメーカーもある。そのために、日本実装技術ロードマップでは 0.8 mm ピッチ以上でもプラス/マイナスに依存しない値をガイドラインとして示している。(図表 8-11 参照)

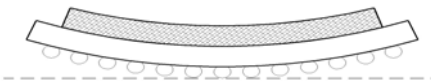
項目	2008年	2010年	2012年	2014年	2016年
最小端子ピッチ(mm)	0.8	0.8	0.8	0.65	0.65
反り(RT→260℃)(mm)	0.17	0.17	0.17	0.14	0.14
最小取り付け高さ(mm)	1.7	1.4	1.4	1.2	1.2

図表 8-11 パッケージ反りの温度依存性 (出典:日本実装技術ロードマップ 2009 年)

Year of Production		2009	2010	2011	2012	2013	2014	2015	2016	2017
Pitch (mm)	Ball Dia. (mm)	Low-cost, mobile and memory applications								
		Cost-performance, high-performance and harsh applications								
1.27	0.9	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21
	0.6	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21
1.0	0.6	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21
		-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21
	0.4	-0.14, +0.22	-0.14, +0.22	-0.14, +0.22	-0.14, +0.22	-0.13, +0.20	-0.13, +0.20	-0.13, +0.20	-0.13, +0.20	-0.13, +0.20
		-0.14, +0.22	-0.14, +0.22	-0.14, +0.22	-0.14, +0.22	-0.13, +0.20	-0.13, +0.20	-0.13, +0.20	-0.13, +0.20	-0.13, +0.20
0.8	0.55	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21
		-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.14, +0.23	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21	-0.13, +0.21
	0.25	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09
		-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09
0.65	0.45	-0.12, +0.12	-0.12, +0.12	-0.12, +0.12	-0.12, +0.12	-0.11, +0.11	-0.11, +0.11	-0.11, +0.11	-0.11, +0.11	-0.11, +0.11
		-0.12, +0.12	-0.12, +0.12	-0.12, +0.12	-0.12, +0.12	-0.11, +0.11	-0.11, +0.11	-0.11, +0.11	-0.11, +0.11	-0.11, +0.11
	0.25	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09
		-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09
0.5	0.35	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.10, +0.10	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09	-0.09, +0.09
	0.25	-0.075, +0.075	-0.075, +0.075	-0.075, +0.075	-0.075, +0.075	-0.065, +0.065	-0.065, +0.065	-0.065, +0.065	-0.065, +0.065	-0.065, +0.065
0.4	0.3	-0.075, +0.075	-0.075, +0.075	-0.075, +0.075	-0.075, +0.075	-0.065, +0.065	-0.065, +0.065	-0.065, +0.065	-0.065, +0.065	-0.065, +0.065
	0.2	-0.05, +0.05	-0.05, +0.05	-0.05, +0.05	-0.05, +0.05	-0.045, +0.045	-0.045, +0.045	-0.045, +0.045	-0.045, +0.045	-0.045, +0.045



凸反り(+)



凹反り(-)

図表 8-12 熱時のパッケージ反り量低減ロードマップ(ITRS)

リフロー時のパッケージ反り挙動をどのように低減できるかについて、パッケージ材料である樹脂と基板の視点から、材料メーカーと実装 WG7 とで合同討議を行った。理論的に樹脂とシリコンチップとの複合材料の寸法変化が基板の寸法変化と一致していれば、温度に依存してパッケージが反る現象は生じない。樹脂の成型収縮率を小さくする材料開発や、異なった熱膨張率をもつ樹脂のラインアップを準備して、チップ寸法やパッケージ構造ごとに半導体メーカーが使い分けるといことは、実質上量産ベースで対処している方法である。チップ寸法やパッケージ構造に依存せずに、パッケージ反りを防ぐ万能な樹脂を開発することは難しい。しかし、圧縮成型方法が半導体パッケージ分野で展開されることによって、樹脂注入時に必要とされる流動性への要求がなくなれば、従来使えなかった材料を使用できる可能性がある。それによって樹脂開発の自由度が上がり、熱膨張率と成型収縮率を調整しやすくなるという声もあった。

一方、パッケージ基板の視点からは、基板の熱膨張率を下げてシリコンの熱膨張率に近づけるとい対策と、樹脂とシリコンの複合材の熱膨張率と差があっても、そのストレスに耐える剛性の高いコア材を開発するという対策がある。

8-6 パッケージ基板

ITRS 2009 年度版からパッケージ基板も用途ごとに分類して、より現実的なロードマップを描いた。2007 年度版までは、特性ごとに各種材料のうちで最先端の数値を記述していたために、それらの数値を総合した基板材料は理想材料であっても実際には存在し得なかった。それを、用途別にすることによって、基板イメージを明確にし、コストの制約要因も考慮に入れ、各特性を総合した時に存在しうる材料を描くように変更した。

パッケージ基板として分類した用途は次のとおりである。

- ① 低コスト電子機器に使用される PBGA の 2 層／4 層ラミネート基板 (サブトラ技術による低コスト基板)
- ② 携帯電子機器に使用される FBGA の 2 層／4 層ファインラミネート基板 (サブトラとセミアディティブ技術による微細パターン基板)
- ③ 携帯電子機器に使用される SiP のワイヤボンディング対応ビルドアップ基板 (ワイヤボンディングとフリップチップに共用可能なプレプレグによるビルドアップ基板)
- ④ コスト性能比の高い機器に使用される FCBGA のビルドアップ基板 (ポリマー材のビルドアップ層基板)
- ⑤ 高性能電子機器に使用される FCBGA の低誘電率、低損失、超多層基板 (ポリイミド、PTFE、LTCC など)

これらの中から、特に①、③、④について以下に解説する。

(1) 低コスト電子機器に使用される PBGA の 2 層／4 層ラミネート基板(図表 8-13)

低コスト基板は国内製造品では価格的に競争力がなくなりつつあり、東南アジアの安価な基板を購入して東南アジアまたは、国内で組み立てるビジネス形態に移行しつつある。パッケージ基板設計者は基板の微細配線を期待するのではなく、東南アジアの粗い配線設計基準を使いこなす設計を行う方向に変わっている。そのために、基板の配線パターン精度に負担をかけないよう、半導体ビジネスの初期段階からパッケージ設計技術者がチップ設計に協力して、基板上では単純で最短な配線ができるようにチップのパッド位置とパッケージ端子位置を決めている。それによって製品の全体コストを下げる努力がなされている。

逆に、この分類の基板に対しては配線設計基準や物性値のロードマップで特筆するような要求はない。

Year of Production		2009	2010	2011	2012	2013	2014	2015	2016
Parameter	unit								
Package Type	-	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA	P-BGA
Interconnect Method	-	Wire Bonding							
Chip to Substrate Interconnect Land Pitch	μm	120	120	110	110	110	100	100	100
Min. External I/O Pitch	mm	1.0	1.0	1.0	0.8	0.8	0.8	0.8	0.8
Typical External I/O Pitch	mm	1.0	1.0	1.0	0.8	0.8	0.8	0.8	0.8
Min. Total Thickness	mm	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Core Material Tg	°C	180	180	180	210	210	210	210	210
Core Material CTE (X-Y)	ppm/°C	14	14	14	13	13	11	11	11
Core Material CTE (Z)	ppm/°C	40	35	35	30	30	30	30	30
Core Material Dk@1GHz	-	4.2	4.2	4.2	4.2	4.2	4.0	4.0	4.0
Core Material Df@1GHz	-	0.013	0.013	0.013	0.013	0.013	0.010	0.010	0.010
Core Materials Young's Modulus	GPa	24	24	24	24	24	24	24	24
Core Material Water Absorption	%	0.10	0.07	0.07	0.07	0.07	0.07	0.07	0.07
Min. Line width/Space	μm	50/50	50/50	50/50	50/50	50/50	40/40	40/40	40/40
Min. Conductor Thickness	μm	25	25	25	25	25	25	25	25
Min. Through Via Diameter	μm	150	150	150	150	150	125	125	125
Min. Through Via Land Diameter	μm	300	300	300	300	300	275	275	275
Min. Through Via Pitch	μm	350	350	350	350	350	325	325	325

図表 8-13 低コスト用途 PBGA 用 2 層／4 層ラミネート基板

(2) 携帯電子機器に用いられる SiP 用の、ワイヤボンディング対応ビルドアップ基板 (図表 8-14)

ワイヤボンディング対応ビルドアップ基板はプリプレグから成るビルドアップ層で構成されていることを特徴としており、加熱しても弾性率が極端に下がらず、ワイヤボンディングとフリップチップ接続ともに可能である。配線パターン設計基準やブラインドビアの径は、ポリマーで構成されるビルドアップ基板に比較して粗い値になっている。また、ビルドアップ層の平面方向の熱膨張率は、ガラスクロスによって熱膨張と収縮が制約されるためにコア層とほぼ一致した値である。厚さ方向にはガラスクロスの制約がかからないので、コア層と同様大きな熱膨張率となる。基板厚は現在 180 μm のものがあるが、PoP などに用いられる基板では更なる薄型化要求が強く、より薄い基板が求められている。薄い基板を用いるとパッケージはより反りやすくなるが、それを抑制するために基板の剛性を高める対策も採られ、現在主流の 24 GPa 程度の弾性率をもつコア材から、より弾性率の高いコア材に移行していく可能性がある。



Year of Production		2009	2010	2011	2012	2013	2014	2015	2016
Parameter	unit								
Chip to Substrate Interconnect Land Pitch	μm	50	50	50	50	50	50	50	50
Min. Finished Substrate Thickness	μm	180	180	180	160	160	140	140	140
Core Material Tg	$^{\circ}\text{C}$	180	180	180	210	210	210	210	210
Core Material CTE (X-Y)	$\text{ppm}/^{\circ}\text{C}$	14	14	14	13	13	11	11	11
Core Material CTE (Z)	$\text{ppm}/^{\circ}\text{C}$	40	35	35	30	30	30	30	30
Core Material Dk@1GHz	-	4.2	4.2	4.2	4.2	4.2	4.0	4.0	4.0
Core Material Df@1GHz	-	0.013	0.013	0.013	0.013	0.013	0.010	0.010	0.010
Core Materials Young's Modulus	Gpa	24	24	24	24	24	24	24	24
Core Material Water Absorption	%	0.10	0.07	0.07	0.07	0.07	0.07	0.07	0.07
Buildup Material Tg	$^{\circ}\text{C}$	156	156	156	166	166	166	166	177
Buildup Material CTE (X-Y)	$\text{ppm}/^{\circ}\text{C}$	13	13	13	12	12	12	12	12
Buildup Material CTE (Z)	$\text{ppm}/^{\circ}\text{C}$	46	40	40	40	40	40	40	30
Buildup Material Dk@1GHz	-	3.4	3.4	3.4	3.0	3.0	3.0	3.0	3.0
Buildup Material Df@1GHz	-	0.012	0.012	0.012	0.010	0.010	0.010	0.010	0.010
Buildup Materials Young's Modulus	Gpa	4	5	5	5	5	5	5	5
Buildup Material Water Absorption	%	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Min. Line width/Space	μm	20/20	18/18	18/18	15/15	15/15	12/12	12/12	10/10
Min. Conductor Thickness	μm	25	25	25	20	20	15	15	15
Min. Through Via Diameter	μm	100	100	100	80	80	80	80	80
Min. Through Via Land Diameter	μm	250	250	250	200	200	200	200	200
Min. Micro Via Diameter	μm	80	70	70	60	60	60	60	50
Min. Micron Via Land Diameter	μm	150	130	130	120	120	120	120	110
Min. Through Via Pitch	μm	300	300	300	275	275	275	275	275
Min. Solder Mask Opening	μm	80	80	80	60	60	60	60	50
Min. Solder Mask Opening Tolerance	μm	20	20	20	18	18	18	18	15

図表 8-14 携帯電子機器 SiP 用:ワイヤボンディング対応ビルドアップ基板

(3) コスト性能比の高い電子機器に用いられる FCBGA 用ビルドアップ基板(図表 8-15)

コスト性能比の高い電子機器に用いられる FCBGA 用基板は、ポリマー材から成るビルドアップ層を有しており、微細な配線とビア加工が可能である。コスト性能比の高い電子機器に使用されるフリップチップの接続端子ピッチは現在 150 μm 格子(エリアアレイ)であるが、チップの微細化に伴って今後さらに格子ピッチが縮小し、2015 年には 100 μm に達する。基板は、フリップチップを受けるランドピッチの縮小化に加えて、その配線をチップの外に引き出す必要がある。そのために配線幅も 2015 年で 10 μm 、2016 年で 8 μm という微細な配線が必要になる。配線の微細化に伴って、配線の厚さも薄くなるために、チップエッジなどのストレスが集中する箇所では、配線が切れる可能性がある。それに対して信頼性を確保する対策をとらねばならない。チップに採用

される low k 材料が年々脆弱になる一方で、フリップチップバンブ材料は鉛フリーはんだという比較的硬い材料に変わった。そのために、基板とチップの熱膨張率の違いはより大きなストレスとなって、脆弱な low k 層を剥離させやすくなっている。その対策として、アンダーフィル材の工夫や、シリコンインターポーザの採用に加えて、パッケージ基板の低熱膨張化という選択もある。その場合、パッケージを実装する基板の熱膨張率との差が大きくなるために、はんだ接合部の実装信頼性の確保も問題となる。チップとパッケージ基板の熱膨張差の最小化とパッケージ基板とシステム基板の熱膨張差の最小化という、両者を満たすパッケージ設計が必要になる。

コスト性能比用途 (FCBGA、ビルドアップ基板)



Year of Production		2009	2010	2011	2012	2013	2014	2015	2016
Parameter	unit								
Chip to Substrate Interconnect Land Pitch	μm	150	150	150	125	125	125	100	100
Min. Finished Substrate Thickness	mm	1.1	1.1	1.1	1.1	1.1	1.1	1.1	1.1
Core Material Tg	°C	180	180	180	210	210	210	210	210
Core Material CTE (X-Y)	ppm/°C	10	10	10	8	8	8	8	8
Core Material CTE (Z)	ppm/°C	20	20	20	10	10	10	10	10
Core Material Dk@1GHz	-	3.2	2.8	2.8	2.8	2.8	2.8	2.8	2.8
Core Material Df@1GHz	-	0.007	0.007	0.007	0.007	0.007	0.007	0.007	0.007
Core Materials Young's Modulus	GPa	24	24	24	24	24	24	24	24
Core Material Water Absorption	%	0.10	0.07	0.07	0.07	0.07	0.07	0.07	0.07
Buildup Material Tg	°C	200	200	200	210	210	210	210	210
Buildup Material CTE (Z)	ppm/°C	46	40	40	40	40	40	40	40
Buildup Material Dk@1GHz	-	3.4	3.0	3.0	3.0	3.0	3.0	3.0	3.0
Buildup Material Df@1GHz	-	0.013	0.013	0.013	0.013	0.013	0.013	0.013	0.013
Buildup Materials Young's Modulus	GPa	4	5	5	5	5	5	5	5
Buildup Material Water Absorption	%	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Min. Line width/Space	μm	18/18	15/15	15/15	12/10	12/10	10/10	10/10	8/8
Min. Conductor Thickness	μm	25	25	25	20	20	15	15	12
Min. Through Via Diameter	μm	100	100	100	80	80	80	80	70
Min. Through Via Land Diameter	μm	250	250	250	200	200	200	200	150
Min. Micro Via Diameter	μm	60	60	60	60	50	50	50	50
Min. Micron Via Land Diameter	μm	150	130	130	120	100	100	100	100
Min. Through Via Pitch	μm	300	300	300	275	275	275	275	275
Min. Solder Mask Openning	μm	80	80	80	60	60	60	60	50
Min. Solder Mask Openning Tolerance	μm	20	20	20	18	18	18	18	15

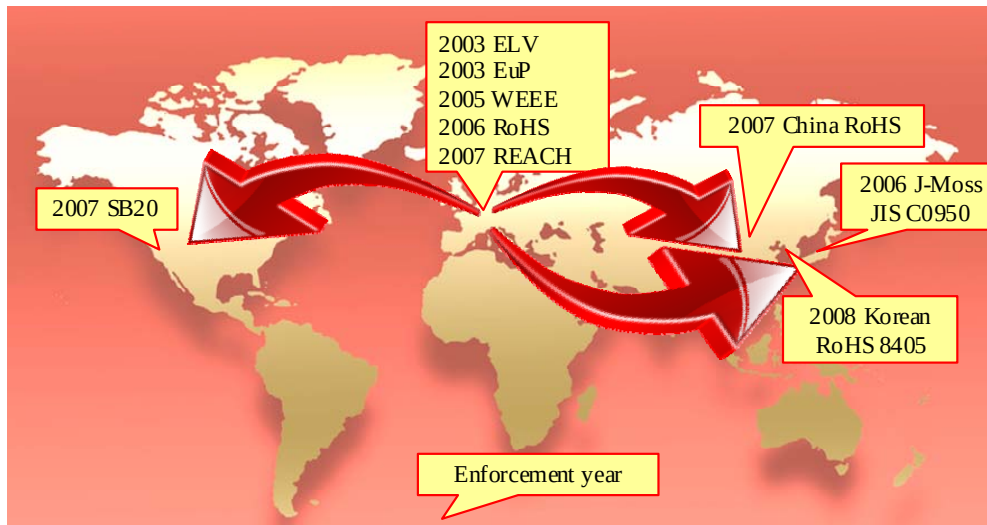
図表 8- 15 コスト比で高性能な機器用 FCBGA:ポリマーによるビルドアップ基板

8-7 実装と環境規制

欧州で提案され、制定された環境規制は世界中に展開されて、各工業国で同様な法規制が制定されている。(図表 8-16 参照) たとえば、2006 年に欧州で施行された RoHS 規制は、同年に日本で JIS C0950 に基づく J-Moss として施行され、2007 年には中国版 RoHS として、また米国カリフォルニア州でも電子機器廃棄リサイクル条例 SB20 として施行されている。2008 年には韓国でも韓国 RoHS の 8405 として施行されている。

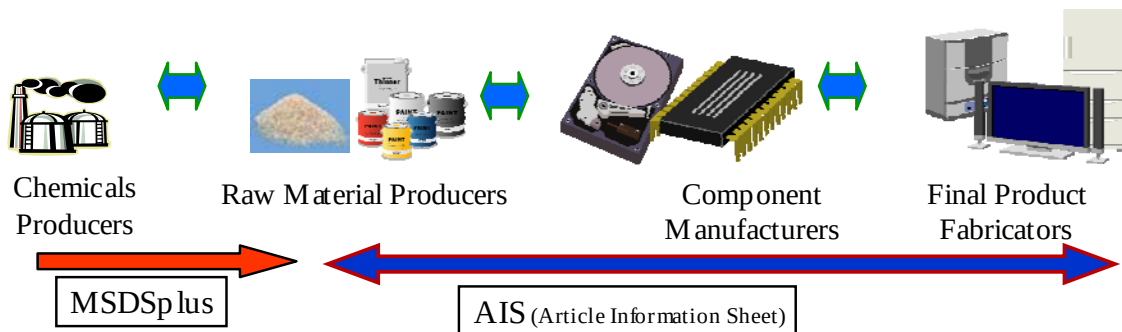
2007 年に施行された REACH 規則では、生産者・輸入者は、生産品・輸入品の全化学物質調査と、欧州化学物質庁への申請と登録義務が課せられ、制限物質の使用は欧州化学物質庁の承認が必要になった。この REACH 規則に対応するためには、その製品が含有している化学物質等の情報が、最終製品サプライヤの手元にあることが求められている。そのためには、原材料メーカーから中間加工業者を通して、化学物質の情報サプライチェーンが必要となる。(図表 8-17 参照) 日本では、産業界を横串にしたアーティクルマネジメント推進協議会(通称:JAMP)が発足している。REACH を有効な規制にするためには、国内の努力と同様な情報サ

サプライチェーンが他の国でも施行されなければならない、全世界で日本と類似のインフラを整備して REACH に対応すべきである。その必要性を ITRS の場を介して、地球規模での対応を訴えている。



ELV	Directive on end-of life vehicles
RoHS	Directive on the restriction of the use of certain hazardous substances in electrical and electric equipment
WEEE	Directive on waste electrical and electronic equipment
EuP	Directive on the eco-design of Energy-using Products
REAC	Registration, Evaluation and Authorization of Chemicals
SB20	Electronic Waste Recycling Act in California, US
J-Moss	The marking of presence of the specific chemical substances for electrical and electronic equipment

図表 8- 16 環境規制法の展開



図：JAMP 資料から引用

27

図表 8- 17 アーティクルに含まれる化学物質の情報サプライチェーン

8-8 More than Moore

More than Moore というデバイスの多様化を受けて、ITRS A&P TWG の扱うパッケージを下記の分野まで広げた。

- ① 光通信用パッケージ
- ② 高輝度 LED (Light emitting diode)パッケージ
- ③ パワーデバイス

- ④ MEMS 用パッケージ
- ⑤ 太陽電池パッケージ

これらのうち、①光通信用パッケージと、②高輝度 LED パッケージについて述べる。

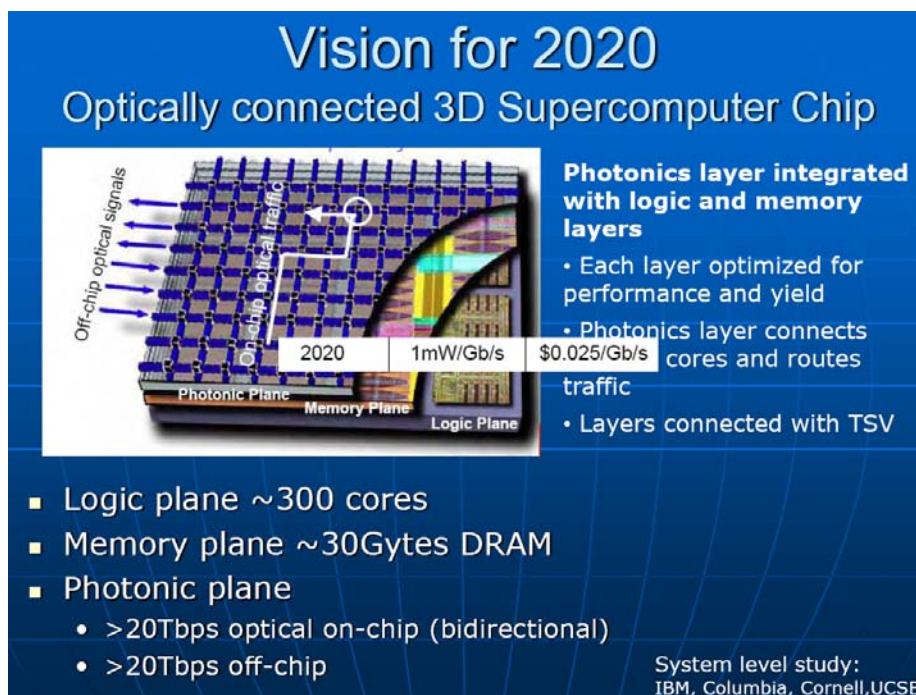
(1) 光通信用パッケージ

光伝送技術の一般的なメリットは、①高速・大容量でかつ長距離伝送が可能、②電磁雑音の影響を受けない、与えない、③高密度化が可能、④配線が細く軽い、の 4 つであるが、主たる採用理由は①高速・大容量伝送である。データ転送レートの向上に伴って、光伝送が必要とされる距離が短くなり、究極的にはチップ内にまで光伝送が適用されると言われている。

しかし、電気通信から光通信への移行時期は毎年先延ばしになっており、その理由として、①プロセッサとメモリ間などに必要な高速データ転送は、システムインテグレーションによってパッケージ内部にすべて納められようになっている。それによって、パッケージ外部における高速データ転送への要求が減速した。②電気通信との比較において、伝送距離が短いほど光通信コストが高くなる。③電気信号技術の研究開発によって高周波まで電気通信が適用できるようになったなどである。

現在は、1 km 以上でかつ 1 Gbps 以上の高速通信線路には、減衰が少ない光通信が使われている。1 km から 1 m の距離を有する LAN では、ポリマー導波路などの光通信のコスト低減が進められている。1 m 以下の距離ではまだ光通信が有効であるか否か議論されている。

この光通信が実現する超高速デバイスのイメージを図表 8-18 に示す。3 枚のシリコンチップが積層され、最上層にシリコン・フォトニクス技術で形成した光導波路や光変調器などを搭載したチップ、中間層にメモリチップ、最下層に 300 コアの論理素子が置かれ、その 3 チップを垂直に TSV が接続する。チップ外部からの入力信号は、光信号で供給され、フォトニクスチップの特定のセルに供給される。フォトニクスチップは光電気変換を行って、TSV を介してメモリと論理素子に電気信号を供給する。それによって、水平方向には光信号が 20 Tbps で走り、垂直方向には電気信号が TSV を介してメモリと論理素子に最短で伝えている。



32

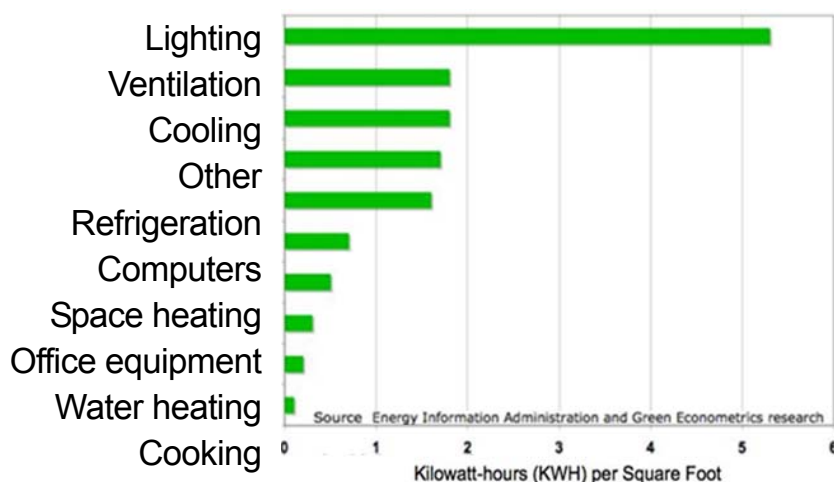
図表 8-18 超高速光通信デバイスのイメージ (出典: IBM, Columbia, Cornell, UCSB)

(2) 高輝度 LED パッケージ

米国エネルギー省によると、人間の活動の中で、照明はエネルギー消費の最も高いもののひとつである。図表 8-19 に人工衛星から撮影した夜間における照明の明るさを示す。照明は都市部を中心として、地上の非常に広い範囲を覆っていることに気づく。しかも、この写真は屋外の照明だけである。屋内や地下の照明は写っていないので、実際の照明はこの写真以上に広く使われている。また、図表 8-20 には、商用ビルにおける用途別エネルギー消費の状況がグラフ化されている。照明に使用されるエネルギーが最大であり、このエネルギー効率を改善することによって大幅な省エネルギーが可能となる。LED はその期待を担っているが課題もある。光源部単体の効率を 100 としても電源回路の影響、自己発熱による温度上昇の影響、高出力化のための大電力投入、器具効率の影響などによって、最終的に照明器具としての効率は約 65～50 に落ち、蛍光灯と同じ程度のエネルギー効率になってしまう。したがって、LED 単体のみの努力だけでは、実使用状態におけるエネルギー効率を改善することはできない。高輝度 LED の実装技術を工夫していくことによって、更なるエネルギー効率の改善が期待できる。



図表 8-19 人工衛星から撮影した夜間の照明の状態



図表 8-20 商業ビルのエネルギー消費理由

LED パッケージに関する課題は

- 使用温度が高いほど樹脂と蛍光体の劣化が加速し、発光効率も下がる。パッケージとその実装基板

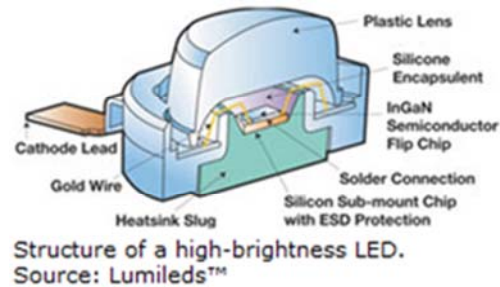
周辺の放熱設計が寿命延長の鍵である。

- LED チップから発した光が透明封入樹脂中を通過する際に、樹脂中の光路長が異なるために色のばらつきと色むらが発生する。その対策としてパッケージの透明樹脂を通過する際に光路長が均一となる工夫が必要である。
- 高出力化、長寿命化、小型化の同時実現が困難である。すなわち、明るくするために、電流を多く流すと発熱量が増え、その放熱のために器具の大型化が必要になる。器具を小さくすると温度が高くなるために LED の寿命は短くなってしまふ。

これらの要求を満たすために必要なロードマップは図表 8-21 のとおりである。

高輝度LED用パッケージの要求

- 高放熱性：熱伝導度を高めるためにTIM材料(Thermal interface material)とベースの設計
- 封止材
- 黄色蛍光体のばらつき抑制



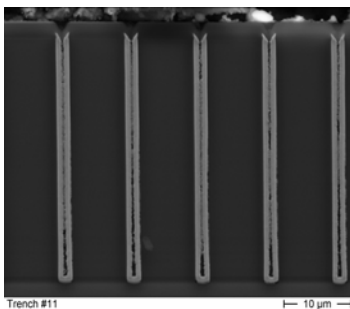
Year	2009	2010	2011	2012	2013	2014	2015	2016
Efficacy (Lumens/Watt)	150	162	172	182	190	198	205	210
Max lumens per LED	400	650	850	1000	1080	1150	1220	1280
Max LED Power Dissipation (W)	5	6	7	7.5	8	8.3	8.6	8.8
Max LED Junction Temperature (°C)	115	112	109	106	104	102	100	98
Encapsulation	silicone							

図表 8-21 LED の光効率と要求される放熱 (出典: ITRS 2009)

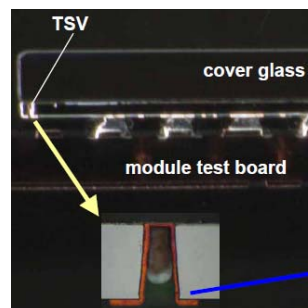
8-9 シリコン貫通電極 (TSV)

TSV のロードマップは、米国 SEMATEC の TSV タスクフォースが作成したロードマップを公開する場所として ITRS を選択したことから始まる。本来 ITRS のロードマップは、2 社が 10 万個以上の生産をしている時期と規定されているが、TSV についてはこのルールが適用されていない。図表 8-23 の上段の微細ピッチビアは積層されたチップの間の TSV 接合を意図しているが、このロードマップによると、2009 年の TSV ピッチは 6μm で、そのアライメント精度は 0.8μm となっており、現状の実用化レベルとはかけ離れた厳しい数値になっている。

一方、図表 8-23 の下段の粗ピッチの TSV ロードマップ表は、日本から提案して 2009 年度版から新規に追加した表である。チップのパッドと基板実装用の外部端子を結線するビアを意図しているが、この TSV の最大の課題はコスト低減と品質の改善である。粗ピッチの TSV はコストミニマムを目的として、工程のスループットを上げるために穴あけ工程ではアスペクト比が小さな円錐ビア、めっきは穴埋めではなく壁面に沿って形成する Conformal via を前提としている。



Fine pitch TSV (出典: Fraunhofer IZM)



Course pitch TSV (出典: Zycube)

図表 8-22 微細 TSV と粗ピッチの TSV

Year of Production		2009	2010	2011	2012	2013	2014	2015	2016
FINE TSV PITCH TSV for die-to-die interconnection	Numbers of die stacked in a TSV structure	9	>9	>9	>9	>9	>9	>9	>9
	Minimum TSV pitch (um)	6	5	4	3.8	3.6	3.4	3.3	3.1
	TSV exit diameter(um) (D)	3	2.5	2	1.9	1.8	1.7	1.6	1.5
	TSV maximum aspect ratio**(L/D)	10	10	10	10	10	10	10	10
	TSV via last layer thickness (L) for minimum pitch	15	15	10	10	10	10	8	8
	Via fill method	CVD fill, PVD fill							
	TSV metal	Cu, W							
	Alignment requirement, um (assume 75% exit dia)	0.8	0.6	0.5	0.5	0.5	0.4	0.4	0.4
	Construction compatability	W2W, D2W, D2D							
	Interconnect methods	Cu-Cu, Cu-Sn-Cu, and DO							
COARSE TSV PITCH (CIS) TSV for die-to-ball interconnection (including WLP)	Minimum TSV pitch (um)	125	110	100	90	90	80	80	80
	TSV diameter (outer) (um)	82	70	60	50	50	40	40	40
	TSV maximum aspect ratio**(L/D)	1.2	1.3	1.4	1.5	1.5	1.6	1.6	1.6
	Via fill method	Conformal plating, Via Lining							
	TSV metal	Cu							
	Alignment requirement, um (assume 75% dia)	21	18	15	13	13	10	10	10
	Construction compatability	W2W, D2W, D2D							
	Interconnect methods	Cu lining or Cu pillar with landing pad (or RDL), CPS				Cu lining or Cu pillar with landing pad (or RDL), CuSn			

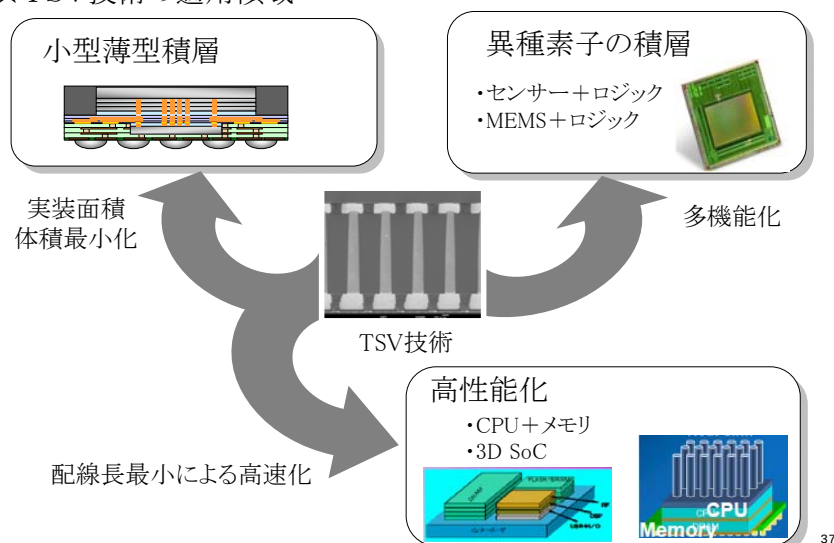
36

図表 8-23 TSV のロードマップ

8-10 TSV の量産化シナリオ

TSV による積層技術の利点は、①小型薄型積層(ワイヤボンディングに必要なスペースが不要であり、チップと同じ外形で 3 次元パッケージが可能)、②異種素子の積層(センサとロジックなど、製造プロセスが異なる素子をパッケージ内で SiP 化できる)、③高性能省電力化(プロセッサとメモリを最短距離で接続することによって省電力化でき、信号遅延が最小でバンド幅が広い)という 3 点が一般的に挙げられる。(図表 8-24 参照)

★TSV技術の適用領域



図表 8-24 TSV の利点 (出典:筆者)

しかし、これらの利点とともに、図表 8-25 に示すように実用化するためには大きな課題がある。

高性能用途のデバイスには、積層したチップの各トランジスタを TSV で 3 次元方向に最短結線することによって、信号遅延を回避し、広いバンド幅を実現し、I/O バッファの消費電力を抑制することが可能になる。しかし、高性能用途の製品は高い周波数で駆動し、周波数と消費電力は比例しているので、チップのコアからの発熱も大きくなり、チップ積層によって閉ざされた構造から熱を逃がす経路が必要になる。すなわち、チップのホットスポット部も、チップ積層によって増幅されないように拡散させる工夫が必要である。

小型薄型化の目的としては、チップサイズの SiP が可能になるという魅力があるが、TSV を使わなくてもチップサイズの SiP は以前から開発、報告されてきた。しかし、コストが一般の FBGA に比較して高いという理由で過去に広まらなかった。それほど携帯電子機器の分野ではコスト要求が厳しいといえる。したがって、最大の課題は TSV コストを如何に下げるかである。欧州のコンソーシアムがウェーハ当たり \$50 は可能であると主張しているが、現在実用化されている WL-CSP のコストから考慮すると、\$200 以下は現実的にかなり難しいと推測される。

異種素子同士の積層用途では、プロセスの異なるチップをパッケージに集積することによって、単一チップでシステムを構成するよりも、低コストで複合デバイスが実現できる可能性がある。しかし、そのチップ間接続は必ずしも TSV を用いる必要がなく、ワイヤボンディングでも要求を満たす製品については、コストの観点からそちらが採用されるだろう。TSV を用いて異種素子間接続する用途は、電気的特性要求の厳しいデバイスの分野に限る。しかし、RF デバイスを用いて、ワイヤボンディング接続と TSV 接続の電気特性を比較したところ、信号応答に大きな差はなかったという報告もあり、電気特性要求の厳しいデバイスでも、ピン数が少なく伝送距離の短ければ TSV が必要とは限らない。

用途	利点	課題	対策
高性能	- 高速伝送 - 低消費電力 - 遅延回避 - PI, SI - バッファ低減	- 放熱能力不足 - 熱密度の増加 - ホットスポット - チップ毎に異なる動作保証温度	- マイクロチャネル - 液体浸漬冷却 - 高熱伝導材料 - Thermal TSV
小型薄型	- ウェーハプロセス - チップサイズ SiP	- TSV コスト - 生産性、不良率累積 - チップ面積比例のコスト - 積層数比例コスト - CUPが不可能	- レーザ穴あけ - Non-Bosch DRIE - 絶縁層のスプレー形成 - 非穴埋め金属膜形成 - Chip to wafer 接合
異種素子	- 異種素子がSoCと比べて低コストで集積可能 - 浮遊インピーダンス回避	- ワイヤ接合とのコスト比 - チップ面積の違い - 必要性が限定	- 必要不可欠な用途に限定した適用

図表 8-25 TSV の用途ごとの課題と対策

用途ごとの利点、課題、対策から考慮した TSV の必要な分野と、それに対する代替技術の可能性を図表 8-26 にまとめた。高性能用途では、インダクタンスカップリングなどの無線信号技術が代替技術として提唱されているものの、電源グラウンドについてはチップ周辺からのみ供給されるだけなので、チップ内の各トランジスタに電流が流れるとそれによって電位差(IR ドロップ)が生じ、電位がチップの場所によって変動する。そのために、閾値と信号電位とのマージンが小さな低電圧デバイスや、大電流がチップ内で大きく変動して流れる高性能デバイスでは信号の誤認識を起こしやすい。フリップチップは、チップ全面に亘って電源グラウンドを均一に供給する利点があり、そのために高性能用途に用いられているが、それを 3 次元化した接続方法が TSV 技術であるといえる。最先端の高性能デバイス積層に対しては、TSV は不可欠な技術である。

一方、コストの観点から考慮すると、TSV 加工はウェーハプロセスなので、コストはチップ面積に依存する。3

次元積層していないものの、小型薄型用途として、現在実用化されている CMOS イメージセンサ(CIS) では、チップ上面の CMOS センサ回路面からチップ裏面のパッケージ端子に、TSV を介して外部端子を引き出している。この用途でも、チップ寸法が大きくなると TSV コストが高くなるので、ピクセル数が小規模なチップ寸法の小さいデバイスに限られるであろう。単体で使用する MEMS センサ類にも、TSV がすでに用いられている。MEMS センサ類では、機能素子側でなく、封止するキャップ部品(ガラスまたはシリコン)に穴を開けて貫通電極とし、端子を内部から外部端子に引き出している製品がほとんどである。Flash についても、一時は TSV の最有力候補と言われた時期もあったが、価格が下落している現在、ワイヤボンディングよりもコストの高い TSV を採用し難くなっている。

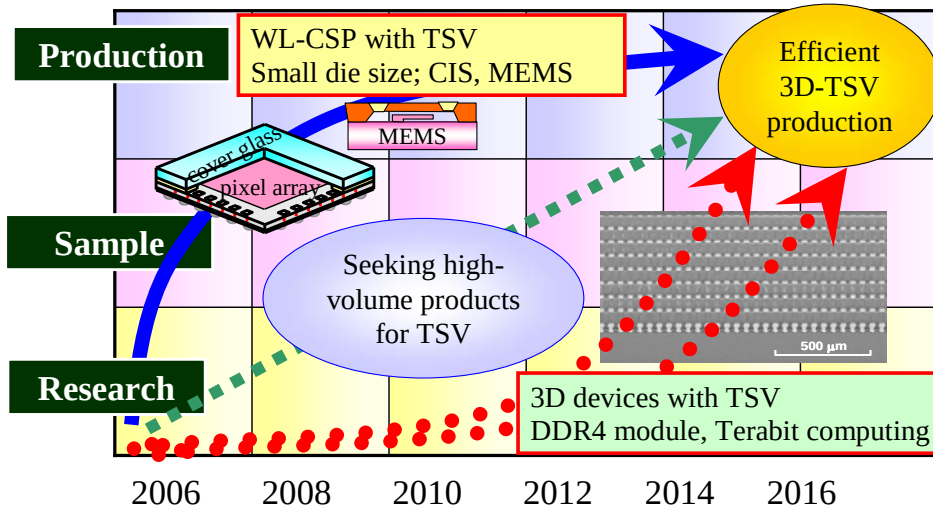
異種素子との集積化技術に関しては、代替技術として、センサを CMOS 回路と同一チップ内に組み込む SoC や、SiP であっても TSV 接続ではなく、ワイヤボンディングによって接続する方法などがある。異種素子は、MEMS 等のセンサ類やアナログデバイスと CMOS 論理素子の組み合わせが考えられている。これらのデバイスが CMOS チップの上に積層されて TSV で接合される可能性は、よほど小型化が求められる医療分野や性能の厳しい分野に限られる。

	Devices	TSV の必要性	代替技術
高性能	MPU + Memory	要	チップ積層にて電源安定性と高速信号共に満たす技術は TSV 以外にまだない。
	高速メモリの外部メモリ	要	
小型薄型	CMOS image sensor (CIS)	小チップ用に有意義	チップ寸法が6mm以上になるとコスト的に厳しい。
	Flashの積層	SDD	ワイヤボンディング(薄さとコストのバランス)
異種素子	Accelerometer + AD, Logic Gyro, RF-MEMS + AD, Logic	機能のないキャップ側にTSVを形成	センサを含んだSoC 小さなセンサの横置きSiP ワイヤボンドの積層SiP エピフィilmボンド
	TPMS + Logic, wireless		
	LED + Driver		

図表 8-26 TSV の用途と代替技術

先端高性能デバイスへの TSV のアプリケーションとして、高速メモリモジュール DIMM を置き換えるために 2015 年ごろ単一パッケージに DDR DRAM を収納するという報道や、80 コア以上のプロセッサと 3 次キャッシュメモリを TSV で接続し実用化するとの報道がある。コストよりも性能を目指したハイエンド用途であるが、性能を満たすために TSV が 3 次元積層に求められるのは、当初非常にニッチな分野であろう。量産効果を得て TSV コストを低減するためには、大量生産する製品を創出することが必要であるが、今のところそのような製品は考え出されていない。(図表 8-27)ASET ではメモリの積層や 3 次元で再構成可能な FPGA (Field programmable gate array)を第 1 段階のアプリケーションとして、高速高解像度 CIS を第 2 段階のアプリケーションとして、3 次元積層技術の開発を進めている。

- チップのパッドと外部端子を接続するTSVは単体デバイスに実用化
- 高性能なメモリ+MPUへの高速信号・安定電源としてTSVが必須
- 小型化、異種デバイス接合の3D-TSVはコストに見合うアプリが不在

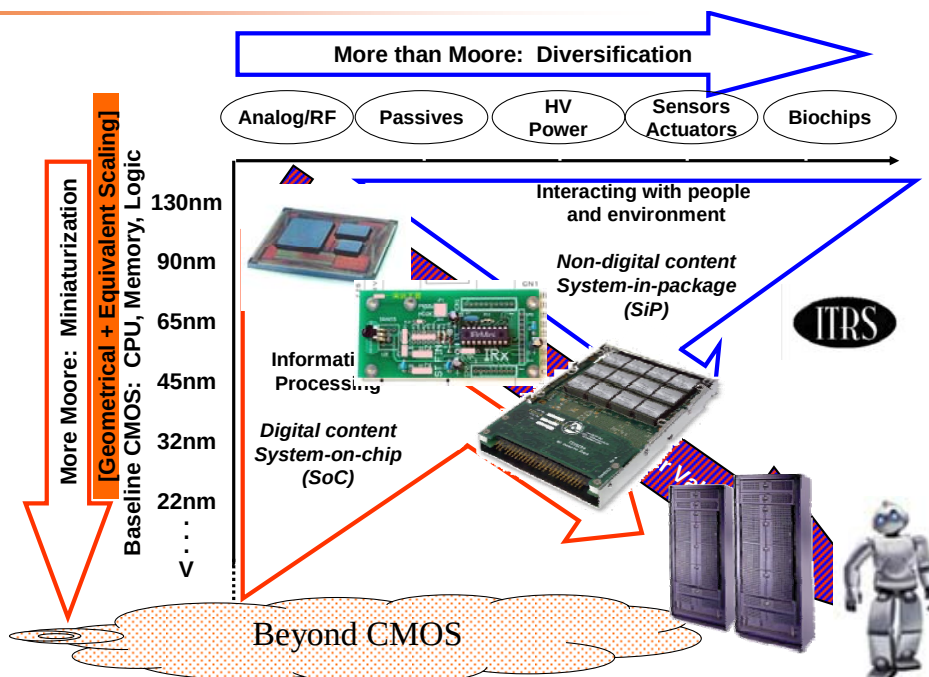


40

図表 8-27 TSV の量産化シナリオ (出典:筆者)

8-11 まとめと今後の課題

More than Moore は単純増加、もしくは単純減少する数値によって表現することは難しい。ITRS でも“More than Moore white paper”を執筆するタスクフォースが1年前に設置されたものの、その完成は遅れている。半導体デバイスの集積度は More Moore に従って向上し、CMOS デバイス以外のものまで集積するようになった。そして、アナログ、RF、受動素子、高圧パワーデバイス、センサ、バイオチップの領域まで、1 つのデバイスに集約して、最終的には全システムが単一のパッケージに収納される未来を描くこと。それが More than Moore の本質であろう。(図表 8-28) 実装 WG では、今後も来るべき将来を描き出す努力を積み重ねていく所存である。



図表 8-28 ITRS の描く方向 (出典:ITRS を筆者が加工)