

DFM 用語集

2011年度版

JEITA)半導体部会)生産技術専門委員会
DFM小委員会

はじめに

- ・本用語集の著作権は、JEITA若しくはSTARCに帰属します。
- ・ここに掲載されている用語及びその解説は、JEITA・半導体部会・生産技術専門委員会・DFM小委員会とSTARC・開発第一部・製造性考慮設計Grが2010年度に合同で実施したDFM用語集編纂作業” STARC版用語集No. DM-089-H1-1.00”に対し、2011年度にDFM小委員会が追加検討を加えた内容を、STARCの了承を得てWeb公開するものです。
- ・従来JEITA側では、DFM小委員会が2007年12月にSEMICON JAPANで公開し、以降更新を継続しているDFM用語集を有し、STARC側では2007年3月より日経Tech-Onで公開しているDFM用語集を有していました。本用語集は、両者の統合と内容の全面見直しを実施したものです。この度、関係者の御配慮/御支援により、統合及び一般公開が可能となった事に深謝します。
- ・用語の内容には、まだ不十分のところがありますが、更に改訂を加えてより良い用語集にしていく予定です。

2011年11月

用語の構成

1. パーティクル関連
2. リソ・マスク関連
3. CMP関連
4. E-DFM関連
5. DFM基盤技術、設計
6. 生産技術
7. Back up

用語の目次(1/4)

A	<u>Across Chip Linewidth Variation (ACLV)</u>	D	<u>Design Aware Manufacturing (DAM)</u>
	<u>Advanced Equipment Control (AEC)</u>		<u>Design Intent</u>
	<u>Advanced Process Control (APC)</u>		<u>Design for Manufacturability (DFM)</u>
	<u>Agile Manufacturing</u>		<u>Defect Tolerance Layout</u>
B	<u>Bridging</u>		<u>DELVTO, VTH0</u>
C	<u>Chemical Mechanical Polishing (CMP)</u>		<u>DFM Rule</u>
	<u>Contour</u>		<u>Dishing</u>
	<u>Contour Aware Design</u>		<u>Double Via</u>
	<u>Contour Design Rule Check</u>		<u>Dual Stress Liner (DSL)</u>
	<u>Critical Area (CAA)</u>		<u>Dummy Metal</u>
	<u>Critical Area Analysis (CAA)</u>	E	<u>e-Diagnostics</u>
	<u>Critical Path</u>		<u>e-Manufacturing</u>

用語の目次(2/4)

E	Edge Placement Error	L	Leff
	Electrical DFM		Litho-Aware Design
	Embedded SiGe (eSoGe)		Lithography Hot Spot
	Engineering Chain Management (ECM)		Location-based OCV
	Enterprise Resource Planning (ERP)		Low-k1 Lithography
	Equipment Engineering System (EES)		
	Erosion	M	Manufacturability
F	Fault Detection and Classification (FDC)		Manufacturing Execution System (MES)
	Floating Dummy Metal		Manufacturing For Design (MFD)
	Functional Yield		Mask Data Preparation (MDP)
G	Grounded Dummy Metal		Mask Error Enhancement Factor (MEEF)
I	IR Drop		Metal Fill

用語の目次(3/4)

M MUL_{μ0}, U0

R Resolution Enhancement Technology (RET)

Restricted Design Rule (RDR)

N Necking

O On Chip Variation (OCV)

S Shallow Trench Isolation (STI)

Optical Proximity Correction (OPC)

Signal Integrity

Overall Equipment Efficiency (OEE)

Slope

P Particle

Statistical Quality Control (SQC)

Pattern Defects and Classification (PDC)

Statistical Static Timing Analysis (SSTA)

Pattern Fidelity

Stress Aware Design

Probability of Failure (POF)

Stress Compact Model

用語の目次(4/4)

S [Stress Memorization Technology \(SMT\)](#)

[Source Mask Optimization \(SMO\)](#)

[Supply Chain Management \(SCM\)](#)

[Systematic Variations](#)

V [Via Coverage](#)

[Via Failure Rate](#)

W [Weff](#)

[Weighted Critical Area](#)

[Wire Spreading](#)

[Well Edge Proximity Effect](#)

[Wire Widening](#)

[\(「用語の構成」に戻る\)](#)

1. パーティクル関連

用語： 一覧 パーティクル

- || [パーティクル \(Particle\)](#)
- || [クリティカル エリア \(Critical Area\)](#)
- || [クリティカル エリア アナリシス \(Critical Area Analysis\)](#)
- || [デフェクトトレランス レイアウト \(Defect Tolerance Layout\)](#)
- || [ファンクショナル イールド \(Functional Yield\)](#)
- || [POF \(Probability of Failure\)](#)
- || [ウエイテッド クリティカル エリア \(Weighted Critical Area\)](#)
- || [ダブルビア \(Double Via\)](#)
- || [ワイヤー スプレッディング \(Wire Spreading\)](#)
- || [ワイヤーワイドニング \(Wire Widening\)](#)
- || [ビア フェイラー レイト \(Via Failure Rate\)](#)

[\(「用語の構成」に戻る\)](#)

用語: パーティクル(Particle)

|| 定義

- 製造工程で発生する微細な粒子状の異物等の総称。

|| 説明

- 一般には、気体中又は液体中に浮遊したとき、沈降しにくい10 μ m程度以下の粒形の粒子で、その分布は、確率密度分布が代表(Xm^{-3})に従うものとして考えられている。(X: 欠陥サイズ)
- 但し、発生メカニズムの相違により、分布が X^{-3} に従わない場合もある。
- IC製造の際、ウェーハ表面に付着すると欠陥(Defect)の原因となり、不良につながる致命的な欠陥をKiller Defect(若しくはFault)と呼ぶ。(パーティクル欠陥とも呼ばれる)
- パーティクルに起因する不良は直接オープン/ショートと呼ばれるものと、パターンニングによる転写の影響によって引き起こすものがある。

|| 関連用語

- Particle欠陥
- [Critical Area \(CA\)](#)
- [Critical Area Analysis \(CAA\)](#)

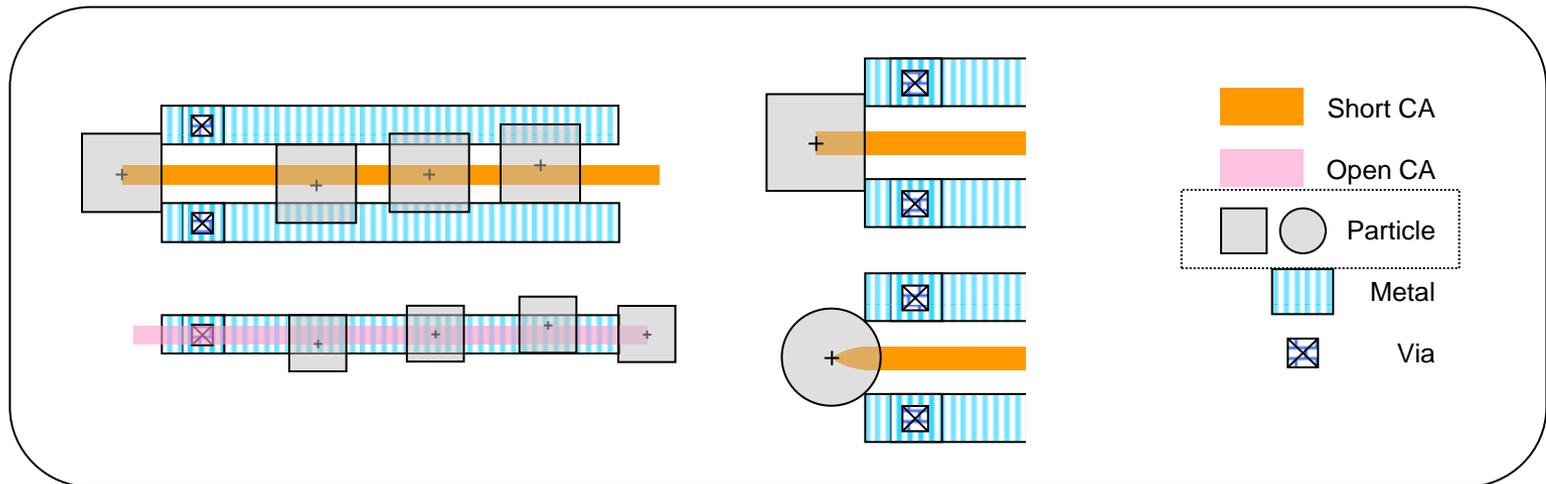
用語: クリティカル エリア (Critical Area)

|| 定義

- particleが存在すると不良となってしまうような場所の集合を、エリアとして表現したもの。

|| 説明

- Particle起因で配線のオープンやショート不良となる危険箇所を表わす。欠陥サイズが大きくなる程、そのエリアが広がる。また、最小設計寸法以下の欠陥は、不良となるOpen/Shortを起こす確率が低い。



ParticleとCritical Areaの関係を図示したイメージ図

|| 関連用語

- [particle](#)
- particle欠陥
- [Critical Area Analysis \(CAA\)](#)

用語: クリティカル エリア アナリシス (Critical Area Analysis)

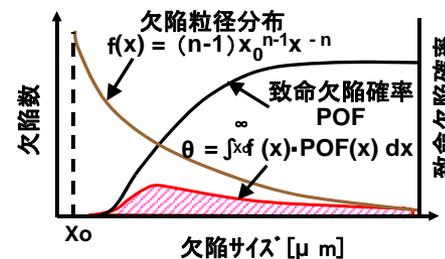
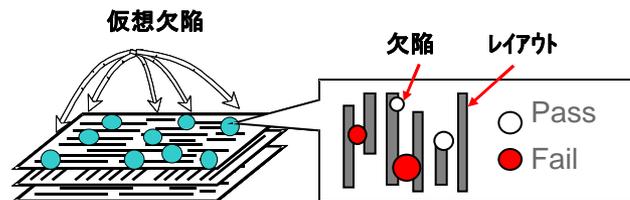
|| 定義

[\(「一覧」に戻る\)](#)

- particleが存在すると不良になってしまうような場所の集合をエリアとして表現したクリティカルエリアを特定し、その面積を算出すること。CAAと略されるほか、CA解析、particle限界感度領域解析とも呼ばれる。

|| 説明

- particleによるパターン欠陥やチップ歩留はチップのパターン密度に依存する。このため、レイアウトデータを解析して、チップごとの欠陥確率、歩留を分析することが重要になる。その手法としてのクリティカルエリア解析は、レイアウトデータを解析して、クリティカルエリアを特定し、その面積を算出する。この結果から、歩留まりの見積を算出する。
- CAAの一例としてモンテカルロ法を用いて、大小の欠陥をChip上のランダムな位置にparticleを発生させ、Open/Shortが発生するかどうかを確認する。そのDot Throw Programは、図形演算に較べて短時間でFull Chipの解析が可能といわれている。



ランダム欠陥歩留り(Y_R)
 $Y_R = \exp(-D_o \times \theta \times A)$
 $= \exp(-D_o \times A_c)$
 D_o : 欠陥密度、 θ : 致命率
 A : チップエリア、 A_c : クリティカルエリア

|| 関連用語

- [particle](#)
- particle欠陥
- [Critical Area](#)

用語: デフェクトトレランス レイアウト (Defect Tolerance Layout) ([「一覧」に戻る](#))

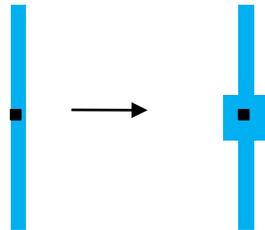
|| 定義

- 製造プロセスのばらつきやランダム欠陥に対して、設計段階から耐性を向上させることを表す。欠陥耐性とも呼ばれる。

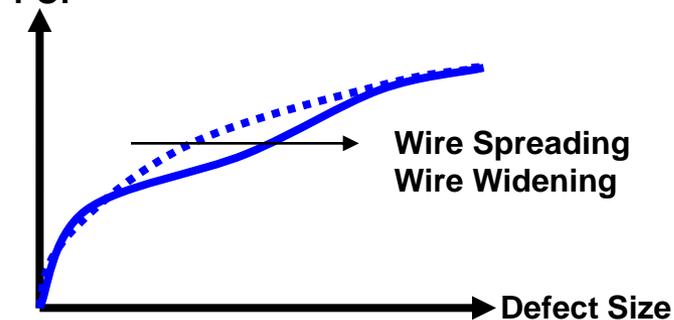
|| 説明

- LSIの微細化に伴い、マスク作製やウェーハ加工等の生産コストが増大し、これらのコスト削減および、歩留りの向上が求められている。そのため、設計段階から、製造工程に起因するばらつきや、particle等に起因するランダムな欠陥を考慮した、レイアウト設計を行わなければならない。このため、レイアウトの自由度やライブラリ構成要素の数などに制約を設けることにより、レイアウトの複雑度を下げ、製造の容易性を向上させ、ばらつきやランダムな欠陥に耐性のあるレイアウトを行う必要がある。

ex.アライメント誤差による影響を低減する
レイアウト基準の変更



POF ex.ランダム欠陥の影響を低減させるCA削減



|| 関連用語

- [Particle](#)
- Particle欠陥
- [Lithography Hot Spot](#)
- [CMP](#)
- [POF: probability of failure](#)
- [Wire Spreading, Wire Widening](#)

用語: ファンクショナル イールド (Functional Yield)

[\(「一覧」に戻る\)](#)

|| 定義

- 回路動作が機能しない歩留まり(現象を表す)
- ここでは、歩留まりをファンクショナルイールドとパラメトリックイールドと区別していて前者は、ウェーハテストの中のロジカル機能テストで検出され、後者は回路動作はするが、AC特性は満たさないもの。

|| 説明

- LSIの微細化に伴い、デバイスの寸法は露光波長より小さくなっており、微細パターンは各種の解像度拡張技術を駆使して形成されている。しかし、微細パターンの形状や周辺パターンの配置状況によっては、解像度の拡張が充分に行えず、露光パターンの忠実性が損なわれる。また、LSIパターン上のパーティクル起因により、電気的なオープン、ショートといった欠陥が発生する。その結果、デバイスの動作不良発生確率が増加し、最終製品の歩留りが低下する。これを回避するためには、回路あるいはチップ全体を対象として、設計時のレイアウトデータから、その製造に関する容易性を定量的に評価し、製造歩留りを予測する技術が必要とされる。
- 例えば製品スペックで電気的特性を満たさない場合、ファンクショナル・イールドは高いがパラメトリック・イールドは0となる。

|| 関連用語

- [particle](#)
- particle欠陥
- パラメトリックイールド : リーク不良等の特性不良要因の歩留まりロス

用語: POF (Probability of Failure)

|| 定義

- サイズ“x”のパーティクルがチップを不良とする確率。
- POFは、以下の関係式で表せる。

$$\text{POF} = \frac{\text{CA}(x)}{A_{\text{chip}}}$$

CA(x) : Particleサイズ “x”のCritical Area
A_{chip} : チップ面積

|| 関連用語

- [particle](#)

用語: ウエイトド クリティカル エリア (Weighted Critical Area) [\(「一覧」に戻る\)](#)

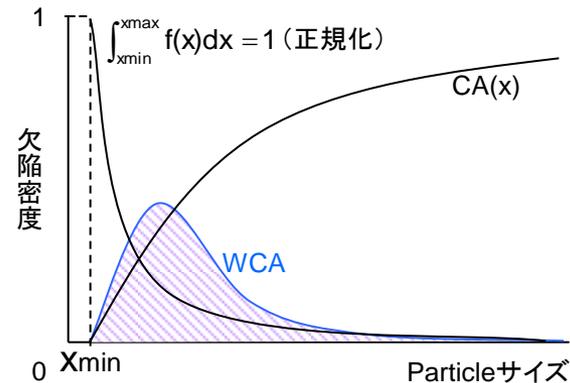
|| 定義

- Critical Area (CA(x))とParticleの欠陥サイズ分布確率(f(x))との積の積分であり、実効 Critical Areaともいう。

|| 説明

- チップ内の欠陥密度をD0とし、チップあたりの平均化された欠陥数λは以下の式で表せる。
- Critical Areaは、パーティクルサイズと共に増大するが、欠陥サイズ分布確率は逆に減少するので、その積は一般に最少設計寸法(Xmin)を少し超えた辺りで極大値を持つ。

$$\lambda = D_0 \times \int_{x_{min}}^{\infty} CA(x) \cdot f(x) dx$$



欠陥密度、CA、WCA 曲線

|| 関連用語

- [Particle](#)
- [Critical Area \(CA\)](#)

用語: ダブルビア(Double Via)

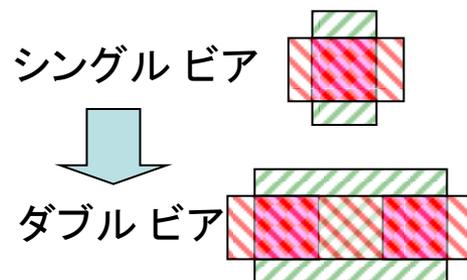
|| 定義

- 2つの並列に構成したViaのこと。

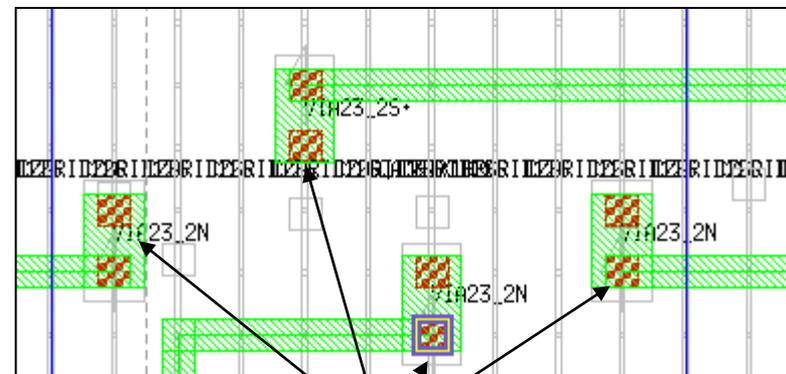
|| 説明

- Viaの導通不良を低減させるために行う方法の一つ。Redundant Viaとも呼ばれる。
- 同一のノードにViaを2つ(またはそれ以上)打ち、冗長性を持たせることによって歩留りを改善させる。
- 個々のViaの不良発生が独立事象と考えると、同時に不良となる確率は、(Via不良の生起確率)²になる。このため、Viaをダブル化することで、Viaの導通不良は通常無視できる値となる。
- 高信頼性を要求される分野では、レイアウト設計の要求仕様に含まれる場合がある。

シングル/ダブルビアの例



ダブルビアの使用例



ダブルビア

|| 関連用語

- [Via Failure Rate](#)

用語: ワイヤースプレディング (Wire Spreading)

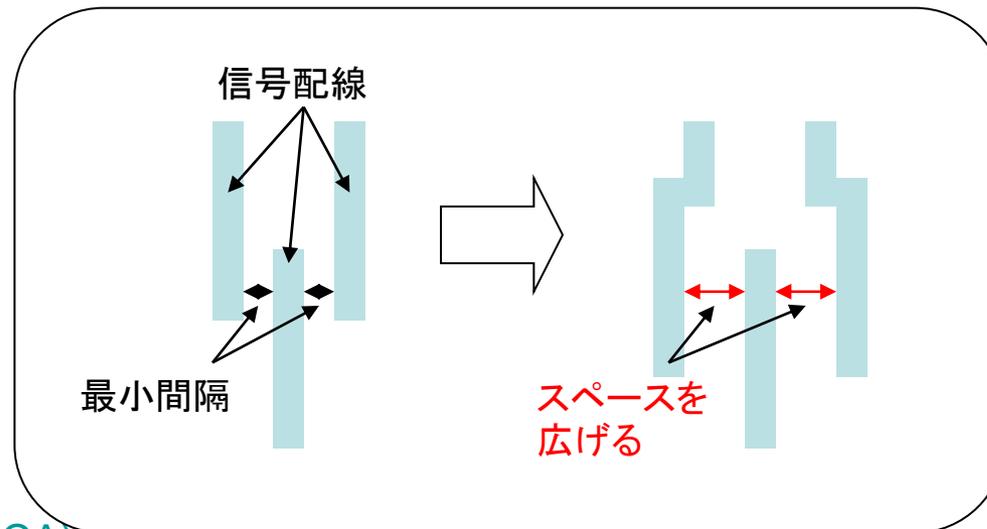
[\(「一覧」に戻る\)](#)

|| 定義

- Critical Areaを低減させる方法の一つで、信号配線間のショートを抑制する手法。

|| 説明

- 最小間隔で配線された信号配線間のスペースを下図のように広げることにより、Particle欠陥の発生確率を低減させる手法。
- パーティクルサイズの存在確率分布が X^{-3} とすると、スペースを倍にするとショートが発生する確率は1/4になる。また配線間クロストーク等も減少させる効果もある。タイミングに影響を与えるので、対策後に確認が必要。



|| 関連用語

- [Critical Area \(CA\)](#)
- [Wire Widening](#)

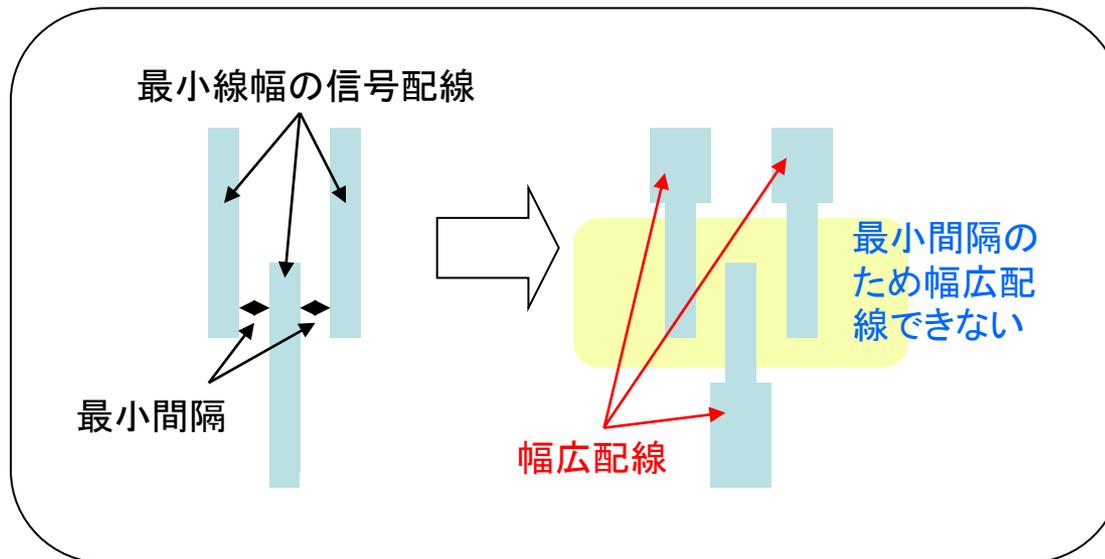
用語: ワイヤーワイドニング(Wire Widening)

|| 定義

- Critical Areaを低減させる方法の一つで、信号配線のオープンを抑制する手法。

|| 説明

- 最小配幅で配線された信号配線の配線幅を下図のように広げることにより、Particle欠陥の発生確率を低減させる手法。
- また過度に行うと、配線容量の増加を介して、タイミングの遅れや消費電流の増大につながる可能性がある。



|| 関連用語

- [Critical Area \(CA\)](#)
- [Wire Spreading](#)

用語: ビア フェイラー レイト (Via Failure Rate)

|| 定義

- Viaの不良率を意味し、通常 ppb (=Parts per billion) で表記される。

|| 説明

- Viaの平均欠陥密度 λ は以下の式で表せる。一般的にポアソン分布となる。
$$\lambda = \text{Via Failure Rate} \times \text{シングルVia数}$$
- また、Via密度が低いと不良率が上がる傾向があるとされている。

|| 関連用語

- [Double Via](#)

[\(「用語の構成」に戻る\)](#)

2. リソ・マスク関連

用語： 一覧 リソ・マスク

- || [Across Chip Linewidth Variation \(ACLV\)](#)
- || [リソグラフィ ホットスポット \(Lithography Hot Spot\)](#)
- || [Low-k1 リソグラフィ \(Low-k1 Lithography\)](#)
- || [MDP \(Mask data preparation\)](#)
- || [Mask Error Enhancement Factor \(MEEF\)](#)
- || [Optical Proximity Correction \(OPC\)](#)
- || [パターン フィデリティ \(Pattern Fidelity\)](#)
- || [Resolution Enhancement Technology \(RET\)](#)
- || [システマティック バリエーションズ \(Systematic Variations\)](#)
- || [リソ アウェア デザイン \(Litho aware Design\)](#)
- || [コンター \(Contour\)](#)
- || [エッジ プレースメント エラー解析 \(Edge Placement Error解析\)](#)
- || [コンター DRC \(Contour DRC\)](#)
- || [ネックング \(Necking\)](#)
- || [ブリッジング \(Bridging\)](#)
- || [ビア カバレッジ不良 \(Via Coverage不良\)](#)
- || [スロープ解析 \(Slope解析\)](#)
- || [Source Mask Optimization \(SMO、光源マスク最適化\)](#)

[\(「用語の構成」に戻る\)](#)

用語: Across Chip Linewidth Variation (ACLV)

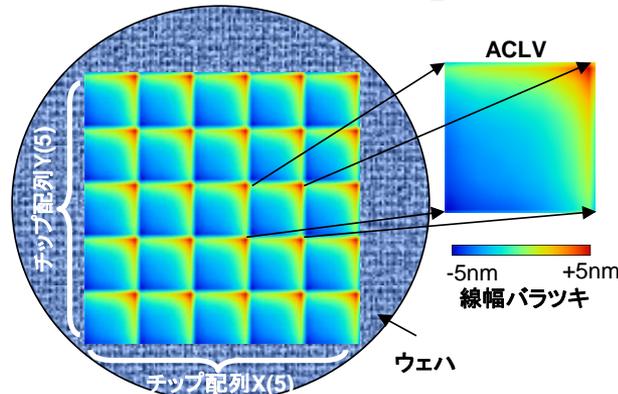
[\(「一覧」に戻る\)](#)

|| 定義

- チップ内でのトランジスタ長やトランジスタ幅のばらつき、または金属配線の線幅のばらつき。チップ内線幅ばらつきとも呼ばれる。

|| 説明

- チップ内の線幅のばらつきがリソグラフィー工程で生じるのは、パターン密度の違いによる各パターンの最適露光量の違い、投影光学系の収差によるパターン形状や密度に依存した寸法誤差、マスクの照度むらによるチップ内露光量差、マスクの寸法誤差の場所依存、像面の傾斜等によるフォーカス位置のずれ、スキャン露光装置におけるウエハとマスクの同期誤差などによる。
- 配線においては線幅のばらつきが、抵抗値と容量値のばらつきに反映され、微細化が進むにつれ遅延に対する影響は大きくなる。線幅のばらつきは、CMP、リソグラフィ、エッチングにおける近接効果の影響により生じる。リソグラフィ工程においては、種々の原因で発生するチップ内露光ばらつきにより、線幅にばらつきを生じる。エッチング工程における近接効果は、「マイクロローディング」として現れる。



|| 関連用語

- マイクロローディング (チップパターンの粗密によりエッチング速度が異なる現象)

用語: リソグラフィ ホットスポット (Lithography Hotspot) ([「一覧」に戻る](#))

|| 定義

- リソグラフィ プロセスマージンが不足し、パターン不良が予測される箇所。プロセス条件とパターン近傍のレイアウトの相互関係に依存する。

|| 説明

- デザインルールの微細化により解像力に余裕のない露光条件でのパターン解像が求められる。このためOPC、RET、特殊照明などを駆使しても、ウェーハ上に転写されるパターンが所望どおりに仕上がらない箇所(ホットスポット)が出てくる。このような箇所ではプロセスマージンが不足し、歩留まり低下の原因となる。カテゴリにはパターン同士のブリッジング、ネッキング、VIAのカバレジ不足、ラインエンドのショートニングなどがある。
- リソグラフィ プロセスマージンには、一般にドーズ/フォーカス/アライメントのばらつき/装置間差が考えられている。

|| 関連用語

- [システムティックバリエーション](#)

用語: Low-k1 リソグラフィ (Low-k1 Lithography)

[\(「一覧」に戻る\)](#)

|| 定義

- 縮小投影型リソグラフィの解像度 $R=k1 \cdot \lambda/NA$ (レイリーの式)で示されている、k1値をより小さくし、露光装置の性能を最大限に引き出すためのリソグラフィ技術のこと。尚、このk1値はレジスト性能、装置コントロール、レチクルのパターンやプロセスコントロールによって主に決まるプロセス定数のことであり、露光技術の難易度やコストが左右される。

|| 説明

- k1値と光近接効果は密接な関係があり、k1値が小さくなればより複雑なOPC(光近接効果補正)が必要となる。また、NA、 λ (露光波長)により、必要なk1値が決まってくる。Low-k1化が進むと露光波長も短くなるから転写パターンの忠実性が低下してしまう。
- k1値の理論上の限界値は、 $k1=0.25$ とされているが、ダブルパターンニング、あるいはダブル露光と呼ばれる方法により、実効的にk1値を $k1<0.25$ に下げる手法が検討されている。但し、プロセスの複雑化やマスクコストの課題などがあり、トータル的な議論が必要となっている。

|| 関連用語

- [RET](#)

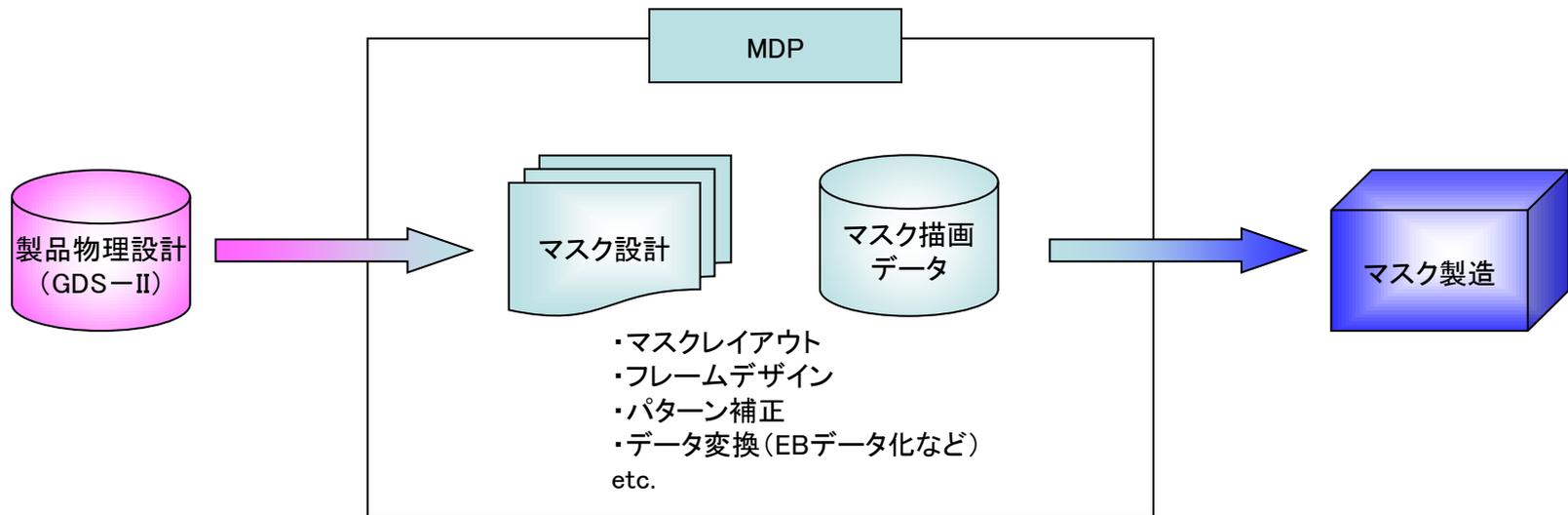
用語: MDP (Mask Data Preparation)

|| 定義

- マスクレイアウト、パターンデータ生成／補正、データ変換等のマスク描画に必要なデータ加工及び準備のこと。

|| 説明

- マスクをリソグラフィ工程で使用できるように、マスクレイアウト、スクライブデータ作成、各種補正等を行うことやマスク描画用へのデータ変換等を行う。また、マスク製造の仕様書、指示まで含む場合がある。



|| 関連用語

- SEMI P10/41/42/46 (<http://www.semi.org/sites/semi.org/files/ContentsbyVolume0811.pdf>)
- フラクチャリング (マスク描画装置用向けにデータを変換すること)
- OASIS (SEMI P39) (<http://www.semi.org/sites/semi.org/files/ContentsbyVolume0811.pdf>)

用語: Mask Error Enhancement Factor (MEEF)

[\(「一覧」に戻る\)](#)

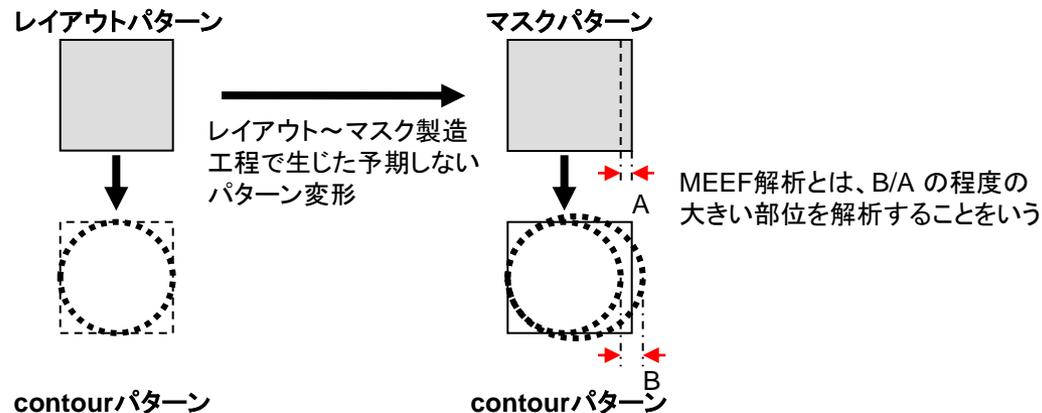
|| 定義

- 縮小ステッパの解像力限界値近傍において、マスクの誤差(エラー)がウェーハ上に形成されるパターンにおいて、より強調される現象がある。この係数をMEEFと呼ぶ。

$$\text{MEEF} = \delta(\text{CD wafer}) / \delta(\text{CD mask}/M) = M * \delta(\text{CD wafer}) / \delta(\text{CD mask})$$
 M はマスク倍率。

|| 説明

- MEEF値はマスク寸法変動に対するウェーハ寸法変動を示す量であり、1対1の変動の場合は1になる。しかし、 $k1$ 値が小さい領域では、この値が1より大きい。これは、回折光の一部が投影光学系の瞳を通過しないことによる、投影像のコントラスト低下に起因している。MEFということもある。
- マスクのエラー(製造時に起こる誤差)がWafer上に形成されるパターンでより強調して出力される現象を解析する手法を、一般にMEEF解析という。



|| 関連用語

- [Low-k1 lithography](#)
- [RET](#)

用語: Optical Proximity Correction (OPC)

|| 定義

- OPC(光近接効果補正)は、チップデザインの縮小化に伴いレイアウト設計通りのパターンをウェーハ上を実現するということが不可能になっていることから、光の回折や工程の影響による転写イメージを補正するためのリソグラフィ技術。

|| 説明

- OPC(光近接効果補正)としては、大きく分けて2通りの手法がある。
 - ルール・ベース補正: 近傍のパターン配置を考慮した一定の「ルール」に基づいてパターンの補正。
 - モデル・ベース補正: ルール・ベース補正の問題点を解決するため、物理現象をより正確なモデルでシミュレーションすることによって検証し、それに基づいて行うパターンの補正。
 - ※露光波長に比べて微細化がどんどん進むと、光近接効果の影響範囲に含まれるパターンが増加し、より多くの図形を含む周辺パターンまで考慮して補正をしなければならなくなる。このためルールベース補正では補正ルール数が増大して、ルールのみでは的確に表現することができなくなる。その結果ルール通り補正したにも拘らず、実際のウェーハ上では不良となることがある。一方、モデルベース補正は、プロセスモデルを用いたシミュレーションを繰り返して最適なマスク形状を求めるもので、より多彩なパターンに柔軟に対応できる。しかしその半面、計算量は増大する。
- OPCを行う際、リソグラフィ コンプライアンス チェックの中で、モデル・ベース検証によりホット・スポットを検出し、補正量を更に最適化することもある。

|| 関連用語

- [RET](#)
- [Low-k1 lithography](#)

用語: パターン フィidelity (Pattern Fidelity)

[\(「一覧」に戻る\)](#)

|| 定義

- 半導体パターンを転写する際のパターンの忠実度。パターン寸法や形状が原パターン（設計レイアウトまたはマスクパターン）に対して忠実に再現できる度合い。

|| 説明

- 投影露光装置でパターンを転写する場合、解像できる最小寸法は光源の波長 λ に比例し、露光装置の開口数NAに反比例する。その比例定数を k_1 としてプロセスファクターとよぶ。原理的に解像可能な最小寸法はラインとスペースが1:1のピッチのとき $k_1 = 0.25$ が限界であり、そのときのライン寸法は $0.25\lambda/NA$ である。限界寸法の3倍程度のパターンを転写する際は、パターンの忠実度はほとんど問題にならない程度に良好だが、2倍以下では忠実度が悪くなる。このため、変形照明、位相シフトマスクなどの解像性を向上させる超解像技術が用いられたり、解像性向上を目的としたアシストパターン(SRAF: Sub-resolution assist features)を設けたり、光学的近接効果補正(OPC: Optical proximity correction)によってパターン形状を修正したり、場合によってはレイアウトを変更することにより忠実度の向上を図ることがある。

|| 関連用語

- [OPC](#)

用語: Resolution Enhancement Technology (RET) ([「一覧」に戻る](#))

|| 定義

- 解像度向上技術。マスクのパターンをウェーハに転写する際に、転写光学系の解像限界付近ではコントラストが低下したりして、解像しなかったりパターンが忠実度が悪くなるが、解像力の物理限界付近までパターン転写を可能にする技術。リソグラフィーにおいて超解像という場合はこのRET技術を指す。

|| 説明

- リソグラフィーで用いられるRETとしては、変形照明、位相シフトマスク、瞳フィルター、二光子吸収等がある。広い意味ではOPCを含むこともある。
- 変形照明は、通常光軸を含む円形の照明光源を光軸の中心付近を遮蔽してする輪帯照明にしたり、あるいは光軸に対称な二個の光源とした二極照明とするなどして光学系に入射する高い空間周波数領域の回折光分布の相対的強度を強くする技術である。位相シフトマスクはマスクパターンを照明光が透過するとき光の位相が0度となる所と180度となる所を作り出し、パターンのコントラストを大きくする技術である。瞳フィルターは投影レンズの中に位相あるいは光強度を調整するフィルターを挿入し、回折光強度や位相を調整して高い解像性を持たせる技術である。二光子吸収はパターン転写の際に用いる感光材料に二個の光子の吸収によって感光する性質を持たせ実質的に二倍の波長の光で感光する。

|| 関連用語

- [OPC](#)

用語: システマティック バリエーション (Systematic Variation) ([「一覧」に戻る](#))

|| 定義

- システマティックばらつきとは、何らかの規則性若しくは繰り返し性が見出せる設計仕様に対する出来上がりのオフセットで、その原因は設計自身に含まれている場合の他に、生産環境によって作り込まれる場合もある。

|| 説明

- ばらつきとは、設計仕様に対し、生産時のプロセス、装置、材料の変動(長期的、短期的、突発的)に起因して、設定した中心値から何らかのズレが生じることを指す。
- ばらつきの分布には、空間分布(Fab間ばらつき、ロット間ばらつき、ウェーハ間ばらつき、チップ間ばらつき)、規則性分布(チップ内のシステマティックばらつき)、時間分布(静的ばらつき、動的ばらつき)に大別できる。
- システマティックばらつきは、規則性を持つが、それは、ばらつき要因が回路、レイアウト、マスク等の上流に存在する可能性が高いことを意味する。また、プロセス、デバイスの視点でも、装置・材料の異常が規則的に繰り返されるケースでは、システマティックばらつきの要因になる

|| 関連用語

- [リングラフィホットスポット](#)
- [ディッシング](#)

用語: リソアウェア デザイン(Litho aware Design) [\(「一覧」に戻る\)](#)

|| 定義

- 半導体製造におけるLithography(以下、Litho)工程で発生する危険パターン(Litho Hotspot)を設計段階で考慮する総称。

|| 説明

- 一般的に、設計レイアウト段階でLitho Hotspotの予防・検証・修正を行うこと。
- また、物理設計の初期段階で、リソホットスポットの予防を行う場合もさす。
 - ツールとしては、各社のパターンマッチング手法がある。

|| 関連用語

- Litho Prevention :初期配線の段階で、Litho Hotspotとなる可能性がある配線パターン形状を事前に発生させないようにする施策。
- Litho Analysis : 配線結果に対し、リソシミュレーションを行うことにより、真のLitho Hotspotを検出する。
- Litho Correction : Litho Analysisで検出した真のLitho Hotspotを自動配線ツールで修正する施策。

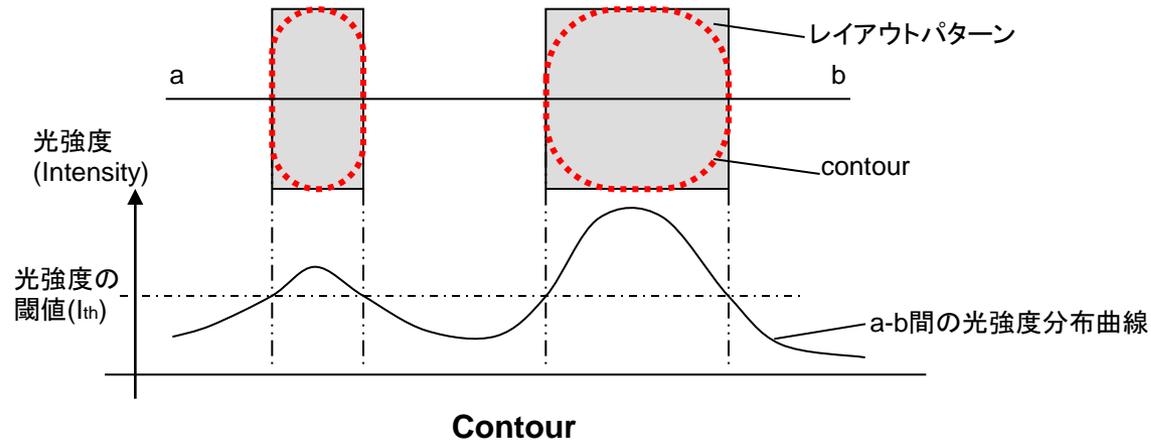
用語: コンター(Contour)

|| 定義

- レイアウトパターンに対して光強度シミュレーション(以下、Litho sim.)を実施して出力された領域内の光強度分布情報から、ウェーハ上に解像する/しないの境界に相当する光強度の閾値を結んだ光強度の等高線。

|| 説明

- 下図にContourの例を示す。



- コンターを決定する主要因であるレジスト形状の予測については、微細化の進行により2次元では精度が不十分で、3次元で行う必要があるとされている。

|| 関連用語

- [RET](#)

用語: エッジ プレースメント エラー解析 (Edge Placement Error 解析)

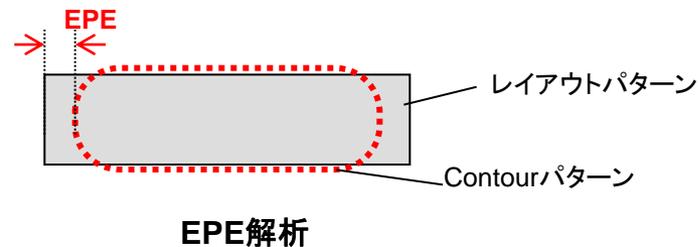
|| 定義

[\(「一覧」に戻る\)](#)

- レイアウトパターンのpolygon図形の辺(エッジ)と、レイアウトパターンに対するContourパターンのエッジとの差異を比較し、その差分量の程度でエラー判定するLitho解析手法。

|| 説明

- 下図にEPE解析の例を示す。



- その量は、注目レイアウトパターン近隣のレイアウトパターンに依存した影響を受けて変化する。

|| 関連用語

- [RET](#)

用語: コンター DRC (Contour DRC)

|| 定義

- Contourパターンに対するデザインルールチェックのこと。

|| 説明

- 歩留まり悪化の原因として考えられるHot Spot(ネッキングやブリッジングやカバレッジ不良など)をContourパターンに対して、線幅違反、間隔違反等のデザインルールチェック(DRC [Design Rule Check])手法と類似の検証手法を用いて抽出する解析手法。
- コンターDRCでは、GatePoly形状の良否、配線の抵抗/Xtalk量増加等の電気的特性への影響に関する判断が出来る。

|| 関連用語

- [リソグラフィホットスポット](#)
- [RET](#)
- [E-DFM](#)

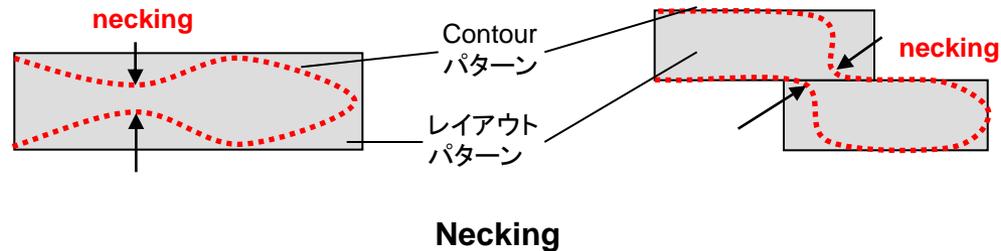
用語: ネッキング(Necking)

|| 定義

- Litho Hot Spotのひとつ。Litho起因でレイアウトパターンに対してContourパターンが細る現象を指す。

|| 説明

- 下図にNeckingの例を示す。



- その量は、注目レイアウトパターン近隣のレイアウトパターンに依存した影響を受けて変化する。

|| 関連用語

- [RET](#)
- [リソグラフィホットスポット](#)

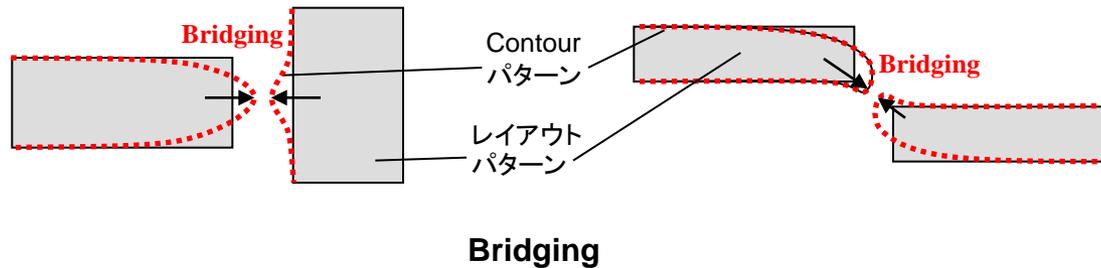
用語: ブリッジング (Bridging)

|| 定義

- Litho Hot Spotのひとつ。Litho起因で対となるレイアウトパターンに対してContourパターン同士が接近しContourパターン同士の間隔が狭くなる現象を指す。

|| 説明

- 下図にBridgingの例を示す。



|| 関連用語

- [RET](#)
- [リソグラフィホットスポット](#)

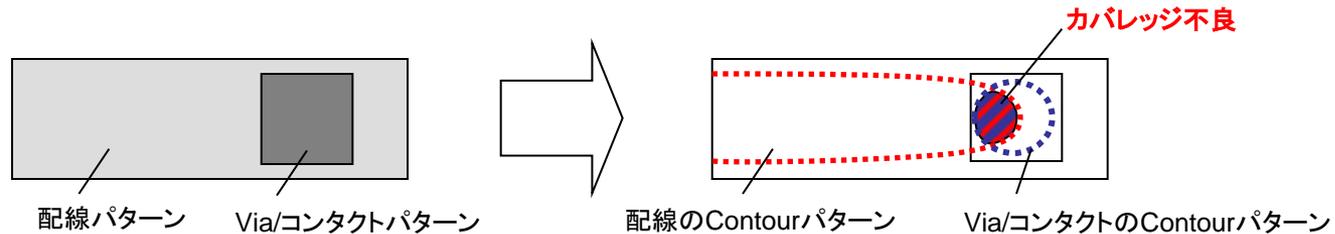
用語: ビア カバレッジ不良 (Via Coverage不良)

|| 定義

- Litho Hot Spotのひとつ。Litho起因で配線と上下層の配線を接続するVia/コンタクトとの間の接触面積が小さくなる現象を指す。

|| 説明

- 下図にCoverage不良の例を示す。



カバレッジ不良

|| 関連用語

- [RET](#)
- [リングラフィーホットスポット](#)

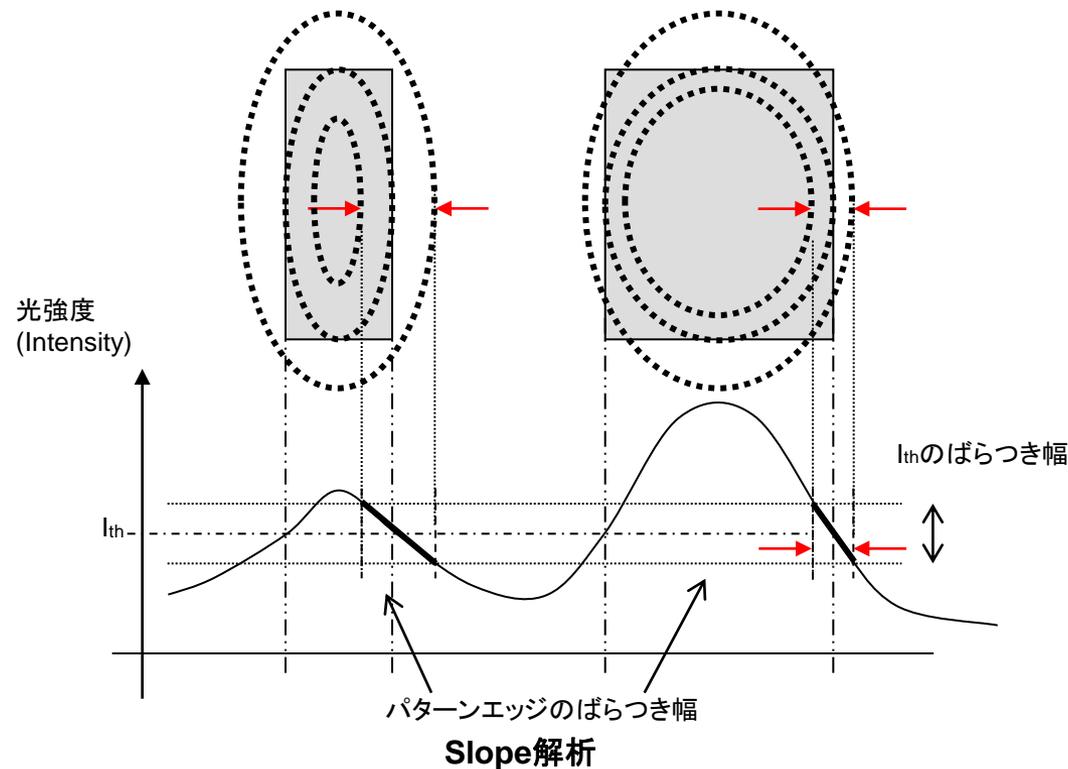
用語: スロープ解析 (Slope解析)

|| 定義

- Process条件を光強度で代表させ、光強度のばらつきによるcontourパターン寸法・形状の変動幅を光強度曲線の傾きによって解析する解析手法。

|| 説明

- 下図にSlope解析の例を示す。



|| 関連用語

- [EPE解析](#)

用語: Source Mask Optimization (SMO、光源マスク最適化) ([「一覧」に戻る](#))

|| 定義

- 露光装置の光源形状とマスクパターンの配置や形状を解像性などの点で最良の状態になるように最適化して組み合わせる技術。

|| 説明

- 露光装置の焦点深度や解像性を向上させるために、輪帯照明や四重極照明などの変形照明を用いたり、一方マスクはOPCを行ったり補助パターンを挿入したりする方法がある。SMOではそれらを別々に最適化するのではなく同時に最適化を行う。一般には、SMOを行うときに、光源形状やマスクパターンの制約を小さくして最適化するため、光源は複雑な形状になり、マスクも元の設計パターンを連想できないぐらい変形される場合がある。

|| 関連用語

- Inverse Lithography (IL) (露光時の光路を逆算して、転写パターンからマスクパターンを求める技術)

[\(「用語の構成」に戻る\)](#)

3. CMP関連

用語： 一覧 CMP

|| [CMP \(Chemical Mechanical Polishing\)](#)

[\(「用語の構成」に戻る\)](#)

|| [ダミーメタル挿入 \(Dummy Metal 挿入\)](#)

|| [メタル占有率 \(Metal占有率\)](#)

|| [グラウンデッド ダミー メタル \(Grounded Dummy Metal\)](#)

|| [フローティング ダミー メタル \(Floating Dummy Metal\)](#)

|| [ディッシング \(Dishing\)](#)

|| [エロージョン \(Erosion\)](#)

用語: CMP (Chemical Mechanical Polishing)

[\(「一覧」に戻る\)](#)

|| 定義

- 研磨パッドと基板の間にスラリーと呼ばれる研磨剤を供給し、基板表面を研磨して平坦にする。化学的なエッチング作用と機械的な研磨とを相互作用させた複合研磨で、製品ウェーハ表面に対する超精密平坦化技術。

|| 説明

- 半導体の微細化が進み、水平方向の縮小が進むと同時に垂直方向の構造が複雑になってきたが、段差が大きいとリソグラフィ工程ではフォーカス設定が困難なため、加工を容易にするために平坦化を行う。
- 銅のような適当なエッチング方法がない材料を用いてダマシン法により配線を行う。
- CMPに関わる現象としては、エロージョン、シニング、ディッシングなどがある。パターンの粗密に起因した局所的な平坦性未達の問題解決には、Dummy Metalの配置などの対策がある。

|| 関連用語

- [Dummy Metal挿入](#)

用語: ダミー メタル挿入 (Dummy Metal挿入)

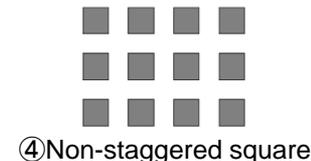
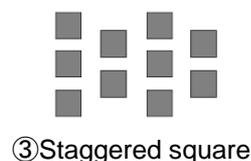
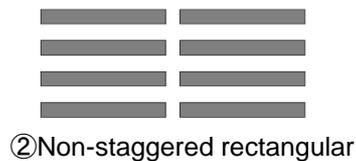
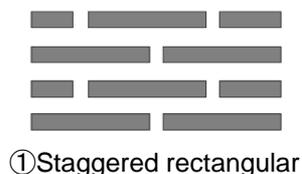
[\(「一覧」に戻る\)](#)

|| 定義

- チップの平坦性を向上させる目的で、電気信号の伝達とは無関係の金属(メタル)をレイアウトに挿入すること。

|| 説明

- LSIの製造工程において、多層配線プロセスの各層を平坦にするためにCMP処理が行われる。その研磨工程においては、配線のメタル材料の分布(被覆率)がチップ全体にわたってほぼ均一であるほうが望ましい。分布が不均一だと、メタル材料と絶縁体の材質の違いにより、断面構造の高低差が著しくなってしまうためである。そこで、一般に配線の無い領域に対してダミー・メタルを挿入し、メタル密度を均一にする処理が行われている。これをDummy Metal挿入という。



Dummy Metal 挿入例

|| 関連用語

- [CMP](#)

用語: メタル占有率 (Metal占有率)

|| 定義

- 単位面積あたりに占めるメタルの割合 (%)

|| 説明

- 主にCMPの平坦化精度を高めるために、影響を与えるレイアウトパターンの評価で使用する用語。単位面積については、材質依存性、プロセス依存性など多様な現象を考慮して、数 μm^2 からチップ全域までの範囲で着目する単位面積が選定される。最近のプロセスでは複数の評価指標が設定され、Tiny(狭い)/Local/Global(広い)等の呼称が使用される例がある。
- メタル被覆率、メタル密度とも呼ばれる。

|| 関連用語

- [ダミーメタル挿入](#)

用語: グラウンデッド ダミー メタル (Grounded Dummy Metal)

|| 定義

[\(「一覧」に戻る\)](#)

- ダミーメタルを電源かグラウンドに接続すること。

|| 説明

- 寄生Tr効果発生の心配はないが、信号線のカップリング容量がFloating Dummy Metalの場合より増加する。

|| 関連用語

- [Floating Dummy Metal](#)

用語: フローティング ダミー メタル (Floating Dummy Metal)

|| 定義

[\(「一覧」に戻る\)](#)

- ダミーメタルをどこにも接続せず、電氣的に浮かせた状態にすること。

|| 説明

- 信号線のカップリング容量がGrounded Dummy Metalの場合より低減できるが、シミュレーション上の容量抽出精度がGrounded Dummy Metalの場合より悪化する。一般的には、フローティング・ダミー・メタルが使用されることが多い。

|| 関連用語

- [Grounded Dummy Metal](#)

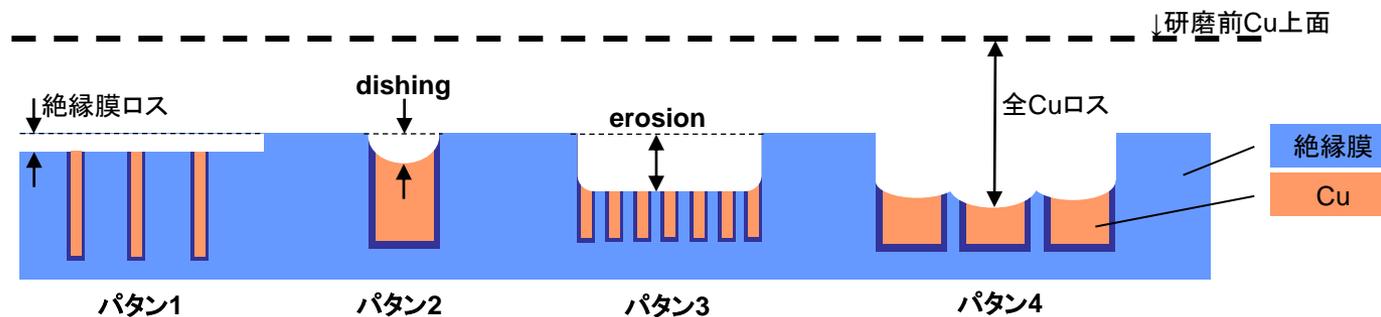
用語: ディッシング (Dishing)

|| 定義

- Cuが周囲の絶縁膜表面以下まで過剰に削れる現象(またはその削れ量)のことを指す。

|| 説明

- Cuダマシン構造の配線のCMPにおいて、Cuおよび絶縁膜の各々の研磨レートは、研磨パッドの凹凸と弾性などの要因によりパターンサイズやパターン密度および断面構造などのパターン形状依存性をもって変化する。ディッシングは広いCu部でパターンエッジ部(または周辺絶縁膜部)よりパターン中央で研磨量が増大(膜厚小)となる現象。
- 下記にDishingおよびその他の研磨量不均一性発生の例を示す。



Dishing、Erosionの例

|| 関連用語

- [CMP](#)
- [Erosion](#)

用語: エロージョン(Erosion)

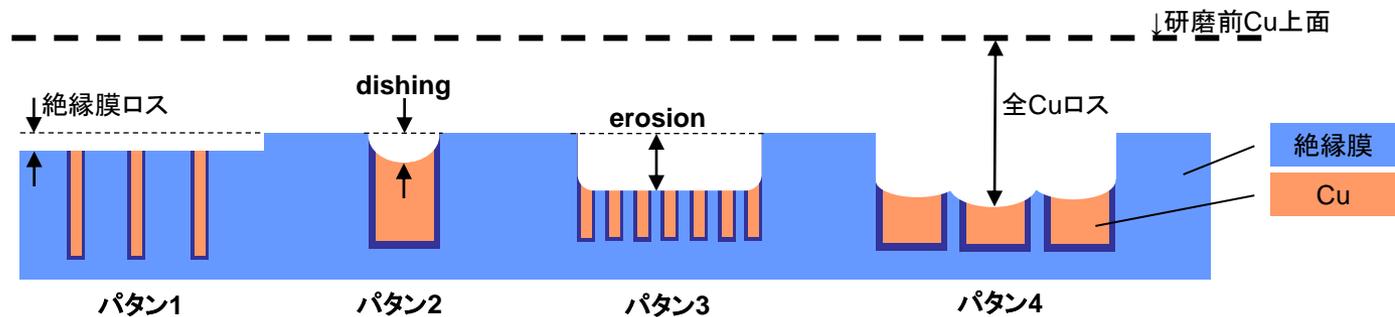
[\(「一覧」に戻る\)](#)

|| 定義

- ある箇所の絶縁膜がCuと共に、周囲の絶縁膜表面以下まで過剰に削れる現象(またはその削れ量)のことを指す。

|| 説明

- Cuダマシ構造の配線のCMPにおいて、Cuおよび絶縁膜の各々の研磨レートは、研磨パッドの凹凸と弾性などの要因によりパターンサイズやパターン密度および断面構造などのパターン形状依存性をもって変化する。エロージョンは微細ピッチのパターン密集部で絶縁膜部の研磨レートがバルク絶縁膜の研磨レートより増大し、残膜厚が減少する現象。
- 下記にErosionおよびその他の研磨量不均一性発生の例を示す。



Dishing、Erosionの例

|| 関連用語

- [CMP](#)
- [Dishing](#)

[\(「用語の構成」に戻る\)](#)

4. E-DFM関連

用語： 一覧 E-DFM

|| [Electrical DFM \(E-DFM \)](#)

[\(「用語の構成」に戻る\)](#)

|| [ストレスに関連するプロセス技術](#)

- STI
- SMT
- Embedded SiGe (eSiGe)
- Dual Stress Liner (DSL)

|| [ストレスに関連するSPICEパラメータ](#)

- MUL μ 0, U0
- DELVTO, VTH0

|| [ストレス考慮設計 \(Stress Aware Design\)](#)

|| [ストレス・コンパクト・モデル \(Stress Compact Model\)](#)

|| [コンター考慮設計 \(Contour Aware Design\)](#)

|| [L_{eff}, W_{eff}](#)

|| [リストラクテッド・デザイン・ルール \(RDR\)](#)

|| [ウェルエッジ・プロキシミティ・エフェクト \(Well Edge Proximity Effect\)](#)

用語: エレクトリカルDFM (E-DFM)

|| 定義

- 電氣的な特性面の製造不良に対して対処すること。

|| 説明

- 「遅延」や「リーク電流」のような電氣的な不良による歩留り低下に対する手法や対策
- 製造条件(工場、装置、時期、など)によるバラツキへの対応は、設計マージンやコーナー条件でのサインオフなどにより対応している。しかし、プロセスの微細化により設計マージンやコーナー数が増大しており、設計制約が多くなり設計期間や品質維持への影響が問題化している。
- プロセスの微細化により、従来問題とならなかった設計データに起因した電氣的特性への影響が大きくなっている。リソグラフィやCMP平坦性による、トランジスタや配線の出来上がり形状(Contour形状)での、トランジスタ速度/リーク電流や配線容量/抵抗のバラツキが「遅延」や「リーク電流」として無視できなくなっている。

|| 関連用語

- [ファンクショナルイールド](#)
- [CMP](#)
- [Contour](#)

|| 関連用語

- STI (Shallow Trench Isolation) :
近年の先端微細プロセスにおいて主流となっている素子分離技術で、シリコン上でトランジスタ素子同士を絶縁分離するための技術、あるいはその分離領域を指す。従来の埋め込み酸化膜(LOCOS)の構造とは形成方法が異なり、分離幅の縮小が容易になるのが特長。しかし、分離領域に起因する応力が素子特性に及ぼす影響が新たな設計課題を生んでいる。
- SMT (Stress Memorization Technology) :
ゲート電極からチャンネルに応力をかけてチャンネルのSi結晶を歪ませることでキャリア移動度を向上させる技術。
- eSiGe (Embedded SiGe) :
トランジスタのSource/Drain領域にSiGeを埋め込み、そのストレスにより電気特性(キャリア移動度)を向上させる技術。
- DSL (Dual Stress Liner) :
N-MOSに引っ張り応力、P-MOSを圧縮ストレスを加えることによりTr.特性を大幅に向上させる技術。

用語: ストレスに関連するSPICEパラメータ

|| 関連用語

- U0, MULU0 :
MOSTランジスタのインスタンスパラメータ。ストレスによるトランジスタのバルク領域のキャリア電子移動度の変動係数を表す。SPICEパラメータU0に対する変動係数となる。BSIM4 Level54以降でサポート。Default値は1。
- DELVTO , VTH0:
MOSTランジスタのインスタンスパラメータ。ストレスによるトランジスタの閾値電圧のシフト量を表す。SPICEパラメータVTH0(ゼロバイアス時のVTH)に対する変動値となる。Default値は0.0[V]。

用語: ストレス考慮設計 (Stress Aware Design)

[\(「一覧」に戻る\)](#)

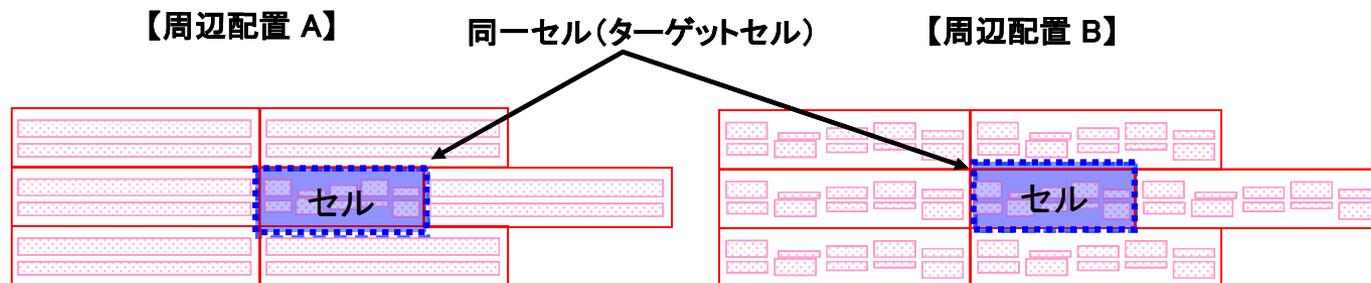
|| 定義

- 半導体製造方法によるストレス(応力)がトランジスタの特性に影響を与えるため、この影響を考慮した設計手法。

|| 説明

- 電流能力(Ion)向上のため Stress を積極的に利用するトランジスタ素子の開発が行われているが、Stress のレイアウト依存性は新たな特性ばらつきの原因ともなる。この Stress のレイアウト依存性を素子の電気特性変動として考慮することにより設計精度の向上を図ることができる。

|| 関連用語



周辺配置の違いにより特性(遅延)が変化
「周辺配置Aのセル遅延」≠「周辺配置Bのセル遅延」

用語: ストレス・コンパクト・モデル (Stress Compact Model)

|| 定義

[\(「一覧」に戻る\)](#)

- Stress に係るレイアウト・パラメータ(間隔、幅など)を測長し、その結果を入力として素子の電気特性変動値($\Delta V_{th}/\Delta U_0$)を出力するモデル。

|| 説明

- 一般には、条件を振ったTEGからの実測値等から作成されるResponse Surface Model
- 各社により呼び方、モデル化の方法が異なる。

|| 関連用語

- [ストレスに関連するSPICEパラメータ](#)
- Compact Stress Model, Compact Closed Model も同義語

用語: コンター考慮設計 (Contour Aware Design)

[\(「一覧」に戻る\)](#)

|| 定義

- 素子 Gate の実効 L/W を見積もり、SPICE ネットリストの素子パラメータに反映させる設計手法。

|| 説明

- トランジスタ素子(MOSFET)を形成する Diffusion 層と Gate Poly-Si 層の形状について、Litho/Etching 工程後の Si Contour 形状をシミュレーションし、実効 L/W を求めることにより、設計精度の向上を図ることができる。

|| 関連用語

- [Leff, Weff](#)
- [Low k-1 リソグラフィ](#)
- [MEEF](#)

用語: Leff, Weff

|| 定義

- ゲート寸法の実効値を指す。

|| 説明

- Litho/Etching 工程後のため、シリコン上でのゲート寸法は Drawing 寸法とは異なっている。
- シリコン上の実際のゲート寸法を用いることで、トランジスタの電気特性を正確に表すことができる。

|| 関連用語

- [コンター考慮設計](#)

用語: リストリクテッド・デザイン・ルール (RDR)

[\(「一覧」に戻る\)](#)

|| 定義

- パターン形状や間隔、方向を限定する設計規約。
- パターン形状に制限を与えることにより製造性を向上させること。

|| 説明

- Prescriptive Design Rule デバイス／レイアウトの形状デザインに対して厳密な規則が設けられ、設計後のDFMで破綻が起きない様な形状しか描けない様に準備された設計規約。
- パターンのピッチや方向を限定するようなパターンを用いることにより、露光装置への要求を大幅に緩和させることができる。
- パターンの形状、方向、間隔を限定することにより、転写パターンサイズ・形状のパターン依存性等の系統的誤差、単独パターンの寸法・形状ばらつきの両方を低減する。ゲートパターンに適用すればタイミング起因不良を大幅に低減できる。従来は副作用としてチップサイズの増大が懸念されていたが、近年では複合機能セル等の適用による面積低減技術が進展しており、RDRの適用範囲拡大が期待される。他の利点として、設計ルール数の増大を抑制し、またパターン種類数を抑制するためSMO適用への効果が指摘されている。一形態としてGDR(Gridded Design Rule)がある。

|| 関連用語

- [DFM Rule](#)

用語: ウェルエッジ・プロキシミティ・エフェクト (Well Edge Proximity Effect)

|| 定義

[\(「一覧」に戻る\)](#)

- ウェル・イオン打ち込みプロセス工程におけるフォト・レジスト・エッジ近傍のイオン散乱によりウェル打ち込み濃度が不均一となり、ウェル近傍のトランジスタのしきい値電圧が変化する現象。

|| 説明

- この効果を表現するためのSPICEネットリストにおけるMOSTランジスタのインスタンスパラメータとしてSCA, SCB, SCCが追加されている。

|| 関連用語

- [ストレスに関連するSPICEパラメータ](#)

[\(「用語の構成」に戻る\)](#)

5. DFM基盤技術、設計

用語：一覽 DFM基盤技術_設計

- || [Design Aware Manufacturing\(DAM\)](#) ([「用語の構成」に戻る](#))
- || [Manufacturing For Design\(MFD\)](#)
- || [Design for Manufacturability\(DFM\)](#)
- || [設計インテント \(Design Intent\)](#)
- || [IR Drop](#)
- || [Signal Integrity](#)
- || [Critical Path](#)
- || [Location-based OCV](#)
- || [On Chip Variation](#)
- || [DFM Rule](#)
- || [Statistical Static Timing Analysis \(統計的スタティック・タイミング解析\)](#)

用語: Design Aware Manufacturing (DAM)

[\(「一覧」に戻る\)](#)

|| 定義

- Hotspotやクリティカルパス等の製品個別の設計関連情報を、生産工程に於いて歩留向上や省力化等に積極的に活用する生産手法。

|| 説明

- 従来、設計から製造への情報伝達は、マスク(マスクパターン)及びごく限られた情報のみであったが、微細化が進むにつれて製造が難しくなる一方、SoCにおける様々なパターンレイアウトに対応した製造手法が必要になってきた。これに対応するため、製品ごとに異なるレイアウトデータなどの設計データや設計意図を理解した製造が必要になってきた。具体的には、設計からの寸法精度要求を考慮したマスクパターン検査の最適化、レイアウトデータのリソグラフィ/CMPシミュレーションで得られたクリティカルな場所(Hotspot)を活用した製造条件や工程検査内容の最適化などが提案されている。

|| 関連用語

- [MFD](#)
- [DFM](#)

用語: Manufacturing For Design (MFD)

[\(「一覧」に戻る\)](#)

|| 定義

- 製造ばらつきの縮小に重点を置いた生産手法。

|| 説明

- 製造ばらつきの縮小は、設計時に織り込みが必要となるデバイスの電気的特性の製造ばらつき幅(コーナー条件)を狭める為、設計側から見れば電気的特性若しくは特性歩留の向上が容易となる。

|| 関連用語

- [DAM](#)
- [DFM](#)

用語: Design For Manufacturability (DFM)

[\(「一覧」に戻る\)](#)

|| 定義

- 生産工程上の制約若しくは物性的な制約により、生産工程内もしくは工程完了後に発生する設計内容の実現及び維持に対する阻害要因に対して、予め設計内容若しくは手法による対応策を盛り込む事。

|| 説明

- 最新のLSIIは、微細化が進み、LSIパターンの良否が歩留や特性に直接影響を与えるケースが急増している。これを極力避ける為に設計時に、厳密な設計ルールに則り、レイアウト設計を施す回路と、影響が出ない範囲で緩めた仕様でレイアウト設計を施す回路を区分し、総合的に歩留や性能を維持しつつ、設計コストや期間を軽減する。例えば、チップ内配線の引き回しに関しては、粗部分と密部分が生じるが、生産ラインの異物レベルを考慮し、必要以上に密な配線レイアウトを行わず、分散的配線、又は、ライン・スペース間隔を緩めた配線とする。この仕様(設計ルール)を定める為に、通常は、生産ラインに判定用のTEGを流し、CAA(Critical Area Analysis)を行い、定量的に定める。

|| 関連用語

- [DAM](#)
- [MFD](#)
- [CAA](#)

用語: 設計intent(Design Intent)

[\(「一覧」に戻る\)](#)

|| 定義

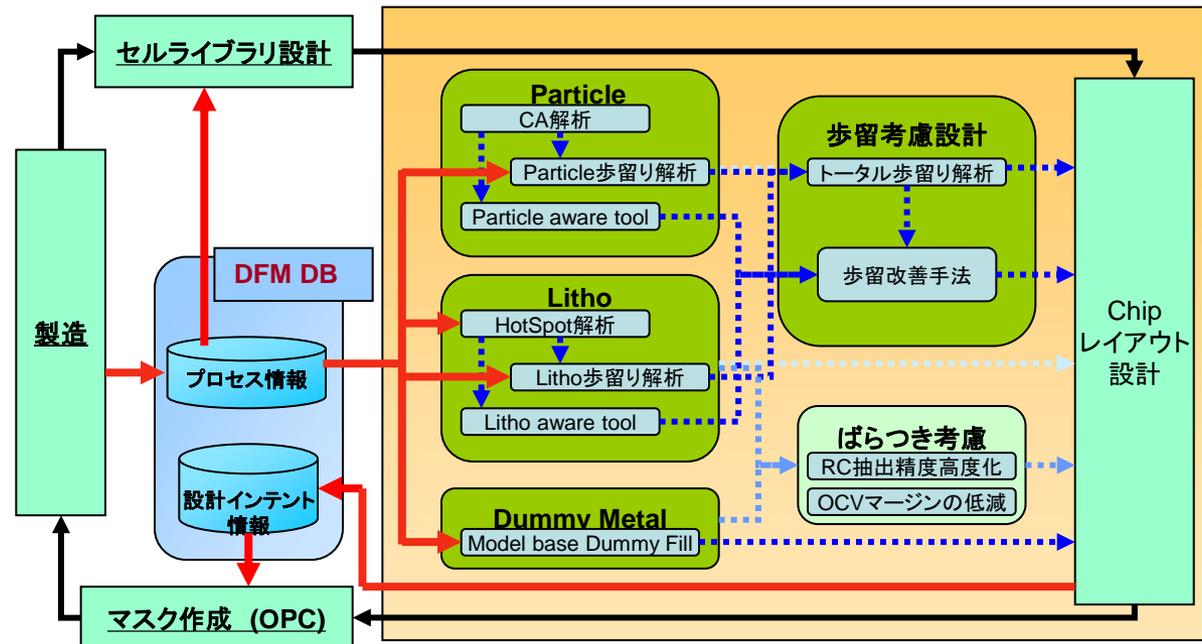
- レイアウト上の各デバイスの加工精度若しくは形状忠実性が、製品の電気的特性若しくは歩留等に影響を与える程度を数値化したもの。

|| 説明

- 該データの活用により、マスク製造/検査工程に於いては製品特性/歩留への影響が少ないデバイスについて、加工/検査精度を下げる等の工程合理化を行う事が可能になる。また生産工程中での設計データ活用は、一般にDAMと呼ばれている。

|| 関連用語

- [DAM](#)



用語: IR Drop

[\(「一覧」に戻る\)](#)

|| 定義

- 電源配線に流れる電流により生じる電源電圧降下若しく接地電位上昇の事。信号配線に対しては、通常は使わない。

|| 説明

- 一般に、電源端子から離れたところにある回路(セル、ブロック等)までは、両者をつなぐ配線が長いので、配線の抵抗が大きくなると、電流 I ×配線抵抗 R に相当する電圧降下(IRドロップ)が発生する。IRドロップ量が大きくなり過ぎると、関係する回路全体の電源電圧が規定量以下になり、この為、回路の誤動作が発生する。特に、高速の回路(デジタルでも)や高周波の回路(アナログ等)では、微細プロセスになればなるほど深刻な影響を与えるので、これを対策した設計が必要となる。ASICでは、一般に実使用時の動作を網羅するシミュレーションが困難なので、セルの活性化率を仮定して見積もりを行う。

|| 関連用語

- [Signal Integrity](#)

用語: Signal Integrity

|| 定義

- 信号配線上の信号電圧若しくは電流の時間的変化に歪がある事。

|| 説明

- 一般に配線自身のインピーダンスが高く、かつ近隣配線とのカップリング容量の比率が高い配線では、その近隣配線の電位変化の影響を受け易い。また信号発生回路自体のIR Dropによる電源電位変動が、出力信号電位の時間的変化を引き起こす場合もある。Signal Integrityが悪いと回路誤動作若しくは特性劣化を起こす場合があるので、設計フロー中では確認を行う。

|| 関連用語

- [IR Drop](#)

用語: Critical Path

[\(「一覧」に戻る\)](#)

|| 定義

- PVT(Process/Voltage/Temperature)変化に対して設計上の余裕がない回路上のパス。

|| 説明

- 通常は、STA/SSTAで見つかる最も余裕のない若しくはある値以下のスラックとなる様なパス。歩留若しくはスペックに対する特性上の余裕が無いので、DFMの追加に於いては、特に対策の精度や対策により引き起こされる特性劣化の防止が求められる。代表例として、CAA結果に基づいてCritical Pathの配線間隔や配線幅を修正する場合は挙げられる。

|| 関連用語

- [SSTA](#)
- [CAA](#)

用語: Location-based OCV (場所依存チップ内ばらつき)

[\(「一覧」に戻る\)](#)

|| 定義

- Chip内の各位置に固有のデバイス特性のオフセット。

|| 説明

- マスクや露光装置の光学系誤差若しくはCMPの段差等の、システムティックな要因により発生するもので、その出現及び特性のオフセットは再現性が高い。

|| 関連用語

- [OCV](#)

用語: On Chip Variation (チップ内ばらつき)

[\(「一覧」に戻る\)](#)

|| 定義

- 同一チップ内に存在するデバイス特性のばらつき。OCV(on chip variation)若しくはWIE(With In Die)ばらつきと同義。

|| 説明

- 同一チップ内でも、トランジスタ/配線電気特性はばらつきを持つが、その値が設計時に織り込んだ範囲を超えると歩留や製品特性が低下する。チップ内ばらつきは、製造ばらつきやドーパント起因に代表されるランダムばらつき、OPCやCMP等のDFMの不完全さによるシステムティックばらつき、チップ内温度差や各セル毎のIRドロップなどによって引き起こされるダイナミックなばらつきを総合したものになる。これらの各要因を改善して、製品性能及び歩留を向上させることが重要であるが、製造ばらつきの抑制は微細化とのトレードオフという制約がある。このため、チップ内ばらつきの存在を前提としたSSTA(統計的タイミング検証)などの設計手法が検討されている。

|| 関連用語

- [SSTA](#)

用語: DFM Rule (DFMルール)

|| 定義

- 設計基準の記述方法の一つ。 Recommended Ruleと同義。

|| 説明

- 従来の設計基準では、ある基準値を境に歩留0%から歩留100%に切り替わる歩留モデルを前提としているが、DFMルールを導入した設計基準では、上記基準値を満たすだけでなく、DFMルールによる要求値も満たさないと、十分に広い製造マージン若しくは高い歩留が得られないとする確率的な歩留モデルを前提としている。

|| 関連用語

- [RDR](#)

用語: Statistical Static Timing Analysis (統計的スタティック・タイミング解析)

|| 定義

[\(「一覧」に戻る\)](#)

- STA(Static Timing Analysis)に素子ばらつきをモデル化した統計的な機能を追加したタイミング検証手法。SSTAと略す場合も多い。

|| 説明

- STAは、同期回路のタイミング検証をテストパターンを使用せずに接続されるブリミティブの遅延時間を合算する事により検証を行う手法で、現在のタイミング検証手法の主流となっている。SSTAは、STAに遅延時間のばらつきを処理出来る機能を追加したタイミング検証手法。

|| 関連用語

- [Critical Path](#)

[\(「用語の構成」に戻る\)](#)

6. 生産技術

用語：一覧 生産

[\(「用語の構成」に戻る\)](#)

- || [ERP \(Enterprise Resource Planning\)](#)(統合基幹業務システム)
- || [SCM \(Supply Chain Management\)](#)(サプライチェーンマネジメント)
- || [ECM \(Engineering Chain Management\)](#)(エンジニアリングチェーンマネジメント)
- || [MES \(Manufacturing Execution System\)](#)(製造実行システム)
- || [OEE \(Overall Equipment Efficiency\)](#)(設備総合効率)
- || [EES \(Equipment Engineering System\)](#)(装置エンジニアリング・システム)
- || [AEC \(Advanced Equipment Control\)](#)(最適装置制御)
- || [APC \(Advanced Process Control\)](#)(最適プロセス制御)
- || [Manufacturability](#)(製造容易性)
- || [e-Manufacturing](#)(IT活用生産)
- || [e-Diagnostic](#)(リモート診断)
- || [Agile Manufacturing](#)(アジャイル(顧客対応型、俊敏)生産)
- || [SQC \(Statistical Quality Control\)](#)(統計的品質管理)
- || [FDC \(Fault Detection and Classification\)](#)(不良検知分類システム、欠陥検出と分類)
- || [PDC \(Pattern Defects and Classification\)](#)(パターン欠陥と分類)

用語: ERP (Enterprise Resource Planning)

|| 定義

- EPRは、Enterprise Resource Planningで、統合基幹業務システムのこと。最新のIT (Information Technology)を活用した、受注から出荷までの一連のサプライチェーンと管理会計、財務管理、人事管理を含めた企業の基幹業務を支援する統合情報システム。

|| 説明

- 企業の「ヒト、モノ、カネ」を最適に配分・管理・運用することで、利益の最大化を図ることを目的としている。

|| 関連用語

- IT(Information Technology)
- [SCM](#)

用語: Supply Chain Managementサプライチェーンマネジメント

|| 定義

[\(「一覧」に戻る\)](#)

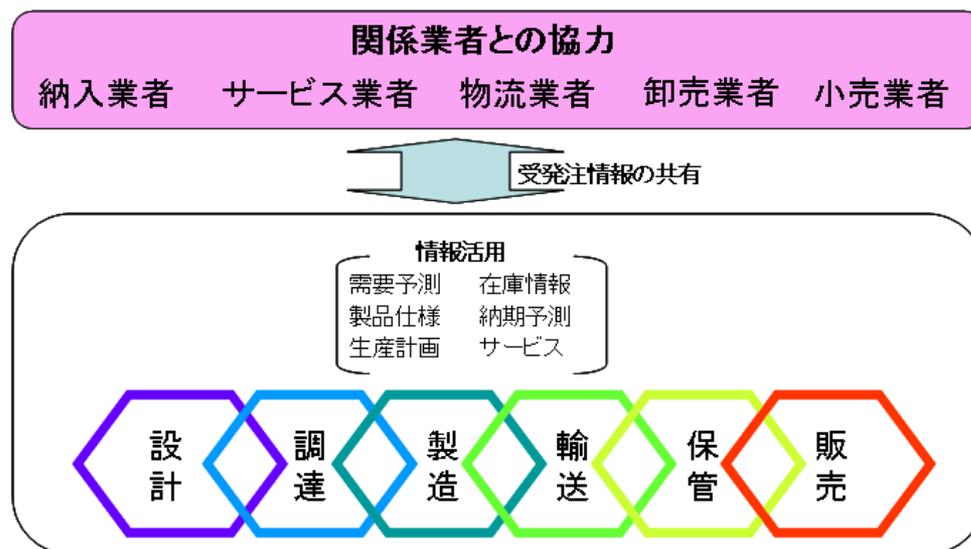
- 資材や原料の供給から流通を経由して、顧客への販売や納品までのモノの流れ(サプライチェーン)に着目し、関連する企業と協力して販売・受注の情報を業務の流れ全体で共有することで、需要に対して迅速かつ低コストで商品を提供できるようにする。

|| 説明

- 受発注情報を共有化して①生産・物流・配送計画 ②スケジューリング ③需要予測 ④納期回答 の精度を高め、全体最適化により事業全体の効率を高める。
- 電子化された共有情報によりシステムが高度化されて、大規模な情報収集と迅速な応答が可能。

|| 関連用語

- [ECM](#)



用語: Engineering Chain Management エンジニアリングチェーンマネジメント

|| 定義

[\(「一覧」に戻る\)](#)

- 製品のライフサイクルに関わる技術情報を横断的に活用出来る仕組み。SCMがモノの流れに着目しているのに対して、ECMは技術情報の流れに着目している。製品の受注からその設計、試作、購買、製造、保守までの全プロセスを、ITネットワークによる情報共有と配信を利用することで、これまでは分断されていた製造工程をシームレスに統合し、受注から生産までの各セクションが同じ情報を共有することによって、ユーザーの満足を図ろうとするもの。

|| 説明

- 各セクションが分離して情報交換が限定された順序で受け渡しされていると、変化に応じた調整や事前準備が難しくなり業務がつながらない。このため、業務間のトレードオフや自部門を越えたところで起きる不具合が解決されず、各部門で行われる改善も徒労に終わる。
- また、変更が多い少量多品種生産では不測情報が多くなり、情報交換に自動化が対応できず、顧客ニーズや納期に対応できずコストもかさむ。全プロセスで情報を共有可能とすると複雑な要求に対応できるように自動化や分析および最適化処理を実施できるようになり、他部門との関連で問題を抽出できるようにすることで新製品の導入も迅速化することができる。

|| 関連用語

- [SCM](#)



用語: MES製造実行システム

|| 定義

- MES (Manufacturing Execution System, 呼称:メス)とは、下図2に示す3層モデルに示すように、計画層の基幹業務システム(ERPなど)と製造設備制御システム(PLCなど)の間におかれ、①計画系からの情報を元に設備制御システムへの差立てを行い、また逆に、②制御システムからの処理実績を記録し、計画層へ実績を報告するシステムを指す。

|| 説明

- *歴史: MESは、ERPが登場し始めた1990年頃にAMR(Advanced Manufacturing Research)社のB.Richardsonが提唱したと言われ、図2の3層モデルの中心として計画層と制御層を双方向につなぐシステムとして導入され始めた[2]。
- *役割: 主な役割は、大きく分けて3つある:
 - 実行指示(図2のB): 工場内で起こる全ての事柄(製品、仕掛のルーティング、工程への指令と監視)をモデル化・シミュレートすることによって、適切な差立てを行うこと。実際には、シミュレーションは他のスケジューラなどで行い、その情報を制御層に製造指示として引き渡すだけの用途で使われることもある。また、主にモノ(製品)の所在や流れを観測するために使われている。
 - 実績報告(図2のC): 生産現場のシステム、人、業務、モノ、設備などの生産資源を最適化する役割を果たす。
 - 調達や配送のための情報提供: 計画層では、調達・生産・配送の全てを含めて計画を立てる。図1の「生産」部分をMESが担う。
- (機能例)B: 生産資源の配分・監視、作業スケジューリングと製造指示、設備の保守・保安全管理、仕様・文書管理、作業者・工程管理CとD: 生産実績記録(現物管理,進捗管理)と分析、製品品質管理、工程/作業品質管理、データ収集

|| 関連用語

- [SCM](#)
- [ECM](#)

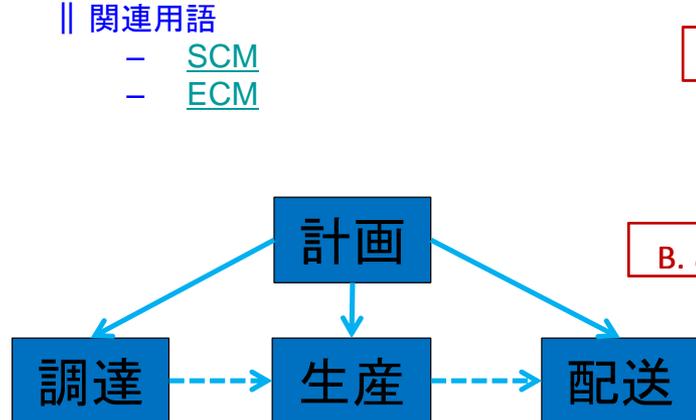


図1. SCORモデル

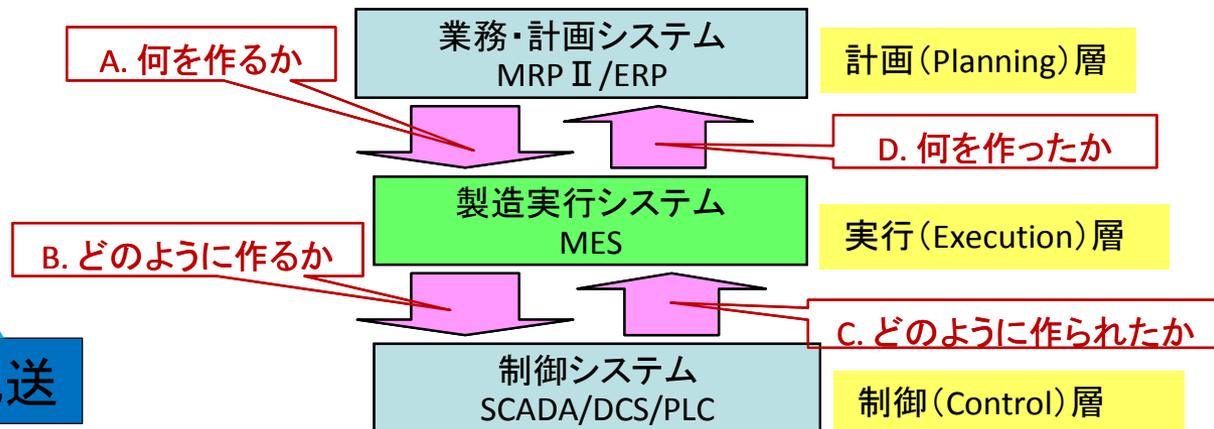


図2. 3層モデルとMES

用語: Overall Equipment Efficiency (OEE)設備総合効率

[\(「一覧」に戻る\)](#)

|| 定義

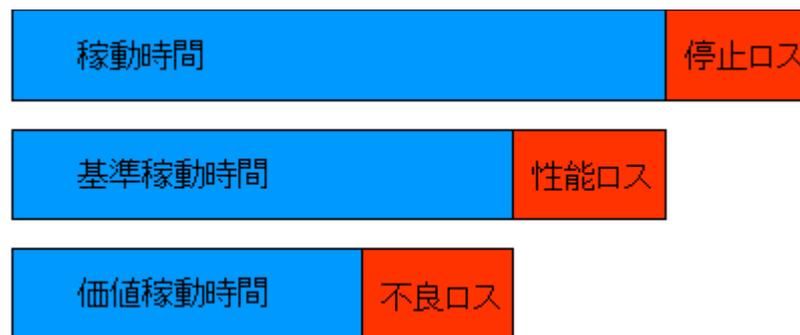
- 設備総合効率は、時間稼働率、性能稼働率および良品率を総合した効率で実効的な設備管理を行う指標。
- $OEE = \text{時間稼働率} \times \text{性能稼働率} \times \text{良品率}$

|| 説明

- 負荷時間 = 稼働時間 + 停止ロス、稼働時間 = 基準稼働時間 + 性能ロス、基準稼働時間 = 価値稼働時間 + 不良ロスというように階層的にブレークダウンされる。
- 停止ロスには故障、段取り、調整、治工具交換が含まれ、性能ロスには、空転、チョコ停、速度低下が含まれ、不良ロスには工程不良、立上がり歩留まりが含まれる。
- 時間稼働率 = (負荷時間 - 停止時間) / 負荷時間、性能稼働率 = 理論サイクルタイム / 稼働時間、良品率 = (加工数 - 不良数) / 加工数で計算される。

|| 関連用語

- [EES](#)



概念図

用語: EES (Equipment Engineering System) 装置エンジニアリング・システム

|| 定義

[\(「一覧」に戻る\)](#)

- EES (Equipment Engineering System)とは、装置の稼働情報(稼働時の装置プロセス制御情報やセンサーなどによる装置状態のモニター情報など)を装置から取り出す情報のプラットフォーム(狭義の定義)。
- 情報プラットフォーム上に載っている、装置故障の早期発見、稼働向上などのアプリケーションを含めて装置サポートのシステム全体(広義)。

|| 説明

- *歴史: EESは、2000年に日本で半導体メーカー(JEITA/Selete関係者)や装置メーカー(SEMI関係者)の有志がまとめた概念。その後、米国のInternational SEMATECとグローバルなガイドラインにより業界に浸透したシステム概念。
- *役割: 主な役割は、下記目的のために装置詳細データを提供し、その制御モデルを作成する効率を上げる役割。

|| 関連用語

- [OEE](#)

用語: Advanced Equipment Control (AEC) 適装置制御

|| 定義

[\(「一覧」に戻る\)](#)

- 半導体製造装置におけるプロセスあるいは装置の状態をセンサ等を用いてモニタリングし、フィードフォワード、フィードバックによる診断および制御により装置の安定化を行い、装置状態を最適化するための制御手法。

|| 説明

- 製造装置が正常に機能している事を、製造装置自身のデータやウェーハ検査・計測のデータから総合的に判断し、異常時の処理停止やばらつき低減の為に、レシピや装置パラメータを自動的に最適化する機能である。AECは、APC (Advanced Process Control:最適プロセス制御)、SPC (Statistical Process Control:統計的プロセス管理)、FDC (Fault detection and Classification:異常検出と分類)などの装置制御手法と密接に関係している。
- AECは、主に特定装置を対象とした制御であるのに対し、APCはプロセスモジュール全体、若しくは複数のプロセスモジュールを結ぶ制御である。

|| 関連用語

- [APC](#)
- SPC(Statistical Process Control:統計的プロセス管理)
- [FDC](#)
- [MES](#)

用語: Advanced Process Control (APC)最適プロセス制御

|| 定義

[\(「一覧」に戻る\)](#)

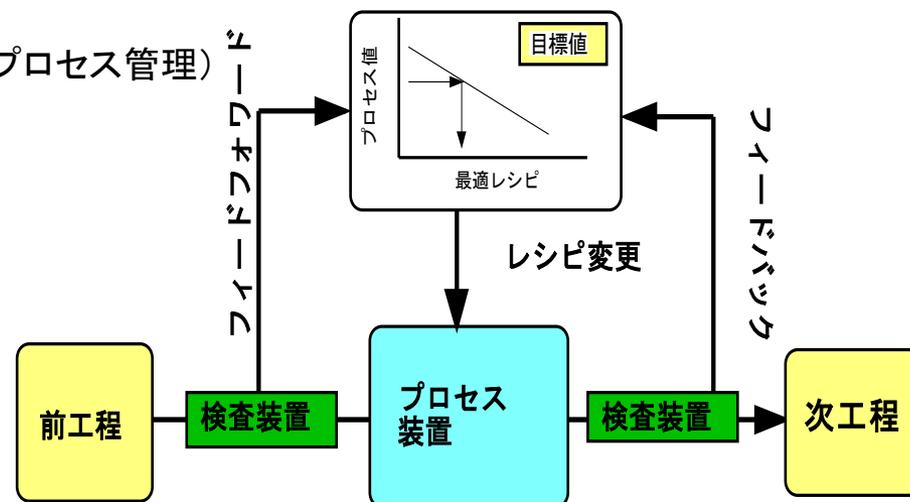
- プロセス製造において制御するターゲットを決め、プロセス、製品のばらつきをモニタリングをし、フィードフォワード、フィードバックによるばらつき制御を行い、装置を含めたプロセスの安定化を行うための技術。プロセスや装置の変動によるばらつきを押さえ安定的に制御する手法。

|| 説明

- 現プロセスの出来映えが目標通りになるように、リソ工程後の寸法測定、チップの重ね合わせ精度、膜厚測定などの計測結果あるいは製造装置の処理履歴情報を基に、プロセスレシピや装置パラメータを自動的に次工程のレシピへフィードフォワードしたり、次ロット処理のレシピにフィードバックする制御方法である。制御は、ロット単位及びウェーハ単位で制御を行う。制御モデルには、物理モデルと統計モデルがあり、それらは各半導体装置の製造プロセスごとにより最適化されている。また、APCは半導体工場の中において、様々な各種の生産支援・管理などの情報管理の中心である統合生産情報システム(MES : Manufacturing Execution System) と連携している。

|| 関連用語

- [AEC](#)
- SPC(Statistical Process Control:統計的プロセス管理)
- [FDC](#)
- [MES](#)



用語: **Manufacturability**製造容易性

|| 定義

- 製品の要求加工精度に対する製造工程の工程能力の余裕。
- 或いは少ない工数で製造できること。

|| 説明

- 例えば、ウェーハ製造において、設計パターンが製造プロセスの工程能力を越える製造が発生したことにより、考慮すべき製造における系統誤差が多様化し特定成分のみの考慮では補正できなくなってきた。そこで見かけ上ランダムエラーが大きくなった。そのため、製造バラツキをシステマティックに、そして統計的に解析して、最終的なパフォーマンスに対し安定化された製造設計手法で得られるウェーハの工場への緩和された要求特性を言う。
- 「寸法」、「重ね合わせ」、「欠陥」規格がゆるいこと。
- 稼働率を上げたり、検査工程を省いて、コストを安くするための呼称。
- 稼働率を上げたり、検査工程を省いて、納期を短くするための呼称。
- 製品規格にあった高品質な製造を提供するための手法。

|| 関連用語

- [DFM](#)
- [MFD](#)
- [APC](#)
- [AEC](#)

用語: e-Manufacturing IT活用生産

|| 定義

- 半導体製造における様々な情報を、IT技術やインターネット技術の利用により、生産スピード、作業効率、意志決定などに役立たせようとする考え方。

|| 説明

- 製品、半製品、部品取引の電子化、技術データベースの共有化・電子化、情報の一般化、リモート診断などを行い、生産スピードの向上、生産効率の向上、より良い意志決定を図る。

|| 関連用語

- [EES \(Equipment Engineering System\)](#)
- [ECM \(Engineering Chain Management\)](#)
- [MES \(Manufacturing Execution System\)](#)
- [AEC \(Advanced Equipment Control\)](#)
- [APC \(Advanced Process Control\)](#)
- [Agile-Manufacturing](#)
- e-Business(企業活動におけるあらゆる情報を電子化し経営効率を向上させること)
- IPS
(Integrated Process System: プロセスモジュール設備群内のプロセス統合システム)
- etc.

用語: e-Diagnosticsリモート診断

|| 定義

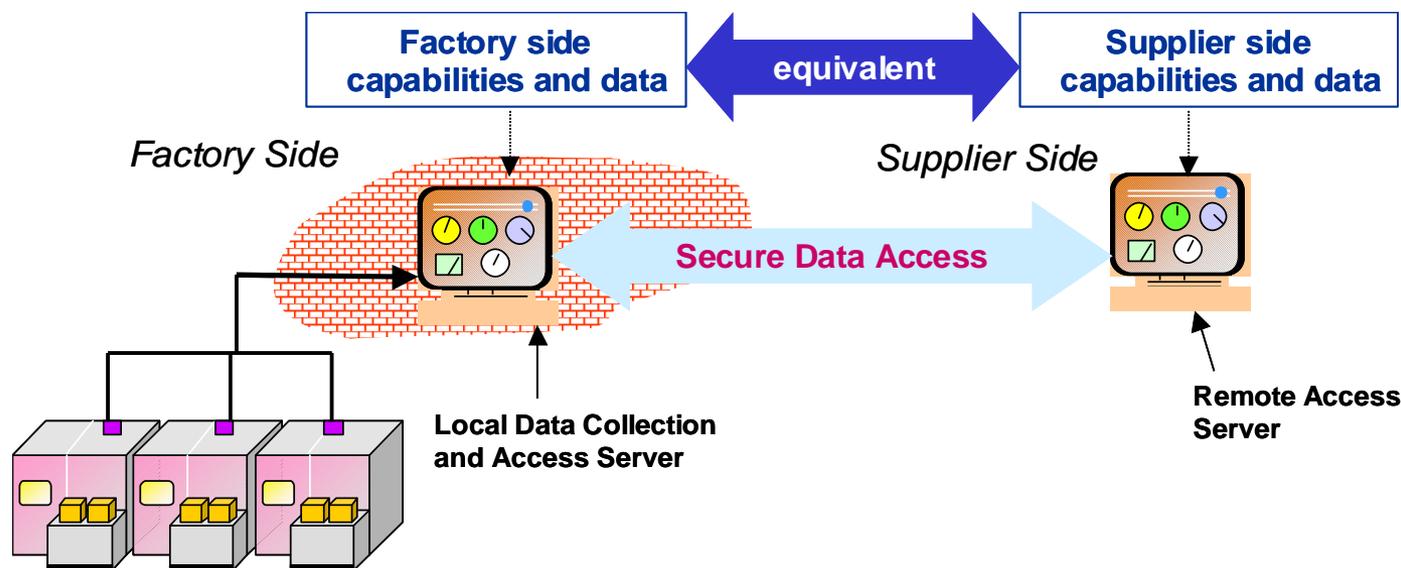
- ネットワークを介して、製造装置の稼働状況やプロセス状態の遠隔診断、故障予測を行うこと。

|| 説明

- 一般に、装置サプライヤーが工場での装置稼働状況をネットワークを介して工期の短縮とスループットの向上を図るため、ネットワークを用いてモニターリング、あるいはメンテナンスすることにより、装置の平均故障間隔時間(MTBF)や平均復旧時間 (MTTR)の改善、設備総合効率(OEE)の向上を図るシステム。

|| 関連用語

- [EES](#)
- [OEE](#)



用語: Agile Manufacturingアジャイル(顧客対応型、俊敏)生産 ([「一覧」に戻る](#))

|| 定義

- コアコンピタンス(核となる固有技術)をもつ複数の企業が連携して、特定の顧客のために高品質の製品をスピーディに開発し、限られた量を生産する方式。(JIS Z 8141)

|| 説明

- 半導体事業においては、DRAMやメモリーのように少品種大量生産が行われる一方、システムLSIのように顧客の多様性、頻繁な世代交代の要求を満たすための多品種少量生産を行う製品がある。多品種少量生産においては、生産日数の短縮とコストの低減をおこない、現状の生産需要に応えながら次世代製品の製造にタイムリーに対応する必要がある。そのためには製造装置の多機能化、共用化、省エネ化、自動化が必要である。さらに高混流/小ロットの増加に伴う製造装置のデータ量の肥大化への対応、情報収集速度や高速で装置状態の変更を図る必要がある。
見出し語に関して説明文を記入

|| 関連用語

- リーン生産方式(トヨタ生産方式から編み出された方式でトップダウンによるムダの排除を目的する手法)
- コンカレント・エンジニアリング(製品開発において各種設計、生産計画、製造準備等同時並行して行うこと)
- BPR (Business process re-engineering: 企業改革のために業務フロー、管理機構、情報システムを再設計する経営コンセプト)

|| 定義

- 統計的手法を採用した品質管理の手法。

|| 説明

- 製品の1つ1つの品質ではなく、生産工程全体(材料・装置・作業・製品)を対象として品質特性を測定し、その分布(ばらつき)を見て管理を行う。品質特性が規格に対する適合／不適合として設定されている場合は、良品率／不良率で表現される。

|| 関連用語

- TQM(Total Quality Management: 総合的品質管理)
(1980年代に米国で提唱され、日本ではTQC(Total Quality Control)からQC活動をカイゼンとして行っていたが、マネジメントという考え方が主流になってきて、TQMへ置き換わった)

用語: Fault Detection and Classification (FDC) (不良検知分類システム、欠陥検出と分類)

|| 定義

- 装置の状態をリアルタイムで高精度にモニターし、装置異常を検出してランク付けや分類等して不具合がわかる様にするシステム。

|| 説明

- MESとの通信内容を分岐したりまたは装置から直接データを取り出し、専用のソフトウェアにより装置の異常発見を行う。また、装置内部の情報だけでなく、外部センサーを用いて情報を取り込み、プロセス装置の異常を検知する。

|| 関連用語

- [MES](#)
- [APC](#)
- Run-to-run制御(枚葉処理でもバッチ処理でも処理が終了した時点で、次の処理での結果の偏差が小さくなるように、レシピに修正を加える制御方法。フィードバック制御とフィードフォワード制御の2通りの手法がある)
- SPC(Statistical Process Control: 統計的プロセス管理)

用語: Pattern Defects and Classificationパターン欠陥と分類 [\(「一覧」に戻る\)](#)

|| 定義

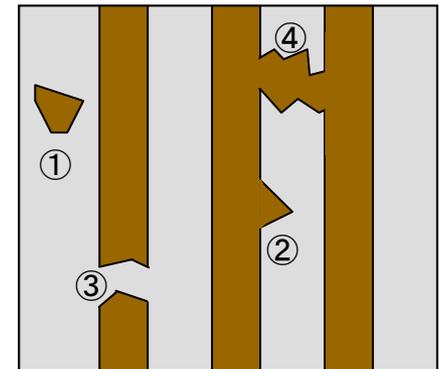
- ウェーハもしくはマスクに形成された同一パターンの比較、パターンとパターンデータの比較により、パターン欠陥を検出する方法。検出された欠陥種類(孤立欠陥①、エッジ欠陥②、Open欠陥③、Short欠陥④など)に分類すること。

|| 説明

- ウェーハチップやマスクの良品を得るために、発生する欠陥を検出し、その発生原因の対策をしたり、欠陥の修正(マスクの場合)が必要になる。このため、パターンの欠陥検査を行い、検出された欠陥を分類する。分類した欠陥を解析することで、欠陥発生要因を特定し、対策を行う。マスクの欠陥修正の場合、欠陥修正法を選択する。また、欠陥検査はマスクの欠陥規格を検証する出荷検査としても行う。

|| 関連用語

- ①孤立欠陥: パターンに架からないで発生した欠陥
- ②エッジ欠陥: パターンエッジに架かって発生した欠陥
- ③Open欠陥: 配線などパターンを分離するように発生した欠陥
- ④Short欠陥: 配線などパターンを短絡するように発生した欠陥



[\(「用語の構成」に戻る\)](#)

Back Up

用語: クリティカル エリア アナリシス (Critical Area Analysis) (APPENDIX)

|| APPENDIX

- 目的:

- ①チップごとの欠陥確率、歩留を計算する。
- ②配線のオープン(断線)やショート(短絡)の不良となる危険個所の抽出。

- 適用範囲:

- ①解析対象: チップレイアウト、モジュールレイアウト
- ②対象欠陥: particleによるランダム欠陥

- 使用事例:

CAAにより製造ライン改善、製品改善

- 文献:

Y.Tsunoda, et al.: Integrated Yield Management System Using Critical Area Analysis, 2005 IEEE International Symposium on Semiconductor Manufacturing (ISSM 2005) Conference Proceedings, p.233(2005)

用語: デフェクトトレランス レイアウト(Defect Tolerance Layout) (APPENDIX)

|| APPENDIX

- 目的:
 - ①歩留り向上
 - ②製造容易性の確保
- 適用範囲:
 - 主にレイアウト設計
- 使用事例:
 - ①リソグラフィ・フレンドリーな配線レイアウト(Lithography Hot Spotの削減)
 - ②クリティカルエリア解析
 - ③モデルベースの配線のCMP工程におけるダミーフィル

用語: ファンクショナル イールド(Functional Yield) (APPENDIX)

|| APPENDIX

- 目的:
 - ①設計の容易化、安定化
 - ②歩留り向上
- 適用範囲:
 - 回路設計、製造容易性設計
- 使用事例:
 - 特性劣化の解析技術と、それらの影響を最小化にする回路設計

用語: Across Chip Linewidth Variation (ACLV)(APPENDIX)

|| APPENDIX

– 目的:

デバイスおよび回路設計の際に、以下の物理現象による悪影響を最小限にするために考慮すべき事象。

①マスク生成時、拡散層での不純物領域形成工程、ゲート加工工程において生じるばらつきにより、トランジスタの拡散領域の幅とデバイスの有効チャンネル長の両方が変化する。

②配線の線幅ばらつきは、抵抗値と容量値の両方にばらつきを生じさせる。微細化が進むに連れ、配線による遅延の影響は大きくなる。配線のばらつきは、CMP、リソグラフィ、エッチング工程で生じる。

– 適用範囲:

遅延、ばらつきを考慮したデバイス設計および回路設計

– 使用事例:

特性劣化の解析技術と、それらの影響を最小化にする回路設計

– 文献:

JEITA)DFMワークショップ2006年小冊子

用語: リソグラフィ ホットスポット (Lithography Hot Spot) (APPENDIX)

|| APPENDIX

– 目的:

- ①歩留まり向上
- ②TAT削減、製造コスト低減

– 適用範囲:

設計データに対して、所定のプロセスモデルを用いてリソグラフィ・コンプライアンス・チェックを行い、プロセスマージン不足が予測される箇所をホットスポットとして抽出する。抽出されたホットスポットは、箇所毎に修正の要/不要を判断し、必要であれば所定の基準に則ってレイアウトを修正してホットスポット発生を回避する。ルールベースの修正、モデルベース修正、ホットスポットのトータルな管理が検討されている。

– 使用事例:

先端半導体製品(ロジック、メモリ)全般

– 文献:

・DFM/SSTA用語辞典- Tech-On!

<http://techon.nikkeibp.co.jp/article/WORD/20070314/128864/>

・S. Inoue et al., “Total hot spot management from design rule definition to silicon fabrication,” Electron. Design Processes Workshop, Monterey, Calif. April 2003.

用語: Low-k1 リソグラフィ (APPENDIX)

|| APPENDIX

- 目的:
 - ①光リソグラフィーの延命
 - ②露光装置の延命
- 適用範囲:

フォトリソグラフィー工程。
- 使用事例:

変形照明、光近接効果補正、位相シフトマスク(ハーフトーン、レベンソン型)、多重露光、表層結像。
- 文献:
 - ・ITRS2006UPDATE Table 74 Various Techniques for Achieving Desired CD Control and Overlay with Optical Projection Lithography
 - ・‘How far can 193i be extended?’ Michael Lercel SEMATCH/IBM

用語： MDP (Mask Data Preparation: MDP) (APPENDIX)

|| APPENDIX

- 目的：
マスクレイアウト、パターンデータ生成／補正、データ変換等のマスク描画に必要なデータ加工及び準備を行う。
- 適用範囲：
製品設計後からマスク製作用データ作成まで
- 使用事例：

- 文献：

用語: Mask Error Enhancement Factor (MEEF) (APPENDIX)

|| APPENDIX

- 目的:
 - ・MEEFの値は、リソグラフィ工程において、ステッパの解像力限界近傍における、光学条件やフォトマスクの精度の相関を最適化するために使用出来る。
- 適用範囲:
 - ・CD、NA、 σ 、 k_1 、 λ 、OPC、RET、BM、GTM、att-PSM、alt-PSM
- 使用事例:
 - ・リソグラフィ工程とフォトマスク条件のベストプラクティスに使用。
 - ・リソグラフィ条件設定とフォトマスク製造、MDP技術への応用。
- 文献:
 - ・SEMIスタンダード、STRJ2005
 - ・JEITA)DFMワークショップ2006年小冊子
 - ・JEITA)レチクルマネジメントガイドライン。

用語: Optical Proximity Correction (OPC) (APPENDIX)

|| APPENDIX

- 目的:
 - ①パターンの形状補正
- 適用範囲:
 - MDP
- 使用事例:
 - 線幅補正 (bias)、ライン端補正 (extension/hammer head)、コーナー補正 (outer serif/inner serif)、補助パターン (scattering bar)
- 文献:
 - ・Chris A. Spence, et al. “Integration of optical proximity correction strategies in strong phase shifters design for poly-gate layers,” Proceedings of SPIE Vol. 3873, 1999, pp. 277-287

用語: パターン フィディリティ (Pattern Fidelity) (APPENDIX)

|| APPENDIX

- 目的:
 - リソグラフィーの性能を測る尺度の一つ。定量化された指標を用いることもある。
- 適用範囲:
 - 露光装置の性能保証、OPC等の精度
- 使用事例:
- 文献:
 - Lars Liebmann, Greg Northrop, James Culp, Leon Sigal, Arnold Barish, Carlos Fonseca, “Layout Optimization at the Pinnacle of Optical Lithography,” Proc. of SPIE Vol. 5042, p1-14, (2003).
 - S. Kyoh, T. Kotani, S. Kobayashi, A. Ikeuchi and S. Inoue, “Lithography oriented DfM for 65nm and beyond,” Proc. of SPIE Vol. 6156, 61560F, (2006)

用語: Resolution Enhancement Technology (RET) (APPENDIX)

|| APPENDIX

- 目的:
 - ①解像力向上
- 適用範囲:
 - 先端半導体製造全般
- 使用事例:

- 文献:
 - ・渋谷真人、透過照明用被露光原板、公開特許公報 昭57-62052 (1982).
 - ・堀内敏行、鈴木雅則、輪帯光源絞りをを用いた光露光解像限界の追求、第32 回応用物理学会予稿集、29a-H-4, pp.294 (1985).
 - ・Marc D. Levenson, “Improving resolution in photolithography with a phase-shifting mask,” IEEE Trans. Electron Devices ED 29, pp. 1828- 1836 (1982).
 - ・Kazuya Kamon, Teruo Miyamoto, Yasuhito Myoi, Hitoshi Nagata, Masaaki Tanaka, Kazuo Horie, “Photolithography System Using Annular Illumination,” Jpn. J. Appl. Phys. Vol. 30, p. 3021-3029, (1991).
 - ・Soichi Inoue, Tadahito Fujisawa, Satoshi Tanaka, Shuichi Tamamushi, Yoji Ogawa, Makoto Nakase, “Phase-contrast lithography,” Proc. SPIE Vol. 1927, p. 521-532 (1993).
 - ・Hiromi Ezaki and Masato Shibuya, “Optical lithography at half the Rayleigh resolution limit by two-photon absorption resist” Proc. SPIE Vol. 5040, p. 1270-1275, (2003).

用語: システマティック バリエーション (Systematic Variation (APPENDIX))

|| APPENDIX

- 目的:

①チップ単位に繰り返される性能ばらつき

- 適用範囲:

- 使用事例:

・一般的なばらつき分類法の一つ。他に2つある。①ランダムばらつき、②パラメトリックばらつき。

・システマティックばらつきには次のようなものが考えられる。1.チップ内位置・距離依存ばらつき、2.ゲート密度、パターン依存ばらつき、3.配線密度、パターン依存ばらつき、4.IRドロップ、5.クロストーク、など。

・システマティックばらつきの典型的な例は、マスク上の擬似欠陥である。通常の欠陥は、マスクの検査時点で欠陥と判定されれば、排除か修正される。しかし、全てのチップに同等の影響が現れるパターン欠陥に対して、如何に規則性を見出すかが、生産技術では重要となる。

- 文献:

・大川:回路とシステム 軽井沢ワークショップ 4月2005

・栄森:MCNetワークショップ2006

用語: Source Mask Optimization (SMO)(光源マスク最適化) (APPENDIX)

|| APPENDIX

- 目的
 - ① 解像限界付近のパターン転写の実現
 - ② リソグラフィ工程でのプロセス裕度向上
 - ③ 歩留まり改善
- 適用範囲
 - リソグラフィ工程
- 使用事例
 - ArF露光装置(光源波長193nm)での28 nm あるいは22 nm node デバイス
- 参考文献
 - D. Melville, et al, “Demonstrating the Benefits of Source-Mask Optimization and Enabling Technologies through Experiment and Simulations,” Proc. SPIE 7640, 764006 (2010)
 - Y. Deng, et al, “Considerations in Source-Mask Optimization for Logic Applications,” Proc. SPIE 7640, 76401J(2010).
 - S. Nagahara, et al, “SMO for 28-nm logic device and beyond: Impact of source and mask complexity on lithography performance,” Proc. SPIE 7640, 76401H (2010).

用語: CMP (Chemical Mechanical Polishing: CMP) (APPENDIX)

|| APPENDIX

– 目的:

- ①半導体の微細化が進み、水平方向の縮小が進むと同時に垂直方向の構造が複雑になってきたが、プロセスを容易にするための平坦化。
- ②露光の際のショット内段差の低減。
- ③ダマシン法による配線層形成。

– 適用範囲:

層間絶縁膜工程。プラグおよびダマシン配線工程。

– 使用事例:

– 文献:

- ・「次世代ULSIプロセス技術」、リアライズ社(2000).
- ・「半導体・液晶ディスプレイ フォトリソグラフィハンドブック」、リアライズAT社(2006).
- ・Eric Y. Chin, Juliet A. Holwill, Andrew R. Neureuther, “Prediction of interconnect delay variations using pattern matching,” Proc. of SPIE Vol. 6521, 65210I, (2007).

用語: ダミーメタル挿入 (Dummy Metal挿入) (APPENDIX)

|| APPENDIX

– 目的:

- ①チップ平坦性向上
- ②配線遅延の防止

– 適用範囲:

被覆率、図形間距離などのルールに応じて、人手もしくはP&Rツールなどを利用して配置される。さらに高精度な配置へ向けて、CMPモデルに基づいてダミーメタルを自動的に生成・挿入するモデルベースの配置が検討されている。

寄生容量、信号遅延、クロストークへの影響を鑑み、同層および上下層を考慮したタイミング検証が必要。また図形数が増加するため、デザイン・ルール・チェック、レイアウト寄生素子抽出、マスクデータ作成において計算量の増加を伴う。

– 使用事例:

半導体製品全般(ロジック、メモリ)で使用されている。

– 文献:

・半導体理工学研究センター 編:Tech-On!, 日経マイクロデバイス 2007年4月公開 <http://techon.nikkeibp.co.jp/article/WORD/20070314/128872/>

用語: リストリクテッド・デザイン・ルール (RDR) (APPENDIX)

|| APPENDIX

(1)「定義」:

パターン形状や間隔、方向を限定する設計規約。

(2)「概要」:

パターンの形状、方向、間隔を限定することにより、転写パターンサイズ・形状のパターン依存性等の系統的誤差、単独パターンの寸法・形状ばらつきの両方を低減する。ゲートパターンに適用すればタイミング起因不良を大幅に低減できる。従来は副作用としてチップサイズの増大が懸念されていたが、近年では複合機能セル等の適用による面積低減技術が進展しており、RDRの適用範囲拡大が期待される。他の利点として、設計ルール数の増大を抑制し、またパターン種類数を抑制するためSMO適用への効果が指摘されている。一形態としてGDR (Gridded Design Rule) がある。

(3)「目的」:

- ① バラつき低減による電気的特性向上
- ② リソグラフィー工程でのプロセス裕度向上
- ③ 歩留まり改善

(4)「適用範囲」:

設計工程

(5)「使用事例」:

45nm node以降のロジックデバイス

(6)「参考文献」:

Lars Liebmann et. al., Proc. of SPIE Vol. 7275 72750A
Michael C. Smayling; Hua-yu Liu; Lynn Cai, “Low k1 logic design using gridded design rules”, Proc.of SPIE Vol. 6925, 69250B (2008)

用語: Design Aware Manufacturing (APPENDIX)

|| APPENDIX

(1)「定義」:

レイアウトデータなどの設計データや設計意図を理解したり、シミュレーションなどで設計データ解析した結果を用いて、製品ごとの製造条件の最適化、歩留最大化をする手法。

設計情報からHotspotや要観察箇所等の情報を抽出して製造ラインに伝達し、製品個別の製造管理に活用する事。

(2)「概要」:

従来、設計から製造への情報伝達はマスク(マスクパターン)やごく限られた情報のみであった。微細化が進むにつれて製造が難しくなる一方、SoCにおける様々なパターンレイアウトに対応した製造手法が必要になってきた。これに対応するため、製品ごとに異なるレイアウトデータなどの設計データや設計意図を理解した製造が必要になってきた。具体的には、レイアウトデータからリソグラフィシミュレーションでパターン解像の危険箇所(Hotspot)を抽出した結果や、CMPシミュレーションでCMP研磨後の残膜厚予測結果などを利用して、製造条件の最適化、工程検査の最適化を行う手法、設計意図を考慮したパターン検査の最適化手法などがアプローチされている。

(3)「目的」:

- ①製品ごとの製造難易度を理解して製造条件の最適化
- ②歩留の最大化

(4)「適用範囲」:

- ①設計データ:レイアウトデータ(GDSII、OASIS)、LEF/DEF
- ②設計意図:配線種別(信号線、シールド線etc.)、パターン重要度
- ③データ解析:デザインルールチェック、リソシミュレーション、CMPシミュレーション
- ④製造最適化:危険箇所を理解した製造条件最適化、検査条件最適化
- ⑤製造対象:マスク、ウェーハプロセス

(5)「使用事例」:

製品レイアウトデータによりCMPシミュレーションを行い対象製品のCMP条件の最適化を行う。

(6)「文献」:

SEMICON Japan 2006 Technology Symposium”製造容易化のためのCMPシミュレーションの活用“

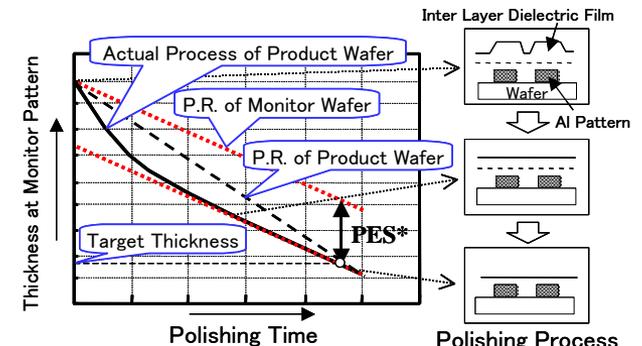


Fig.5 Polishing Process at Monitor Pattern

*PES: Pattern Effect Shift

用語: Manufacturing For Design (APPENDIX)

|| APPENDIX

(1)「定義」:

設計者が意図しない製造上のばらつきを抑え、高い歩留まりが得られるようにする製造技術。製造側の努力で、Geometrical Process Windowを縮小する事。該縮小により、電気的特性のコーナー条件もその分布が狭まる為、設計が容易若しくは良好な電気的特性を確保し易くなる。

(2)「目的」:

- ①目的とする設計ノード製品の生産歩留、性能、品質の向上。
- ②同上の手段として、設計ルール、プロセス・装置・材料仕様などの最適化した設計に基づく生産。
- ③生産ライン・工場の実情(プロセス・装置・材料仕様などの相違)を配慮した設計に基づく生産。

(3)「概要」:

トランジスターの性能ばらつきを小さくして実現できる製品に対して、製造技術のフォトリソ工程において、CDばらつきが最小になるようにする。工程においても製造ばらつきの低減をはかる。

(4)「使用事例」:

Hyper-NAのステッパを導入し、ロバスト生産を可能にする。製品設計のとき、コストの最適化のために、少量多品種で安価の製品を提供する場合にシャトル(複数の製品を一つのマスクに混載する)技術にも応用されている。

(5)「文献」:

D.A.Hanson,et al., "Analysis of mixed-signal manufacturability with statistical TCAD," IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL 9. NO 4, NOVEMBER 1996,p479.

用語：設計インテント (APPENDIX)

|| APPENDIX

(1)「定義」:

回路設計を行う時に、設計者がLSIの仕様、性能、品質、歩留等を維持しつつ、設計の負荷や無駄を最大限省くことにより、設計コスト、設計期間等を低減する手法を言う。特に、微細LSI、大規模LSIでは、設計負荷が世代毎に高騰している為、これを抑制し、設計効率を高く維持することを目的とした手法。

最新の微細LSIでは、レイアウトデータ容量(GDS II ファイル等)が膨大になった為、マスク作成時の電子線描画時間、及び、その検査時間が24時間を越えるなどの支障が出ている。この為、マスクコストが極めて高額に推移し、新製品の開発コスト、生産コストを圧迫している。これを低減、抑制する為に、設計意図(設計工夫、ノウハウ)を取入れ、改良することが設計の必須作業となった。同時に、これを支援するEDAツールも開発されており、設計ノウハウとして蓄積されて来た。

設計過程で製品の電気的特性若しくは歩留における形状忠実性の重要度(Design Intent)のデータを作成し、マスク製造/検査に於いて該形状忠実性の重要度が低いものは精度を下げて処理する事により、工程の合理化を行う工夫。

(2)「目的」:

- ①マスクコストの低減
- ②設計負荷、無駄の削減、抑制による設計効率の向上

(3)「適用範囲」:

先ず、マスクデータ容量の低減に関しては、微細パターン形状の精度を向上する目的でレイアウト時に導入されている“補助パターン”(OPC)がデータ容量高騰の主原因である為、この配置数及び場所を、極力必要優先度の高い所のみを採用し、総データ容量を低減する。

次に、電子ビーム描画機でパターンを描画する時に、描画の矩形サイズと数を最適化する。微細且つ高精度のパターンにのみ、優先的に微細矩形を多く配置し、その必要性が低いパターンに関しては、サイズの大きい矩形で描画し、総描画時間を短縮する。

描画が終了したマスクを検査する際も、同様に、最も厳密な検査を必要とするパターンは、詳細に検査し、ランクの低いパターンは、ラフに検査を施す。

回路設計に当たっては、パターン精度が回路動作に大きく依存する箇所(タイミング等)を予め精査し、最高ランク付けで描画、検査を実施する。優先順が、中程度、低程度のランクは、極力、描画や検査を緩める工夫を行う。

(4)「使用事例」:

- ①、マスク描画時のパターン粗密区分
- ②、回路特性の敏感度(遅延、抵抗、容量等々)に応じたレイアウトの緩和

(5)「文献」:

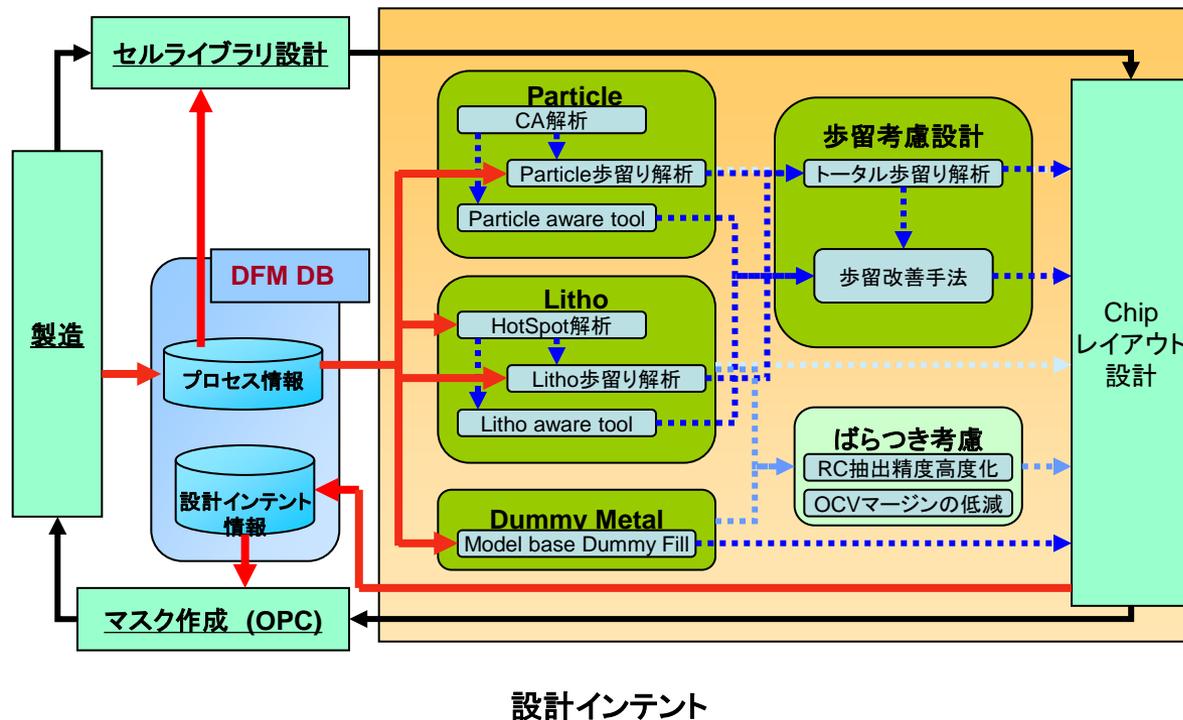
- ・西口:STARCFォーラム2007;図-13 設計インテントの活用による効果検証

用語：設計インテント (APPENDIX)

|| APPENDIX

- [類似語] デザインインテント

リソグラフィ用入力カデータ生成までを設計側業務と捉えて、OPC以降の処理に対し、設計情報(重要度等)を与えることにより、OPCやMDPの処理時間の短縮やデータ量の削減を実現する。



用語: IR Drop (APPENDIX)

|| APPENDIX

(1)「定義」:

電源配線上に発生する電圧降下(電流 I と配線抵抗 R の積= IR)を、IRドロップと言う。

(2)「目的」:

- ①チップ内の局所的電源降下を定量化した指標。
- ②チップ内の局所的電源降下を考慮した設計で利用する。

(3)「適用範囲」:

一般的に、電源端子から離れたところにある回路(セル、ブロック等)までは、両者をつなぐ配線が長いので、配線の抵抗が大きくなると、電流 I ×配線抵抗 R に相当する電圧降下(IRドロップ)が発生する。IRドロップ量が大きくなり過ぎると、関係する回路全体の電源電圧が規定量以下になり、この為、回路の誤動作が発生する。

特に、高速の回路(デジタルでも)や高周波の回路(アナログ等)では、微細プロセスになればなるほど深刻な影響を与えるので、これを対策した設計が必要となる。ASICでは、一般に実使用時の動作を網羅するシミュレーションが困難なので、セルの活性化率を過程して見積もりを行う。

(4)「使用事例」:

引用図は、大型チップ回路のブロックを機能毎に細分化しIRドロップをシミュレーション評価した事例を示す。IRドロップが発生し速度の低下やご動作箇所を特定出来たので、それに影響する電源配線を強化し、デバイスを試作する以前に、問題を回避する事が出来た。

(5)「文献」

・上田: サンヨーテクニカルレビュー Vol34, 2002; 図-2 IRドロップ現象、図-11 パワーインテグリティ検証の結果

用語: Signal Integrity (APPENDIX)

|| APPENDIX

(1)「定義」:

デジタル信号の波形品質、もしくは完全性のこと。また、LSI内部の小規模回路、セル、配線を含めた全体回路、及びそのLSIチップを他の周辺LSIと組合わせてプリントボードを構成する場合などに於いて、信号波形が劣化したり、遅延して、当初の設計・製造仕様を満たさないことを、信号忠実度が悪いと言う。

言葉の意味は、信号波形の忠実度であるが、一般には考慮に入れていなかった現象により、信号波形に予想外の波形変化が起る事。

(2)「目的」:

- ①信号波形が劣化したり、遅延したり、信号の波形品質を定量化した指標。
- ②チップ回路設計、実装回路設計など設計マージン拡大を考慮した設計で利用する。

(3)「適用範囲」:

デバイス設計全般。

例えば、回路内のクロック信号が集中するバス領域で、配線の長さ、太さ、Viaサイズ、層間絶縁膜の容量などの変動や隣接回路からのノイズにより、劣化、又は遅延する場合。

チップの外側では、プリント基板上で更に過酷なノイズ環境にさらされ、システム系全体が性能を満たせなくなる場合を指す。

対処策としては、信号波形が敏感な箇所を特性解析ツールで詳細に測定・分析し、同時に、回路シミュレータを活用して設計改善を行い、検証することにより、確定する。

(4)「使用事例」:

クロストークや配線IRドロップなどに起因した予測しない歪みを抑えること。

(5)「文献」

- ・須藤: 電子通信学会誌2006/7 Vol. J89-C No. 7; 図-1 プリント配線基板上のノイズ発生、伝播
- ・佐藤: 電子通信学会誌2006/11 Vol. J89-C No. 11; 図-5 LSI、PCB一体ノイズ解析モデル構成

用語: Critical Path (APPENDIX)

|| APPENDIX

(1)「定義」:

LSI回路の大規模化、高性能化に伴い、レイアウトが非常に複雑になるが、レイアウト後に発生するタイミング誤差(エラー)を指す。

一般的には、STA/SSTAで最も余裕のない若しくはある値以下のスラックとなる様な回路上のパス。

(2)「目的」:

- ①チップ内のタイミング誤差を定量化した指標。
- ②タイミング誤差を考慮した設計で利用する。

(3)「適用範囲」:

LSIプロセスの微細化に伴い、トランジスタ・ゲートに起因した遅延はもとより、配線に起因した遅延が非常に顕著になって来た。この為、従来の遅延シミュレータでは、予想と現実が合わなくなり、タイミングの最適化に特化した遅延解析ツールが各種実用化されて来た。

(4)「使用事例」:

従来のツールでは、ネットリスト以降のレイアウト時のタイミング最適化に多大の時間を割いたが、最新のツールでは、RTL以降の物理合成処理(論理合成+配置)でセルベースのネットリストを作成する。この処理に於いて、配線容量・配線抵抗を算出し実レイアウトに近いタイミング解析を行う。この物理合成処理を用いれば、レイアウトに要する作業時間が圧倒的に短縮される。

(5)「文献」

・富士通: FIND Vol-23、2005; 図-6 物理合成作業フロー、図-8 Amplify AccelArray Pro見積りと実レイアウト結果の比較

用語: Location-based OCV (APPENDIX)

|| APPENDIX

(1)「定義」:

ランダムではない、場所に相関があるチップ内ばらつき。

(2)「概要」:

On Chip Variationの内、チップの場所に依存して発生するもの。マスクや露光装置の光学系誤差に起因すると考えられる。チップ内のばらつきには、そのほかに素子の距離に依存するばらつき、ゲートや配線の密度に依存するばらつきがある。

(3)「目的」:

①製造ラインのチップ面内の製造誤差を把握し、その影響を受けにくいデバイス設計をおこなう。

(4)「適用範囲」:

製造ラインの管理基準、設計指針

(5)「使用事例」:

マスク誤差起因ばらつき、光学系収差の面内分布

(6)「文献」:

- STARC 軽井沢ワークショップ2005 大川
- S.Ohakawa, M.Aoki and H.Masuda”Analysis and Characterization of Device Variation in an LSI Chip Using an Integrated Device Matrix Array,” IEEE Trans. On Semiconductor Manufacturing , vol 17, pp155–165, May 2004
- Phiroze Parakh, “Manufacturing Challenges and their Implications on Design,” International Symposium on Physical Design, Portland Oregon, 2008.

用語: On Chip Variation (APPENDIX)

|| APPENDIX

(1)「定義」:

同一チップ内でのばらつき。OCV(on chip variation)の略語で呼ばれることもある。チップ内ばらつきは、回路のクロック・スキュー(skew)の発生要因となる。

(2)「概要」:

トランジスタ特性、配線電気特性など同一チップ内でのばらつきにより、製品のタイミングなど特性が影響する。チップ内ばらつきが大きいと、所望の製品性能が得られないことがある。チップ内ばらつきの要因として、製造ばらつき、OPCなどパターン補正の不完全さ、チップ内温度、各セル毎のIRドロップなどが考えられる。これらの要因を改善して、製品性能を向上させることが重要であるが、微細化によって、製造ばらつきなど限界がある。このため、DFMのアプローチとして、チップ内ばらつきを前提としたSSTA(統計的タイミング検証)など設計検証手法が検討されている。

(3)「目的」:

- ①チップ内のばらつきを定量化した指標
- ②ばらつき考慮した設計で利用する

(4)「適用範囲」:

- ①対象:チップ内のばらつき
- ②項目:トランジスタ特性、配線電気特性

(5)「使用事例」:

チップ内部の遅延のばらつきを考慮する静的タイミング解析手法。

(6)「文献」:

- ・STARC 軽井沢ワークショップ2005 大川氏
- ・S.Ohakawa, M.Aoki and H.Masuda”Analysis and Characterization of Device Variation in an LSI Chip Using an Integrated Device Matrix Array,” IEEE Trans. On Semiconductor Manufacturing , vol 17, pp155-165, May 2004

用語: DFM Rule (APPENDIX)

|| APPENDIX

(1)「定義」:

設計、製造プロセスにおいて、従来のDR (Design Rule)では、半導体チップを保証することが難しくなってきた。そこで、設計・製造容易性を考慮したRecommended Ruleを総称した呼称。

設計基準の記述方法の一つで、レイアウト設計時にMin.若しくはMax.値ではなくDFMルール値を用いる事により、製造工程に於けるばらつきが多少Geometrical Process Windowから逸脱しても、歩留等に影響が出る事を防止出来る。 Recommended Ruleと同義

(2)「目的」:

最適な設計デザインや製造マージンの確保。露光可能な領域を保証出来る基準。

(3)「適用範囲」:

半導体設計・製造全般。

(4)「使用事例」:

Lithography Rule check, Mask Rule check.

設計部門においては、リソグラフィーAware、製造部門においては、Design Awareの情報をしることで、製品歩留まりを予測したり、向上したりするために使用する。

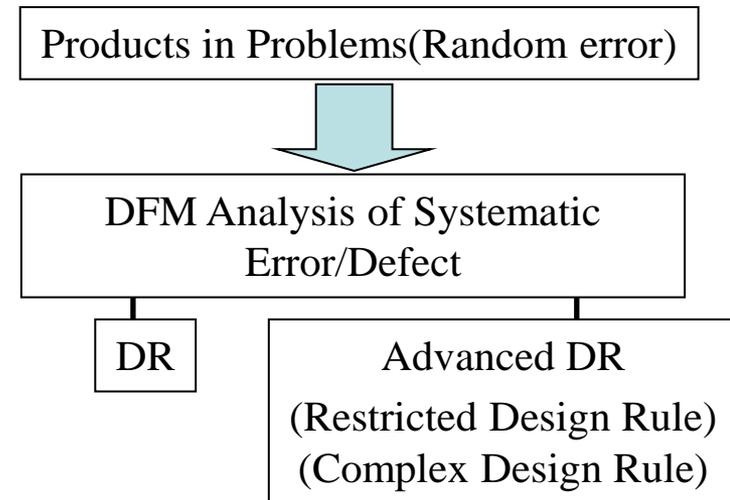
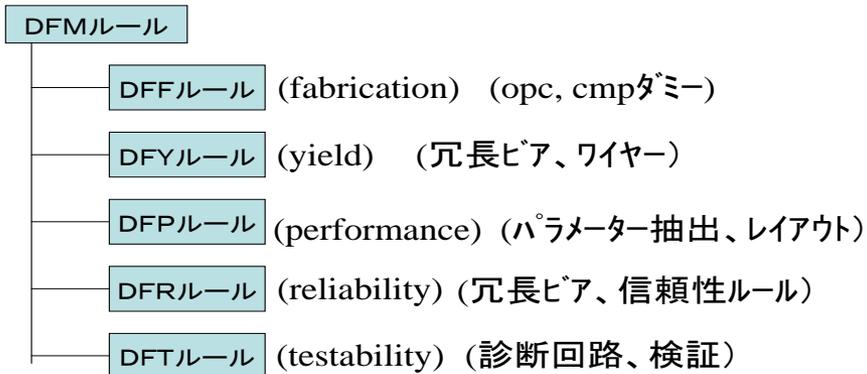
(5)「文献」:

JEITA)DFMワークショップ2006

SPIE2006, Vol. 6283-1,

“Design For Manufacturability Production Management Activity Report”

用語: DFM Rule (APPENDIX)



用語: Statistical Static Timing Analysis (APPENDIX)

|| APPENDIX

(1)「定義」:

製造プロセスのばらつきによって生じる回路パラメータのばらつきを統計的に扱う解析方法

(2)「概要」:

LSIの微細化により製造プロセスのばらつきが増加している。特に、回路パラメータのばらつきの増加は設計マージンや性能に重要な影響与えている。統計的スタティック・タイミング分析(SSTA)は、ばらつきを統計的に処理することにより回路性能を正確に見積もる手段として提案された。また、SSTAは設計の期間を減らし、特性歩留まりを予測することを可能にすると期待されている。

(3)「目的」:

タイミング制約の厳しい回路の設計制約の緩和

(4)「適用範囲」:

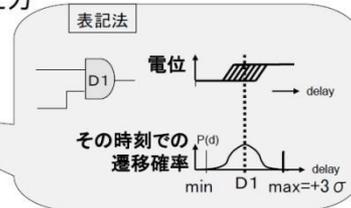
回路設計

(5)「使用事例」:

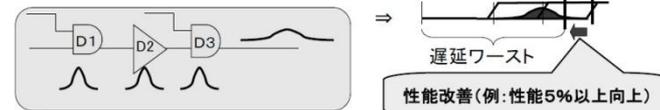


■ 今後のゲート遅延の考え方 (統計的タイミング解析)

- 遅延を確率分布として表現。

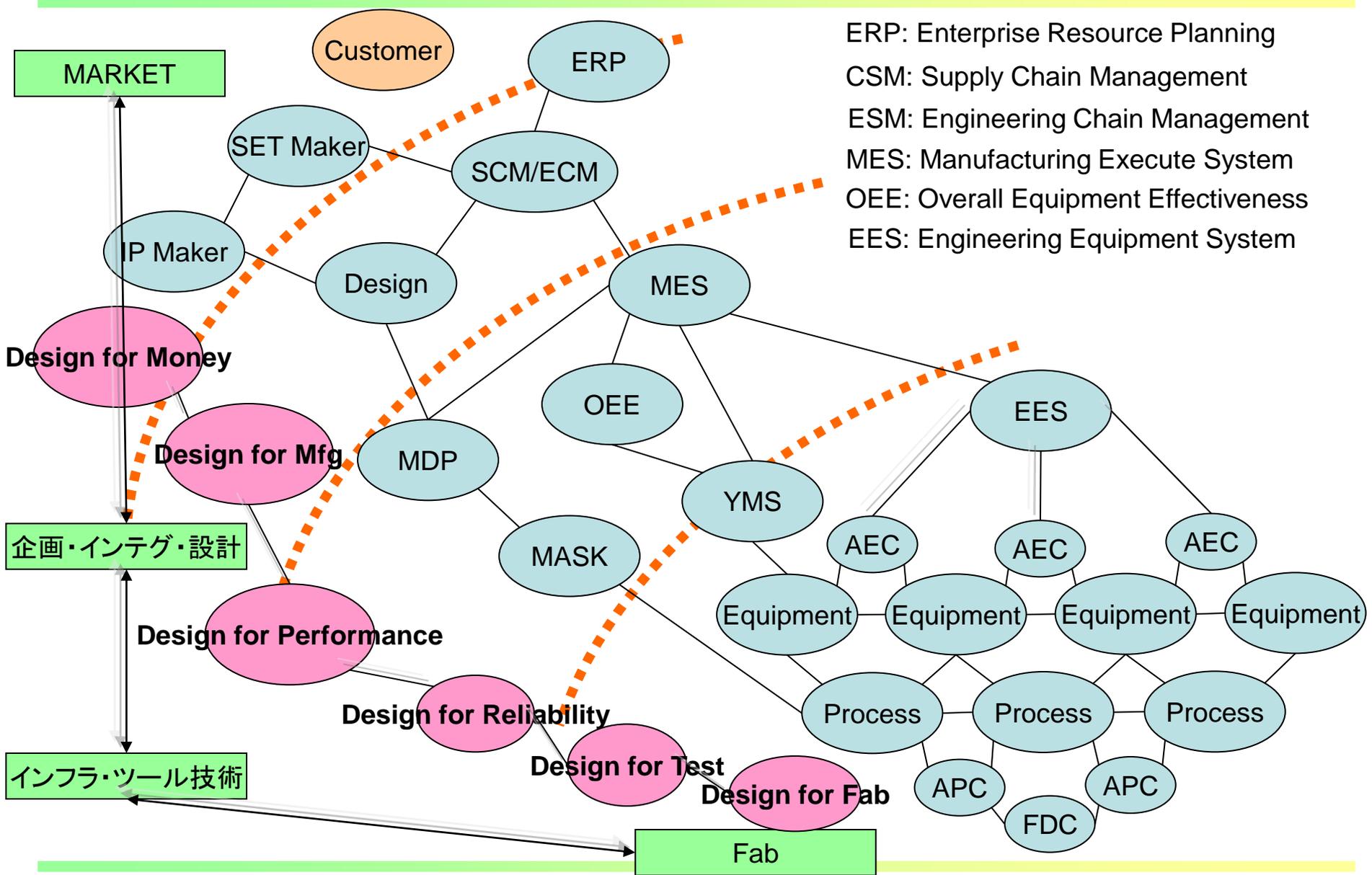


- パスやチップの遅延時間の確率分布を統計的演算により求める。



(6)「文献」: システム・デザイン・フォーラム2007 (主催: JEITA) 統計的STAの実用化技術: 松岡 英俊 (富士通)

用語: 半導体産業生産技術のIT構成(一例)(APPENDIX)



用語: Supply Chain Management サプライチェーンマネジメント (APPENDIX)

|| APPENDIX

– 目的

- 製品の供給不足による販売機会損失や過剰在庫を抱えるコストを削減し、顧客満足度や競争力の向上

– 適用範囲

- マーケティング・設計・生産・調達・流通

– 使用事例

- POS : 商品の販売・支払いが行われるその場 (point of sales) で、その販売データ (品名、数量、販売時刻など) を収集することで、販売動向を把握する仕組み。効果的な品揃えと在庫削減ができる。
- インタネットによる取引情報の電子化。
- 実売情報による高精度な需要予測とマッチした生産計画。

– 文献

- サプライチェーンマネジメント
- SCM研究会 (日本実業出版)

用語: Engineering Chain Management エンジニアリングチェーンマネジメント (APPENDIX)

|| APPENDIX

– 目的

- ニーズを的確に把握した商品開発、品質の向上、製造ロスの低減、納期の短縮、製造の効率化・最適化。

– 適用範囲

- 製品の受注からその設計、試作、購買、製造、保守。

– 使用事例

• MUSCLE

- 半導体製造の収益に直結するようになっている先端マスクの供給連鎖に対し、ヨーロッパ全域で、マスク情報の設計・マスク製作・ウェーハ製作を通じた標準化と自動処理化を進め、コスト・TAT・品質のトータルな競争力(対アジア、対北米)を確立することめざすMEDEA+のプロジェクト。広範な製品開発者が、迅速なプロトタイピングにおいて、先端リソグラフィでの品質保証を期待できるように、マスクの供給連鎖が管理されるべく、ソフト・ハードの開発をパブリックな領域、コンピティティブな領域ともに促進する。

– 文献

- www.medeaplus.org/web/downloads/profiles/2T302_MUSCLE_revised.pdf

用語: MES製造実行システム (APPENDIX)

|| APPENDIX

— 適用範囲

- 具体的な機能適用範囲や機能は産業によっても異なるので、詳細は参考文献[3]を参照されたし。課題は、過去には、単独企業内でのシステム統合であったが、今後は、企業間の業務プロセス連携や情報共有による顧客サービス向上のためのMESの活用・展開が注目されている。

— 使用事例

- 応用されている産業は、多い順に、半導体、電子機器、医薬/バイオ/デバイス、組立加工/航空防衛/自動車、その他(食品、飲料、鉄鋼、製紙・パルプ、化学プロセス、繊維・テキスタイルなど)、幅広く多岐に渡る。
- 半導体産業におけるMESは、生産設備自動化への対応、搬送システムの統合と指示、工程手順の制御、ロットのディスパッチ、ロット単位のスケジューリング、ロットやウエハのトレーサビリティ確保、レシピ・測定データ管理、フォトマスク処理用マスク(レチクル)の管理、などの機能が含まれる。

— 文献

- [1] MES入門、中村実著、工業調査会、(2008年第8版)
- [2] Back to the Future: MES from 1990-2000』Bruce M. Rishardson, AMR Inc., 1995.
- [3] 図解・MES活用最前線、中村実著、実践MES研究会、2004.
- [4] 新・生産管理工学、人見勝人著、コロナ社、1997.

用語: Overall Equipment Efficiency (OEE)設備総合効率 (APPENDIX)

|| APPENDIX

- 目的
 - 設備効率についての、保守状態、性能、使用条件などに関連する分析的な指標で、装置エンジニアリングの効果を明示できる。
- 適用範囲
 - プロセス装置、自動化(合理化)
- 文献
 - SEMIスタンダード(Exx)
 - JEITA)STRJ
 - トヨタ生産方式

用語: EES(Equipment Engineering System) 装置エンジニアリング・システム(APPENDIX)

|| APPENDIX

－ 目的

- 装置の故障早期発見。故障予知。
- プロセス加工バラツキの低減。
- 装置稼働効率向上(処理能力向上)etc

－ 適用範囲

- 現在は半導体のウェーハ加工工程の製造装置、液晶パネルの製造装置などが中心で、徐々に他産業に概念、システム導入が進みつつある。

－ 使用事例

- 装置故障の早期発見や装置加工状態の安定度確認、装置加工状態の製品確認の省略、自動情報フィードバックによる加工バラツキの低減など、事例多数(参考分家参照)

－ 文献

- 2003JEITA装置エンジニアリングシステム研究報告書

用語: Advanced Equipment Control (AEC) 適装置制御 (APPENDIX)

|| APPENDIX

- 目的
 - 装置能力の変動を最小化し、工程能力の向上と不良品の削減と同時に、障害の原因を特定することによって、装置の信頼性や生産性を向上させる。
- 適用範囲
 - プロセス装置内
- 使用事例
 - 複数の製造装置のプロセス、あるいは装置状態を同一にするため、装置の異常検出項目の解析データを用いた装置制御を行う。
 - ステッパーにおいて、フォーカスを制御する。
 - 外部センサーを用い、エッチング装置での静電気による試料台とウェーハを吸着させる機構の制御。
- 文献
 - JEITA)DFMワークショップ2006

用語: Advanced Process Control (APC)最適プロセス制御 (APPENDIX)

|| APPENDIX

- 目的
 - プロセス変動の安定化及び精度改善。
 - 先行処理の廃止
- 適用範囲
 - 装置に起因するシステムティックばらつきの抑制。
 - 具体的には、① リソ工程における最重要寸法の制御，② レジスト塗布膜厚制御，CVDによるデポ膜厚制御，③ CMP工程後の残り膜厚制御，④ イオン注入時の不純物分布、深さ制御，⑤ エッチング後の寸法制御，⑥ めっき後の金属膜厚制御などウェーハプロセス全般。
- 文献
 - JEITA)DFMワークショップ2006

用語: e-Manufacturing IT活用生産 (APPENDIX)

|| APPENDIX

— 適用範囲

- 工場内外の半導体製造に関わる情報、サービス。

— 事例

- データの共有化が進むことによって、製造技術に関する業務が、専門化された分業体制へと向い、生産性を向上させることができる。
- データの共有化が可能になって、高度な装置性能の保証が可能になる。その結果生産性の向上につながる。
- 制御情報を装置外に出すことによって、リアルタイム制御、プロセス制御最適化が実現可能になる。

— 文献

- 「装置エンジニアリングシステム研究報告書」、JEITA e-Manufacturing小委員会 (2003)。
- Timothy D. Stanley, Richard J. Markle, Brad Van Eck, Brian K. Cusson, Mathew Purdy, K. J. Stanley, “Cost and Revenue Impact of Advanced Process Control (APC) with an Emphasis on Run-to-Run Control (R2R),” Proc. of SPIE Vol. 5044, p.130, (2003).

用語: e-Diagnosticsリモート診断 (APPENDIX)

|| APPENDIX

– 目的

- 半導体製造装置の稼働率向上。
- 装置のMTBF, MTTRの短縮。
- 修繕費の削減や装置の定修期間の短縮によるコスト削減。

– 適用範囲

- 製造装置管理、クリーンルーム管理、ファシリティー管理。

– 文献

- 装置エンジニアリング機能 (EEC) ガイドライン (フェーズ2.5),
- International SEMATECH – JEITA/Selete

用語: Agile Manufacturingアジャイル(顧客対応型、俊敏)生産(APPENDIX)

|| APPENDIX

- 目的
 - 小ロット生産での生産性の確保。
 - 生產品種変更時の装置、工程の立ち上げ速度向上。
- 適用範囲
 - 工場ライン
- 使用事例
 - ロット単位制御から、ウェーハ単位制御への変更による、サイクルタイムの短縮
 - 段取り時間削減による、ウェーハ待ち時間の削減
- 文献
 - J300P Guideline
 - JIS Z 8141

用語: Statistical Quality Control統計的品質管理(APPENDIX)

|| APPENDIX

— 目的

- 製品や工程のばらつきを少なくする。
- 工程の不具合をなくすと共に、効率の向上を図り、品質保証する。
- 製品不具合情報を基に有効な改良を高める。

— 適用範囲

- 生産管理、品質管理

— 使用事例

- 製品やサービスの品質を、一定以上の水準で確保するための品質保証手段。
- 消費者の要求する品質が、十分に満たされていることを保証するための手段。

用語: Fault Detection and Classification (FDC) (不良検知分類システム、欠陥検出と分類) (APPENDIX)

|| APPENDIX

- 目的
 - 歩留まり向上。
 - 半導体製造装置の稼働率向上。
 - テストウエハ削減。
- 適用範囲
 - 製造装置管理。
- 使用事例」
 - FDCに依る歩留まり向上策。
 - 履歴および要約データの蓄積、解析。
 - ウェーハレベルおよびチャンバーレベルの詳細なデータ・トラッキング設定変更やダウンロード可能なFDCモデルホストが発行する標準ベースのFDCコントロール・コマンドによる稼働中の装置制御。
- 参考文献
 - 平成15年度半導体製造装置技術ロードマップに関する調査研究報告書(SEAJ)
 - 鹿島、吉松、成田、久津間、「半導体市場向け、歩留まり向上FDCシステム」
Savemation Review 2005年8月発行号, pp76-83.

用語: Pattern Defects and Classificationパターン欠陥と分類 (APPENDIX)

|| APPENDIX

- 目的
 - 良品取得、歩留改善のための、パターン不良原因の特定と対応
 - マスクの場合、パターン欠陥修正と出荷品質検査
- 適用範囲
 - 対象: ウェーハパターン欠陥検査、マスクパターン欠陥検査
 - 検査方式: パターン比較検査 (Die-Die)、パターン・データ比較検査 (Die-Data)
 - 検出方式: 光学式反射検査、光学式透過検査 (マスクの場合)、SEM式検査
- 使用事例
 - マスク欠陥検査、ウェーハ欠陥検査。
- 文献
 - SEMIスタンダード、STRJ2005.
- その他
 - フィルタリング技術 (背景パターンの特徴、欠陥の特徴、ROIモデル)
 - パターン検査技術 (die to die、パターン輪郭、計測)
 - 画像シミュレーション技術 (光学画像、SEMI画像)