

JEITA

国際競争時代における連携強化・応用分野新事業の可能性に貢献する

半導体標準化専門委員会 の活動紹介

Activities on
Semiconductor
Standardization
Committee

2016

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

<http://www.jeita.or.jp/>

半導体標準化専門委員会では、半導体デバイスについての規格類(用語、特性項目、特性の評価(測定)方法、環境試験及び耐久性試験方法など)に関してIECを中心にした国際標準化活動を行っています。半導体信頼性技術小委員会、半導体パッケージ技術小委員会、集積回路製品技術小委員会、個別半導体製品技術小委員会、半導体設計技術小委員会の5つに分かれて、半導体に関わる標準化等の幅広い活動を行っています。主な取組みは次のとおりです。

◆半導体パッケージング技術小委員会

顧客の利便性を考慮し、同じプリント基板に何社もの半導体が載せられるよう、設計ガイドラインや調査内容の報告書を発行しています。標準化テーマも、中間加工品の購入の観点から日本企業の要求を一元化した規格を作成すべく、審議しています。これらの審議案件の例として、前年度はパッケージ外観基準、パッケージ用サブストレートの外観基準、パッケージ名称及び組立に関する用語の統一、出荷トレイの物理的要求値、集積回路デバイス用ソケットの標準化、テスト&バーンインソケットとパッケージの位置合わせ精度、製品表示の標準化、半導体パッケージ熱特性ガイドラインの制定・改正を今後も行って参ります。

◆集積回路製品技術小委員会

メモリ SC、半導体 EMC-SC、パッケージ電気特性 SC、3D-半導体/モジュール SC
の合計4のサブコミティから構成されています。

メモリ SC では、年 4 回行われる JEDEC の各 Committee に積極的に参加しています。DDR4 DIMM、LowPower DRAM に加え、HBM、UFS/eMMC 等の Flash メモリにも関与し、合計で年間 100 件の Ballot 発行および承認を図っています。

半導体 EMC-SC では、半導体 EMC に関する標準規格の策定に関する活動を行っています。具体的には、エミッション・イミュニティ測定法、半導体 EMC モデル、車載ネットワーク測定法の標準規格を策定します。

パッケージ電気特性 SC では、チップ間の超ワイド I/O バスをターゲットとした Si インターポーザ/パッケージ基板設計を実施し、電源・GND をモデル化し、特性をシミュレーションにて確認する中で推奨モデリング手法等、IEC 提案に向けた検討を実施します。3D-半導体/モジュール SC では、3D-IC にも必要となるチップ間 I/F 仕様や TSV 測定方法の IEC 提案を目指して検討を進めます。またロジックチップ間 I/F について、

インターポーザを使って配線実現性や電気特性の検証を行います。

◆個別半導体製品技術小委員会

トランジスタ、ダイオードをはじめ発光ダイオードなど、ディスクリートデバイスの特性や測定方法などの標準化規格作成に取り組んでいます。また IEC/TC47 の SC47E における、マイクロ波デバイス、パワーデバイス、発光ダイオードなどの IEC 規格の制定や改正に関し、標準化活動の支援をしています。この結果 IEC 規格では、日本発案で新規に提案をしていた LED デバイス規格及びフォトダイオード&フォトリンスタ規格が 2015 年度に発行(IS)されました。また、絶縁ゲートバイポーラトランジスタの JEITA 規格改正を 2015 年度に終了し、2016 年度は IEC 規格改正をスタートしています。電界効果パワートランジスタの JEITA 規格(ED-4561A)の改正および発光ダイオードの JEITA 規格(ED-4912)の改正についても着手しています。

◆半導体信頼性技術小委員会

半導体信頼性試験規格、半導体の認定試験計画に関するガイドライン、ソフトウェアに関する試験法ガイドライン、ウェーハレベル故障メカニズムと試験方法規格化、システムレベルの ESD に対する半導体取り扱いガイドライン作成と、ESD 耐量の適正化にも取組んでおり、JEITA 規格として標準化を進めると共に IEC/TC47 の直属の WG における、半導体デバイスの環境試験方法 (WG2) への NP 提案を行う等、積極的に国際標準化を推進しています。また、これらの規格について、国内の一般者向けのセミナーも定期的に開催して、規格・ガイドラインの普及を進めています。

◆半導体設計技術小委員会

電子機器の機能・性能を決定するシステム LSI の設計技術に関する活動を行っています。IEC の SC47A および TC91/WG13 の国内委員会や標準化関連組織 (IEEE/DASC、IEEE-SA 等) と連携し、設計技術およびそれに関わる標準化の推進によって、国内外の関係業界の発展に寄与することを目的としています。

2016 年度は LSI・パッケージ・ボード相互設計-SC、国際標準化・企画-WGを設置し、日本発 EDA 関連 IEEE 規格としては初めての制定となった IEEE Std 2401TM-2015(LPB 標準フォーマット)の拡張並びに更なる設計現場への普及に取り組めます。

半導体標準化専門委員会 **参加企業一覧／委員会組織**

＜2016 年度（平成 28 年度）組織体制＞（敬称略）

委員長：角田（三菱電機）

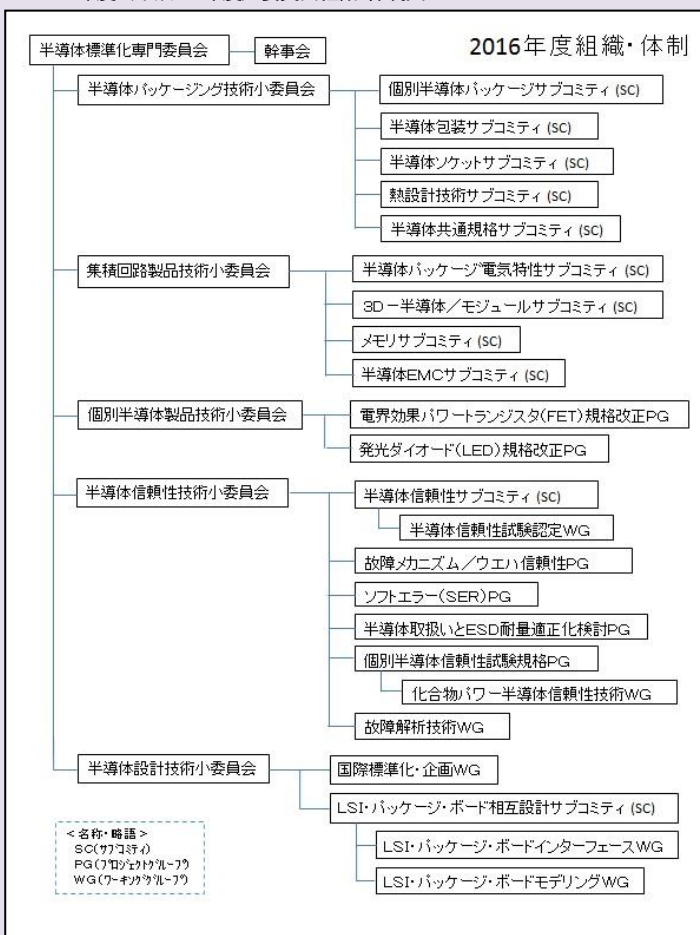
副委員長：川畑(ソニー)、瀬戸屋(東芝)、吉田(パナソニック)、福場(東芝)

＜2016 年度（平成 28 年度）参加企業 [56 社]＞（順不同・敬称略）

アムー・テクノロジー・ジャパン(株)	富士通7バストテクノロジー(株)
エスベック(株)	富士電機(株)
沖電気工業(株)	古河電気工業(株)
キヤノン(株)	マイクロンメモリジャパン(株)
(株)クオルテック	三菱電機(株)
システム・ソリューションズ(株) (オン・セミコンダクター)	ミツミ電機(株)
新電元工業(株)	(株)メモリエキスパート
新日本無線(株)	メンター・グラフィックス・ジャパン(株)
スタンレー電気(株)	山一電機(株)
(株)図研	ユニテクノ(株)
セイコーエプソン(株)	(株)リコー
(株)ソシオネクスト	ルネサスエレクトロニクス(株)
ソニー(株)	ローム(株)
(株)台和	アンシス・ジャパン(株)
T D K (株)	(株) I D A J
(株)デンソー	キーナスデザイン(株)
(株)東芝	(株)ジエム・デザイン・テクノロジー
日本ケイ・エス・デザイン・システムズ 社	シナプティクス・ジャパン(株)
日本シノプシス合同会社	シャープ(株)
日本航空電子工業(株)	新光電気工業(株)
日本電子(株)	(株)ソフトウェアアクレイドル
(株)ノイズ研究所	デバイス・アナリシス(株)
H I R E C (株)	(株)東レリサーチセンター
(株)バッファロー	トヨタ自動車(株)
パナソニック(株)	日亜化学工業(株)
浜松トニクス(株)	日本インター(株)
(株)日立製作所	(株)日立パワーデバイス
富士通(株)	(株)モーデック

Member Companies / Organization

＜2016 年度（平成 28 年度）委員会組織・体制図＞



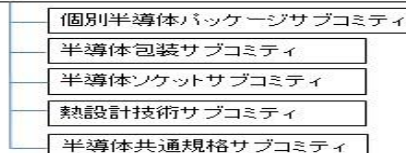
当小委員会では、顧客の利便性を考慮し、同じプリント基板に何社もの半導体が載せられるよう、設計ガイドラインや調査内容の報告書を発行しています。従来は IDM (Integrated Device Manufacturer) として設計から製造・出荷まで一貫生産してきた企業が、昨今のファブライツ戦略の採用によって、東南アジアへの製造外注化が進み、日本企業は製造サイドから主に調達・購買サイドへと変わりつつあります。その中で、標準化テーマも、中間加工品の購入の観点から日本企業の要求を一元化した規格を作成すべく、審議しています。これらの審議案件の例として、前年度はパッケージ外観基準、パッケージ用サブストレートの外観基準、パッケージ名称及び組立に関する用語の統一、出荷トレイの物理的要求値、集積回路デバイス用ソケットの標準化、テスト&バーニンソケットとパッケージの位置合わせ精度、製品表示の標準化、半導体パッケージ熱特性ガイドラインの発行を行いました。

半導体パッケージ外形標準については、JEITA 規格を IEC SC47D 国内委員会を介して、正式な国際標準作成機構である IEC SC47D の場に提案し、国際標準化を推進しています。日本からは年間3件程度が新規または改版提案がなされており、IEC SC47D 国際幹事も日本が担当しております。従来の IEC SC47D のスコープではパッケージ外形のみの標準化に限定されておりましたが、一般的なパッケージについては、ほぼ設計基準・測定基準等の国際規格化を完了する一方、国際的な標準化のニーズも、外形標準化よりも、①ビジネス時のインターフェースに必要な、用語の標準化や外観基準など、②顧客での使われ方を想定したパッケージの反りの規格化や熱設計技術の標準化、③外形以外のパッケージの仕様の一つである環境要求事項などに移行しております。このような世の中のニーズに応じて、SC47D のスコープを拡大して、パッケージ外形のみの標準化から脱皮し、アセンブリ・パッケージング全般の審議案件を行えるようにしました。上記③のパッケージングにおける環境要求事項については、顧客からの要請も日常化しており、TC111 と協議して、連携して国際規格化していくように協力体制を確立しました。現在、SC47D ではパッケージングに使われる封止樹脂のハロゲンフリー規格を提案すべく、電気機能材料工業会と連携して提案文書を準備中であり、TC111 の協力を仰ぎながら国際規格化を推進しています。

また、パッケージ外形規格のみを扱っていた当時は標準化セミナーとして、規格作成のスキル向上を目的として行っていたパッケージ標準化セミナーを、パッケージング技術全般を扱うようになったことをきっかけに、装いも新たにパッケージング技術セミナーとして、最新の関連技術のロードマップや動向を知る機会として開催し、好評を博しました。今後共、各企業に有益な情報を発信していきたいと考えています。

次に当小委員会傘下の5つのサブコミティ、半導体共通規格、個別半導体パッケージ、半導体包装、半導体ソケットならびに熱設計技術のそれぞれの活動をご紹介します。

半導体パッケージング技術小委員会



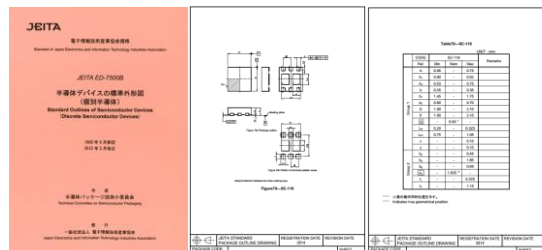
【個別半導体パッケージサブコミティ】

当サブコミティでは、個別半導体用パッケージに関する規格案の企画、審議と発行、技術報告書の作成を担当しています。

2014 年度は、ED-7500A「半導体デバイスの標準外形図(個別半導体)」の見直しを行い ED-7500B として改訂版の発行を行いました。

2016 年度は新たに各社に新規標準外形図規格として登録すべき個別半導体パッケージの提案を募り、審議及び登録・発行を必要に応じて行う予定です。

更に、熱設計技術サブコミティ等の関連サブコミティとの連携も模索し、製造サイドと購入サイドを含めた業界全体にとって有益となる標準化を進めていきます。



【半導体包装サブコミティ】

当サブコミティは、「半導体包装に関する規格案の企画、審議と発行、技術報告書の作成」「IEC/SC47D 国内委員会へ参画し関連事項に対応」「JEDEC との関連事項への対応」を活動目的としています。2016 年度は、2014 年度からの JEITA 標準化活動を継続し、既存規格類のメンテナンスや改正を検討していくとともに、包装材に関する「包装材料用語集(ED-7618)」、「マトリクス固定トレイデザインガイド(ED-7607)」の制定を目指しております。

【半導体ソケットサブコミティ】

当サブコミティでは、半導体デバイス製品の機能試験ならびに信頼性試験のためのソケットに関する規格類の制定・改正などの標準化活動を推進しています。

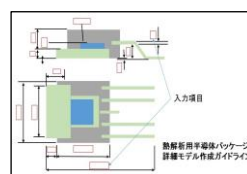
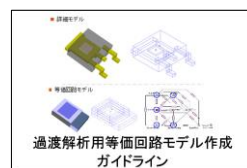
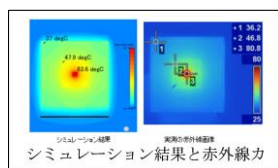
2014 年度は ED-7711(BGA)、ED-7714(BGA/LGA)、EDR-7719(QFP タイプソケット)の3規格類を制定しました。2016 年度は引き続き、既存の規格類の見直しを検討予定です。

【熱設計技術サブコミティ】

当サブコミティでは、電子機器や半導体製品で近年大きな問題となってきた熱課題に対して、各社共通の課題を活動テーマとして取り上げ、より高精度な熱設計データの算出方法や考え方の提案・標準化活動を推進しています。

2014 年度は、EDR-7337「2チップ積層型半導体パッケージの熱特性ガイドライン」の英文化が完了し、国内外に対してこれまで定義があいまいであった積層型半導体パッケージの熱特性の表記方法を提案しています。また、昨年度から継続して活動していました半導体パッケージの熱パラメータの概算値を予測するツールの検証が終了し公開に向けて準備中です。半導体パッケージを選択する際の目安として使用することで都度メーカーに問い合わせていた時間が短縮できると考えています。

2015 年度は、電子回路の省電力化・高効率化が進んでおり細かな電源管理が要求されることから熱設計においても過渡解析の要求があります。第一弾として過渡変動の要求が厳しいパワー半導体パッケージについての①「過渡解析用等価回路モデル作成ガイドライン(仮)」を、さらに、半導体パッケージのシミュレーションモデルを作成するために必要な情報を共有するための②「熱解析用半導体パッケージ詳細モデル作成ガイドライン(仮)」の提案予定です。解析モデル作成に対して等価回路モデルと詳細モデルの情報の共有が図られ効果的な熱対策方法が可能になると考えています。国際標準化活動の一環として、2014 年 11 月の IEC 東京大会において EDR-7336 の IEC 規格化提案を行いました。2016 年度は規格類制定の活動を続けてまいります。



【半導体共通規格サブコミティ】

当サブコミティは、IEC SC47D/WG2 の案件を扱い、パッケージの JEITA 規格作成の共通ルールの規格化等を目的として発足され、半導体メーカーと顧客との双方に有益なパッケージ図面の書き方や、歩留の上がる幾何公差の設定の仕方、パッケージの呼び方などを審議・検討してまいりました。

昨今、パッケージングを取り巻く状態が変化してきており、半導体サプライヤはパッケージを委託生産・調達する側になってきたことを背景に、当サブコミティでは、サプライチェーン上のインターフェースとして、用語・外観基準など、すべての国際企業が必要な技術を取りまとめていくことにしました。

2016 年度継続して審議を行う案件は、アセンブリ・パッケージング全般の用語の統一、パッケージの外観基準、パッケージ基板の外観基準などです。これらは、2014 年度、IEC 東京大会にて、日本から審議の提案を行い、世界中の国々から期待されており、半導体裾野産業を含めたオールジャパンとして取り組まねばならないテーマだと考えています。一方、市場から粗悪品を排除し、品質の良い日本製のシェアを高める良い機会だと考えており、日本企業全体の為にも国際市場で有利に立てるような規格づくりを鋭意進めてまいります。

<2016 年度(平成 28 年度)組織体制>

主 査：吉田(パナソニック)

参加企業：18 社(順不同・敬称略)

アムコー・テクノロジー・ジャパン(株)、新電元工業(株)、新日本無線(株)、(株)台和、(株)デンソー、(株)東芝、パナソニック(株)、富士電機(株)、富士通アドバンストテクノロジー(株)、マイクロンメモリジャパン(株)、メンター・グラフィック・ジャパン(株)、山一電機(株)、ユニテック(株)、ルネサスエレクトロニクス(株)、ローム(株)、(株)IDA、キーナスデザイン(株)、(株)ソフトウェアクレイドル

当小委員会では、半導体メモリ、半導体 EMC、半導体パッケージ電気特性、3D-半導体/モジュールの各分野における技術的課題に対する研究、調査を行い、JEDEC 及び IEC/SC47A にて開発が推進される国際標準規格に対する標準化活動を行っています。

集積回路製品技術小委員会

半導体パッケージ電気特性サブコミティ (SC)

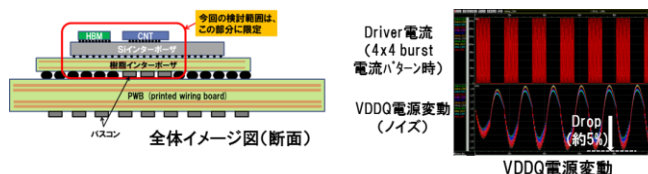
3D-半導体/モジュールサブコミティ (SC)

メモリサブコミティ (SC)

半導体 EMC サブコミティ (SC)

【半導体パッケージ電気特性サブコミティ】

「LSI パッケージ」の電気的な等価回路を如何に求め、記述するのが「実用的」であるかを検討し、標準的なモデル化手法の普及と利用を推進する活動を行っています。近年、3D-IC が注目されており、その電気特性解析手法の標準化が求められています。そのため近年は、Si インターポーザ上に搭載される HBM とメモリコントローラ間を題材として、2.5&3D-IC のインターポーザ設計を実施し、Si/樹脂インターポーザの配線性を確認するとともにこの設計データ(CAD)を用いて Power Integrity 評価を実施しました。まず Si インターポーザ要素解析でビア簡素化、寄生成分算出等を行い、等価回路モデルを生成、次に全体解析のため樹脂インターポーザ全体を S パラメータ抽出し、Si インターポーザの等価回路モデルに反映、VDDQ-VSS インピーダンスを算出し、目標と比較確認を行いました。さらにチップとドライバを接続し、worst 電流パターンにて VDDQ の電源変動(ノイズ)を算出し、目標を概ね満足することを確認できました。今回実施した特性指針や推奨モデリング手法等についてまとめる予定です。



【3D-半導体/モジュールサブコミティ】

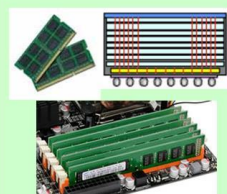
LSI の微細化が進み開発費の高騰、開発期間の長期化で、少量多品種の開発の負担が増えています。様々なチップを組み合わせたマルチチップ設計を行う場合でも、現状では開発期間や開発費用がかさむため、Time to market のためのマルチチップ I/F 設計仕様が必要となります。

3D-半導体/モジュールサブコミティでは、TSV を用いた 3D/2.5D のマルチチップ設計において必要となる情報(TSV 要件、チップ間の I/F 他)にフォーカスして、標準化の議論を進めています。また、マルチチップ実装において不可欠な接続部(TSV)の測定法(提案中)について、標準化のための議論を進めています。

2015 年度は 3D-半導体に使われる TSV 構造の回路モデルとその測定方法について、IEC SC47A ミンスク大会にて PMI (NP 案)の再提案を行い、そのフィードバックを反映したドキュメントを提示しました。また、樹脂インターポーザをモチーフとした評価パターン仕様案を作成し、今後の評価に繋げてゆきます。また、シリコン・インターポーザの高速信号伝送と解析に関するセミナーを2回開催しました。

【メモリサブコミティ】

メモリサブコミティは、JEDEC 標準化策定の初期段階から関与し、戦略的に日本工業会の要求を反映させ、グローバルスタンダード化を目指しています。JEDEC の JC42 および JC45 を中心に、JC63,64,11,16 等への直接提案活動を行っています。



メモリサブコミティの活動

- メモリ単品レベルだけでなく、システムレベルでの規格化
- DRAM、Flash 及び MRAM 等の次世代メモリの規格化
- 日本メーカーが市場で優位性を保てるよう国際標準化を推進

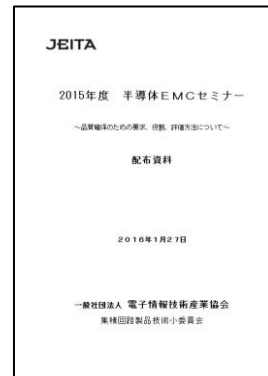
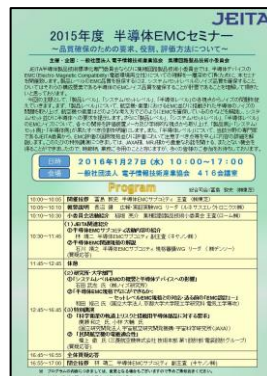
主なものとして、JC42、JC45 では汎用 SDRAM 単体仕様(JESD79 関係、JESD209 関係)及びモジュール仕様(JESD21)の規格化を実施。2014 年度より、次世代不揮発メモリの標準化に関する議論を開始、Flash ベースの新 Module に関する標準化議論も開始しています。本年(2016 年)より、Post DDR4(次世代 DRAM:DDR5)の標準化を開始した。

【半導体 EMC サブコミティ】

半導体 EMC (Electromagnetic Compatibility: 電磁両立性) サブコミティは規格審議 WG (Working Group) と広報・実証実験 WG の 2 つのグループで構成されており、連携して活動しています。規格審議 WG は、IEC SC47A WG2-WG9 での国際規格策定に対応し、EMC シミュレーション用の半導体モデリング方法 (IEC 62433 シリーズ)、半導体の EMC 性能測定方法 (エミッション: IEC 61967 シリーズ、イミュニティ: IEC 62132 シリーズ、IEC 62215 シリーズ、トランシーバ測定: IEC 62228 シリーズ)の標準化活動を行っています。広報・実証実験 WG では、国際規格の妥当性検証と円滑な運用を目指して、実証実験/シミュレーションを試行し、その結果の広報活動も行っています。

(1) 2015 年度活動紹介

- ・測定法とモデリングに関する国際規格案 6 件 を審議し、投票を行いました。
- ・半導体 EMC セミナーを開催。半導体国際規格の解説とともに、セットレベル・製品レベルの EMC に関する講演を行うことで多角的に EMC 問題を考える場を提供しました。



2016 年 1 月に開催した半導体 EMC セミナー会場全景

(2) 2016 年度取り組み計画

- ・測定及びモデリング方法規格案の審議を行い、国際会議(ボストン大会、フランクフルト会議)へ委員を派遣し、国内意見を提案、反映します。
- ・車載トランシーバ規格を対象とした、試験方法やリミット値の妥当性の検証を行います。
- ・モデリング規格と設計データフォーマット規格において、そのフォーマット間の整合を確認し、解析効率向上に向けた検討を行います。

<2016 年度(平成 28 年度)組織体制>

主 査 : 川畑(ソニー)

副主査 : 福場(東芝)、稲垣(ローム)、

監 事 : 北城(ルネサスシステムデザイン)、

参加企業 : 16 社 (順不同・敬称略)

キャノン(株)、ソシオネクスト(株)、ソニー(株)、TDK(株)、(株)デンソー、(株)東芝、日本航空電子工業(株)、(株)ノイズ研究所、(株)パッファロー、パナソニック(株)、マイクロメモリジャパン(株)、(株)メモリエキスパート、ルネサスエレクトロニクス(株)、ローム(株)、アンシス・ジャパン(株)、新光電気工業(株)

当小委員会では、トランジスタ、ダイオードをはじめ発光ダイオードなど、ディスクリートデバイスの用語とその定義や記号、特性測定方法などの標準化・規格作成に取り組んでいます。

JEITA 規格はもとより IEC 規格についても TC47/SC47E 国内委員会と連携して、ディスクリート半導体デバイスの規格立案・審議を進めています。

【2016 年度の小委員会構成】

個別半導体製品技術小委員会

Discrete Semiconductor Technical Committee

※2つのプロジェクトでJEITA規格の改正を進める

電界効果パワートランジスタ規格改正PG
(JEITA ED4561Aの改正)

発光ダイオード規格改正PG
(JEITA ED4912の改正)

※3つのデバイスグループ毎に、標準化テーマに取り組む

マイクロ波デバイス Gr

パワーデバイス Gr

オプトデバイス Gr

【電解効果パワートランジスタ規格改正PG】

2015 年度よりスタートした、JEITA ED-4561A (FET 規格) の改正を進めている PG です。2017 年 に改正規格発行に向けて進めています。

【発光ダイオード規格改正PG】

2016 年 9 月よりスタート予定の、JEITA ED-4912 (発光ダイオード規格) の改正を進める PG です。2017 年度末に改正規格発行を計画しています。

【マイクロ波デバイスGr】

IEC/SC47E/WG2 に対応するデバイスの担当グループです。

JEITA 規格の立案・管理や IEC 規格の立案・審議などを行っています。

2014 年度は、JEITA 規格類の統廃合を決定し、統合規格の(ED-4359)のドラフト作成と審議を行ってきました。

2015 年度は、マイクロ波半導体デバイス規格 JEITA ED-4359 の改正を進めました。

2016 年度は、JEITA ED-4359A (改正版) の発行を目指すとともに、NP 再提案が承認された IEC60747-16-6 (通倍器) の規格審議を進めます。

【パワーデバイスGr】

IEC/SC47E/WG3 に対応するデバイスの担当グループです。

JEITA 規格の立案・管理や IEC 規格の立案・審議などを行っています。

2014 年度は、JEITA ED-4541A (パワートランジスタ規格) の改廃確認を審議し、スタビライズド化して残す結論を出しました。

2015 年度は、絶縁ゲートバイポーラトランジスタの JEITA 規格改正(ED-4562B)を終了し改正規格を発行しました。

2016 年度は、2015 年度にスタートした電界効果パワートランジスタの JEITA 規格改正(ED-4561B)を進めます。

【オプトデバイスGr】

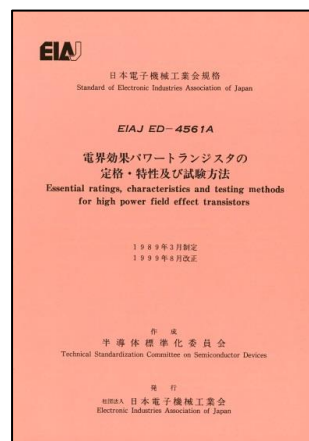
IEC/SC47E/WG4 および SC47E/MT6 に対応するデバイスの担当グループです。

JEITA 規格の立案・管理や IEC 規格の立案・審議などを行っています。

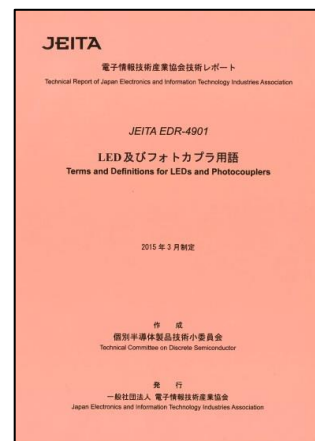
2014 年度は、JEITA ED-4901A (LED およびフォトカプラ用語) の技術レポート発行と ED-4921A (フォトカプラ規格) の廃止を行いました。

2015 年度は、IEC60747-5-6/7 の IS (規格発行を行ないました)。

2016 年度より、JEITA ED-4912 (発光ダイオード規格) の改正を進めます。



ED-4561A



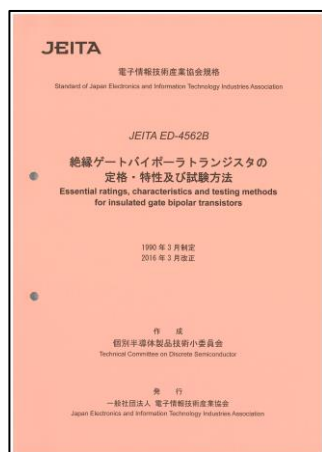
EDR-4901

【関連委員会活動】

2009 年度から 2014 年度までの 6 年間、半導体パッケージ技術小委員会メンバーと共に、半導体デバイス国際標準化活動推進委員会 (PCSS: Promotion Committee on Semiconductor device Standardisation) に参画し、マレーシア、シンガポール、タイを始めとするアジア諸国に IEC 活動への参加を働きかけました。

2015 年度は、PCSS の成果により、シンガポールで個別半導体のミーティングを開催することができました。

2016 年度は、タイで開催される APSG セミナーに参加し、IEC/TC47 活動への参加を働きかける予定です。



ED-4562 B



ED-4359

<2016 年度 (平成 28 年度) 組織体制>

主 査 : 角田(三菱電機)

副主査 : 大芝(ソニー)、小川(スタンレー電気)、加藤(東芝)

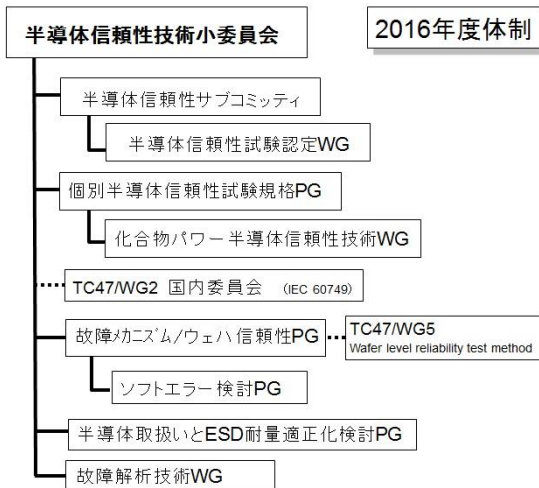
参加企業 : 16 社 (順不同・敬称略)

三菱電機(株)、ソニー(株)、スタンレー電気(株)、(株)東芝、新電元工業(株)、オン・セミコンダクター、富士電機(株)、ルネサスエレクトロニクス(株)、パナソニック(株)、ローム(株)、日亜化学工業(株)、日本インター(株)、シャープ(株)、住友電気工業(株)、(株)日立パワーデバイス、(株)明電舎

当小委員会では、半導体信頼性試験規格、半導体の認定試験計画に関するガイドライン、ソフトウェアに関する試験法ガイドライン、ウェハレベル故障メカニズムと試験方法規格化、システムレベルのESDに対する半導体取り扱いガイドライン作成と、ESD耐量の適正化にも取り組んでおり、JEITA規格として標準化を進めると共にJEDEC JC-14との整合、IEC/TC47の直属のWGにおける、半導体デバイスの環境試験方法(WG2)へのNP提案を行う等、積極的に国際標準化を推進しています。また、これらの規格について、国内の一般者向けのセミナーも定期的に開催して、規格、ガイドラインの普及を進めています。

特にJEDEC/JC14(信頼性技術委員会)との合同会議(Joint Meeting)を年1回行い、JEITAとJEDECにおける規格案の情報交換と規格内容のハーモナイズをした上で、IEC/TC47へ規格提案する活動を進めています。

以下に半導体信頼性技術小委員会の組織(体制)および傘下のSC,各PG,WGの2015年度の活動状況ならびに2016年度の活動計画を示します。



※「故障解析技術WG」は新規発足

■半導体信頼性サブコミティ(SC)

ED-4701/002「寿命試験の試験時間、試験個数の決定手順」を、2016年3月に制定しました。この規格は、寿命の定義、稼働環境を明確にし、加速性、統計と確率の理論から、試験合格に必要な試験時間、試験個数を算出する手順を明確化するものです。試験時間や、サンプル数などの試験計画の計算に使う計算用Excelシートについては、「解説部分」にダウンロード先の情報を記載させていただいておりますので、ご興味がある方におかれましては冊子の入手をお勧めいたします。今後、小委員会ホームページからのダウンロードについて検討して参ります。

2016年度は、(1) EDR-4704A「半導体デバイスの加速寿命試験運用ガイドライン」の改正、(2) JEDEC内規格プロジェクト動向に対する対応としてED-4701/301「半導体デバイスの環境及び耐久性試験方法」における「はんだ耐熱性試験改正(Informative/Mandatory 問題)」を予定しています。

また、半導体信頼性試験認定ワーキンググループと協働で、認定試験のガイドライン(EDR-4708A)の改定を進めます。

■半導体信頼性試験認定ワーキンググループ(WG)

自動車用半導体を中心とする認定試験のガイドライン(EDR-4708A)については、ファミリの考え方の取り込みと初期故障率の検証を追加した第3版(EDR-4708B)を昨年度に継続審議中で本年度改定予定です。

また、IEC TC47/WG2 国際標準化についてはCDVが、一票の差で否決になったため、再度チャレンジすべく、米国チームを巻き込み2ndCDVのドラフト案作成と投票に向けて準備を開始している。2017年3月までに2ndCDV投票及びFDIS投票を完了し国際標準化する予定です。

■個別半導体(パワー系)信頼性試験規格プロジェクトグループ(PG)

2015年度は、新たに、個別半導体信頼性試験規格傘下に化合物パワー半導体信頼性技術WGを発足しました。今後、伸張が期待されるSiCやGaNパワーデバイスの信頼性課題や、試験方法の標準化の検討を進めていきます。当該PGでは、パワーデバイスとしての車載用個別半導体製品の認定ガイドの策定を進め、1)スクリーニング方法、2)アバランシェスクリーニング、3)TDDP評価法、ゲートスクリーニング、4)サンプルサイズのガイドを含めた規定をEDR-4711(日本語版)を2016年2月に制定しました。また、ドイツの自動車メーカー5社が作成した、パワーモジュール認定規格LV324との試験方法の整合についても、今後、定期的な打合せの実施を予定しています。

■化合物パワー半導体信頼性技術ワーキンググループ(WG)

2015年度は、「SiCウェーハの結晶欠陥の非破壊検査方法(Part 1: 結晶欠陥の分類)」をEDR-4712/100として2016年3月に制定しました。

この技術レポートの原案は、エネルギー使用合理化国際標準化推進事業委託費(省エネルギー等国際標準開発(国際電気標準分野))「SiCエピ/ウェハに関する国際標準化」国際標準化原案作成委員会(委員長: 関西学院大学 大谷昇教授)で作成され、当該WGで審議しました。

■故障メカニズム/ウェハ信頼性プロジェクトグループ(PG)

日本から提案したCopper Stress Migration基準案を2011年にJEDECに提案して以来、議論を続け今年度にJEDEC基準としてまとめることができました。当初から提案し続けてきた製品レベルの規模換算の基準を盛り込むことができ、Foundryメーカーにも信頼性保証の責任を間接的に持つて貰うことができたことが、大きな成果です。また、国内半導体ユーザー向けにFoundryを使う上での注意点を説明するセミナーを名古屋、大阪、福岡などで今後開催予定です。

■ソフトウェア検討プロジェクトグループ(PG)

EDR-4705A(ソフトウェア試験ガイドライン)を発行し、英語版作成中です。EDR-4705Aの内容が難しいとの指摘を受けて、一般半導体ユーザー向け理解を深めるための追補版作成もしくはEDR-4705A改正について検討中です。

■半導体の取り扱いとESD耐量適正化プロジェクトグループ(PG)

ESD耐量適正化PGでは、管理された工程ではHBM:1000V,CDM:500Vの新ガイドラインを「半導体取り扱いとESD耐量適正化のガイドライン」(EDR-4710)として策定して発行しました。この中で市場で発生の可能性の無いMMの廃止を明記しました。

半導体のデザインルールの微細化に伴い、素子耐圧も必然的に低下している中で、ESD耐量の見直しの必要性が唱えられてきています。

2016年度も、日本国内半導体の競争力低下の一因にもなっている過剰なESD耐量へのワークを排除していくため、ESD耐量と市場不良発生率に相関が無いことの説明と実装工程/取扱い環境にて安全に取り扱うことの出来るESD管理内容の補足をおこない、ESD耐量の適正化を推し進めていきます。



2015年6月に開催したESD耐量適正化セミナーの様子

■故障解析技術ワーキンググループ(WG)

2016年度から、故障解析技術WGを新たに発足させ、故障解析用語の統一や、標準の故障解析手順のガイドライン作成を検討していきます。

<2016年度(平成28年度)組織体制>

主査: 瀬戸屋(東芝)

副主査: 中村(沖エンジニアリング)

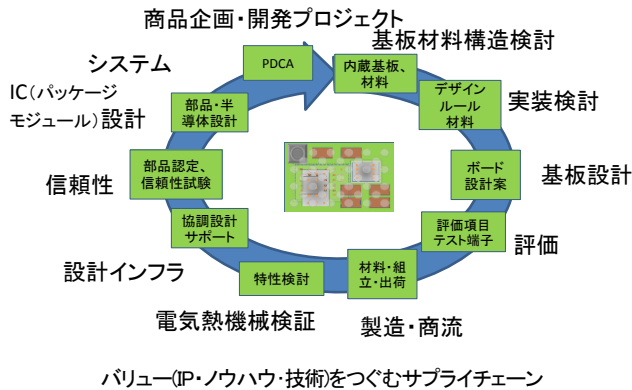
監事: 宮本(ソニー)

参加企業: 25社(順不同・敬称略)

エスベック(株)、沖エンジニアリング(株)、クオルテック(株)、新元工業(株)、(株)東芝、オン・セミコンダクター、新日本無線(株)、(株)ソリオネクスト、ソニー(株)、(株)デンソー、日本電子(株)、HIREC(株)、パナソニック(株)、浜松ホトニクス(株)、(株)日立製作所、富士電機(株)、三菱電機(株)、ローム(株)、ミツミ電機(株)、ルネサスエレクトロニクス(株)、リスター・グラフィックス・ジャパン(株)、シナプティクス・ジャパン(株)、トヨタ自動車(株)、(株)東レリサーチセンター、デバイス・アナリシス(株)

電子機器分野における競争は非常に厳しく、価値の高い製品を短期間で開発して市場に投入することがビジネスの成否を決めます。また、リーマンショック以降、事業構造の変革によりグローバルサプライチェーンの中での分業体制が進んでいます。このような状況の変化から、“ものづくりエコシステム”の構築がこの開発競争に打ち勝つ鍵となってきています。

当小委員会は、電子機器に半導体を部品として活用する場合に「半導体部品の最適な性能を発揮するための設計技術」を構築すべく、LSI・パッケージ・ボード(以下LPB)に代表される電子機器の構成要素に関する情報を、このグローバルサプライチェーンの中に流通させるための標準化活動に取り組んでいます。



【半導体設計技術小委員会が注力する領域】

個別技術の単なる組み合わせでは差別化した商品を生み出せず、優秀な技術のいち早い採用とすり合わせによって、競争力のある製品を構築することが必要です。元来、日本の設計技術はこのようすり合わせ設計を得意とし、差別化技術としてきました。しかしながら、グローバル調達が必要となった今日では、優秀な要素技術・設計パラメータを入手することが非常に困難となり、この差別化技術を効果的に発揮することが難しくなっています。

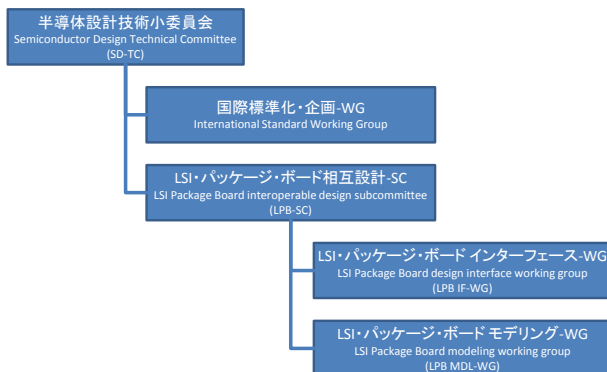
この情報障壁は、各フェーズで設計に関わる情報の書式が統一されていないことが一因です。技術者が情報収集の為にサプライヤーや顧客と延々と会話を繰り返し、自社設計環境にマッチさせるための書式の変換に多くの時間を費やしています。このため、設計開始遅延のみならず、ミスや誤った情報に起因するやり直し、時間切れによる検証不足が原因となる動作不良が発生する恐れがあります。

当小委員会の活動は、流通すべき情報の書式を統一し、情報収集の迅速化・ミスの撲滅・手戻り削減を実現することで、構想を練るための十分な時間を確保し、設計品質を高めることを狙いとするものです。「半導体設計・開発する立場」と「半導体や電子部品を使用し機器設計・開発を行う立場」の双方にとって共通技術となる、インターフェースの標準化に注力します。

【2016年度の活動体制】

2016年度は、戦略的標準化施策を検討する国際標準化・企画WG及び、IEEE Std 2401TM-2015(LPBB標準フォーマット)の拡張ならびに、更なる設計現場への普及等に取り組むLSI・パッケージ・ボード相互設計-SC(LPBB-SC)を設置します。

LPBB-SCの下には、旧EDA技術専門委員会/LPB-WGの活動を継続・発展させるLSI・パッケージ・ボードインターフェース-WG(LPBB IF-WG)と、ライブラリ・モデルの書式統一推進を目指すLSI・パッケージ・ボードモデリング-WG(LPBB MDL-WG)を置きます。



2016年度 半導体設計技術小委員会の活動体制

【国際標準化・企画-WGの活動内容】

2016年度、国際標準化・企画-WGは以下の活動に注力します。

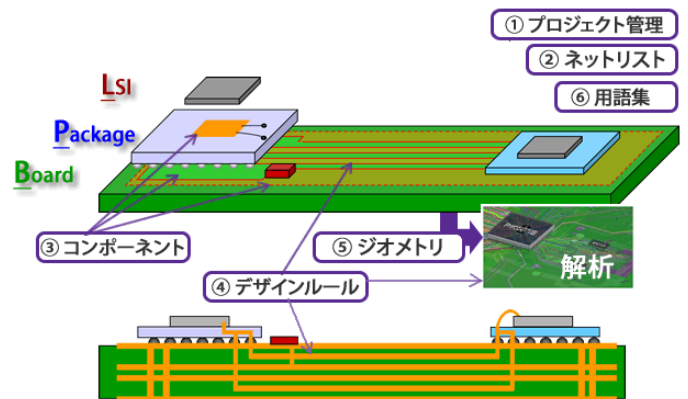
- ①半導体設計技術小委員会内で提案された規格案を国際標準にする活動
IEEE Std 2401TM-2015の改定やLPBB MDL-WGで精査され標準化が必要と判断された規格に対して国際標準化の戦略を立案します。
- ②EDAのハードウェア記述言語の動向把握と研究
EDAのハードウェア記述言語(VHDL, Verilog-HDL, System Verilog, System C等)やシステム設計と連動した設計言語(パワーフォーマット:IEEE1801等)の動向を把握し、内容を研究するとともに、IEEE standardization committee, Design Automation Standards Committeeに参加し協力関係を構築します。

【LPBB-SCの活動内容】

IEEE Std 2401TM-2015 LPBB標準フォーマットは、旧EDA技術専門委員会/LPB-WGの主導で制定されました。

このフォーマットは、下図に示す6つの要素で構成されています。LPBB全体の設計情報を共有し、性能・コストのバランス設計や品質向上に貢献することが期待されます。また、開発のサプライチェーンの中で情報のやり取りを統一し、必要な設計情報を流通しやすくすることにより、準備段階での情報収集時間を飛躍的に短縮します。小規模な模擬セットを想定した試行の結果、LPBB標準フォーマットを使うことで詳細設計や検証にかかる時間を61%削減し、情報の待ち時間を2週間以上短縮することが出来ました。既に、市販EDAツールでの活用も始まり、設計現場への普及が進んでいます。これら設計効率改善への貢献かつ、初めての日本発EDA関連IEEE規格であることが評価され、平成27年度JEITA会長賞を受賞しています。

1. プロジェクト管理(M-Format)
2. ネットリスト(N-Format)
3. コンポーネント(C-Format)
4. デザインルール(R-Format)
5. ジオメトリ(G-Format)
6. 用語集 (Glossary)



IEEE Std 2401TM-2015 LPBB標準フォーマットの構成

LPBB-SCでは、IEEE Std 2401TMを改定し、改良と活用範囲の拡大(3次元や熱設計への対応)を進めるとともに、展示・発表・フォーラムを通じて普及を図り、会員各社の設計環境構築・改善に寄与します。また、ボード・セット設計に必要な半導体モデル、LPBB全体シミュレーションの為に伝送路モデル、半導体設計の為に外部負荷パラメータについて考察を行い、標準化を目指します。

【その他の課題】

その他、車載、IoTを見据えたPowerデバイスや通信規格、GHz世代Logic LSIの設計手法などの技術課題についても、国内外の関連機関と連携しながら標準化のターゲットを模索して行きます。

<2016年度(平成28年度)組織体制>

主査: 福場(東芝)

副主査: 大槻(リコー)

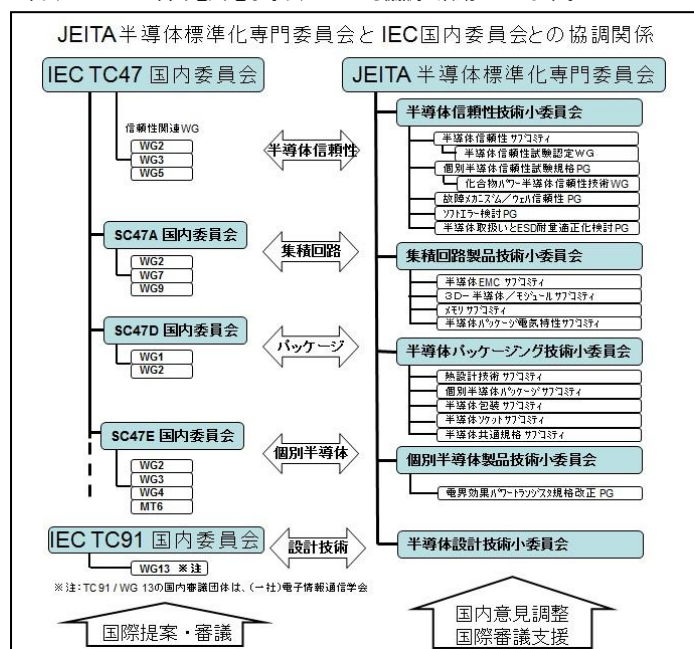
監事: 炭田(パナソニック)

参加企業: 17社(順不同・敬称略)

キヤノン(株)、(株)ジェム・デザイン・テクノロジー、(株)図研、セイコーエプソン(株)、(株)ソシオネクスト、ソニー(株)、(株)デンソー、(株)東芝、日本ケイデンス・デザイン・システムズ社、日本シブシス合同会社、パナソニック(株)、富士通(株)、古河電気工業(株)、メンター・グラフィックス・ジャパン(株)、(株)モーデック、(株)リコー、ルネサスエレクトロニクス(株)

JEITA における半導体分野の標準化活動は、半導体標準化専門委員会において、固有製品技術に関わる「集積回路製品技術」、「個別半導体製品技術」の標準化活動と、製品に共通な技術である「半導体信頼性技術」、「半導体パッケージ技術」、「半導体設計技術」の標準化活動をしています。JEITA では WTO/TBT 協定遵守の観点から JEITA 規格を IEC 国際規格にすることを主眼とし、経済産業省から IEC 国内審議団体業務の委託を受け、IEC の半導体標準化委員会 (TC47) における審議文書の提案・検討・回答処理を支援しています。

さらに国際標準化を目指すことから、デファクト世界標準規格を策定している米国工業会 JEDEC や米国電気電子学会 IEEE とも協調し活動しています。



1. JEITA における技術・標準化活動と IEC 国際標準化活動

半導体標準化専門委員会では、半導体デバイスについての標準化規格(用語、特性項目、特性の評価(測定)方法、環境試験および耐久性試験方法など)や設計技術に関して、IEC を中心にした国際標準化活動を行っています。

製品技術分野の委員会活動として集積回路製品技術小委員会、個別半導体製品技術小委員会、および製品に跨る共通技術分野の委員会活動として半導体信頼性技術小委員会、半導体パッケージング技術小委員会、半導体設計技術小委員会の 5 つのグループに分かれて、半導体製品・設計に関わる標準化等の幅広い活動を行っています。

1.1 集積回路製品技術小委員会

メモリ関連の標準仕様では、近年多様化する中で JEDEC 標準に日本の要求も反映させたグローバル・スタンダード化を目指しています。JEDEC のコミティ/サブコミティ/タスクグループの各主要ポストを確保することで、策定段階での日本の影響力を高めます。半導体 EMC(電磁両立性)関連では、IEC 標準規格の策定を重視し検討技術委員会への参画と標準規格への国内意見の反映を行います。また加盟会社で共同実証実験や EMC シミュレーション等も行い、最新情報の収集にも貢献します。半導体パッケージング関連では、電気的等価回路のモデル化手法を普及させ、実用的な利用を推進する活動を行います。3D 半導体や 3D モジュール関連では、SoC や ASIC 等のロジックチップ間のインターフェイスに着目し、物理的仕様の定義である物理層と、接続確認信号の受け渡しを行うリンク層の標準化議論を進めます。

1.2 個別半導体製品技術小委員会

トランジスタ、ダイオードをはじめ発光ダイオードなど、ディスプレイデバイスの特性や測定方法などの標準化規格作成に取り組んでいます。また IEC/TC47 の SC47E における、マイクロ波デバイス、パワーデバイス、発光ダイオードなどの IEC 規格の制定や改正に関し、標準化活動の支援をしています。この結果 IEC 規格では、日本発案で新規に提案をしていた LED デバイス規格及びフォトダイオード&フォトトランジスタ規格が 2015 年度に発行(IS)されました。また、絶縁ゲートバイポーラトランジスタの JEITA 規格改正を 2015 年度に終了し、2016 年度は IEC 規格改正をスタートしています。電界効果パワートランジスタの JEITA 規格(ED-4561A)の改正および発光ダイオードの JEITA 規格(ED-4912)の改正についても着手しています。

1.3 半導体信頼性技術小委員会

「半導体信頼性試験規格」、「半導体の認定試験計画に関するガイドライン」、「ソフトウェアに関する試験法ガイドライン」、「ウェハレベル故障メカニズムと試験方法」の改正検討とともに、「半導体取り扱いと ESD 耐量適正化ガイドライン」を制定し、JEITA 規格類として標準化を進めるとともに IEC/TC47 直属 WG である「耐候性・機械強度試験(信頼性試験)(WG2)」や「ウェハレベル信頼性試験(WG5)」への新規および改正等の各種提案を行うなど、今後も積極的に国際標準化活動を推進して行きます。また、新たに制定する「寿命試験の試験時間・試験個数の決定手順」、「個別半導体信頼性認定ガイドライン」の規格類を含め、一般の方々も参加可能なセミナーの開催を実施し、規格・ガイドラインの周知・普及に努めて行きます。

1.4 半導体パッケージング技術小委員会

半導体デバイス用パッケージに関して、顧客の利便性を考慮し、同じプリント基板に何社もの半導体が載せられるよう、メリットのある技術案件について審議を行い、ソリューションを提供できる設計ガイドラインや調査報告書等を発行しています。従来は IDM (Integrated Device Manufacturer) として設計から製造・出荷まで一貫生産してきた企業が、昨今のファブライツ戦略の採用によって、東南アジアへの製造外注化が進み、日本企業は製造サイドから主に調達・購買サイドへと変わりつつあります。その中で、標準化テーマも、中間加工品の購入の観点から日本企業の要求を一元化した規格を作成すべく、審議しています。これらの審議案件の例として、パッケージ外観基準、パッケージ用サブストレートの外観基準、パッケージ名称及び組立に関する用語の統一、出荷トレイの物理的要求値、集積回路デバイス用ソケットの標準化、テスト&バーニンソケットとパッケージの位置合わせ精度、製品表示の標準化、半導体パッケージ熱特性ガイドラインの制定を行っています。

1.5 半導体設計技術小委員会

電子機器の機能・性能を決定するシステム LSI の設計技術に関わる活動を行っています。設計技術およびそれに関わる標準化の動向を調査・検討し、発展・推進を図り、更には国内外の関係業界の発展に寄与することを目的として取り組んでいます。国際標準化機関 IEC の SC47A および TC91/WG13 の国内委員会や標準化関連組織 (IEEE/DASC、IEEE-SA 等)と連携して活動しています。具体的には、LSI・パッケージ・ボード (LPB) を相互的に扱う設計環境の標準化のため、JEITA LPB 標準フォーマットを 2013 年 IEEE に提案し、2015 年 11 月に初の日本発 EDA 関連 IEEE 規格制定となりました。今後、Dual Logo として IEC で国際標準となる予定です。本フォーマットにより、LPB 全体の設計情報を共有し、性能・コストのバランス設計や品質向上に貢献することが期待され、既に、EDA ツールでの活用が始まり、設計現場への普及が進んでいます。

2. JEDEC などとの国際協調活動

JEITA では積極的に国際標準化を推進しており、1990 年以来、JEITA の活動から国際標準化になった規格は既に 100 件を超えています。また半導体業界では、ビジネス上世界的に認知度が高い米国の工業会である JEDEC (半導体技術協会)を無視できないことから、半導体標準化専門委員会では、JEDEC と関連する技術分野毎に、IEC を視野に置いた標準規格の情報交換とハーモナイズ活動を行っています。

2.1 集積回路製品技術

メモリ製品の標準化は、ビジネスのタイミングに合わせ、ビジネスに直結する規格作りが必要なことから「標準化規格開発期間の短い JEDEC」の JC42、JC45、JC63、64、11、16 への直接提案活動を行っています。主なものとして、JC42、JC45 では汎用 SDRAM 単体仕様 (JESD79 関係、JESD209 関係) およびモジュール仕様 (JESD21 関係) の規格更新を進めています。JC63 では POP (SiP 3D Package on Package) 規格を 2005 年に JEITA 委員会社などが提案し標準化開始、現在に至ります。JC16 では非終端デジタル IC の広電圧電圧範囲の CMOS DC インターフェースの標準化および低電圧 IC サブコミティ案件について 2009 年に JEDEC へ提案を行い、JEDEC 規格化 (JESD8-23) を実現しました。Flash メモリのインターフェイス規格としては、JC64 で eMMC (JESD-84) および UFS (JESD-220) の規格更新を進めています。

一般社団法人電子情報技術産業協会／半導体標準化関係 規格類・頒布資料類の紹介

JEITA では、IEC や ISO を中心とした国際標準化機関の活動に積極的に取り組んでいます。国際議長・幹事・副幹事を 20 名以上選出し、国内審議団体として委託を受けている国内委員会は 30 以上にのぼります。世界各国で行われる国際会議にも積極的に委員を派遣し、国際標準化活動を展開しています。

組織体制は、共通部門のほか各分野別に標準化委員会を設置し、JEITA の事業分野であるオーディオ・ビジュアル、コンピュータ、情報システム、産業・社会システム関連はもとより、電子部品、電子材料、半導体、電子ディスプレイなどに関する標準化を推進しています。

JEITA に関係する規格には、IEC、ISO、JTC1 等の国際規格、JIS 等の国内規格がありますが、これらを補完するために、業界団体規格として JEITA 規格類を制定・発行しています。オーディオ・ビジュアル機器から、情報通信機器、電子応用機器、電子部品、半導体、ディスプレイ、実装システムに至るまで、540 件以上の JEITA 規格類(JEITA 規格・暫定規格・技術レポート)を発刊し、英語版も 150 件以上発行しています。

JEITA 規格の制定にあたっては、参加委員各社の専門家と、関連する業界団体や大学から有識者を募り、関連委員会傘下に専門の審議機関を設置し検討しています。

また、過去に制定した規格類は、定期的に見直しを行い、改正を行うことで、日々進歩する技術に対応し、IT・エレクトロニクス業界の技術発展、製品の安全性、ビジネス発展に寄与しています。

【JEITA 規格類に関するお問い合わせ】 JEITA ホームページにて、規格を検索することができます。 <http://www.jeita.or.jp/>
規格についてのお問い合わせは、JEITA サービスセンターまでお願いします。
TEL:03-5218-1086 FAX:03-3217-2725 E-Mail:support@jeita.or.jp

【規格類・頒布資料類】

☆個別半導体製品技術小委員会

ED-4002A	個別半導体デバイス用語
ED-4359	マイクロ波半導体デバイスの特性及び測定方法
ED-4511B	ダイオードの定格・特性及び試験方法
ED-4521	3 端子サイリスタの定格・特性及び試験方法
ED-4522	ターンオフサイリスタの定格・特性及び試験方法
ED-4541A	パワートランジスタの定格・特性及び試験方法
ED-4561A	電界効果パワートランジスタの定格・特性及び試験方法
ED-4562B	絶縁ゲートバイポーラトランジスタの定格・特性及び試験方法
ED-4912	発光ダイオード
EDR-4101	リードレス形シリコンダイオード
EDR-4102	小信号ダイオード、小信号トランジスタ及び個別半導体デバイスの形名
EDR-4901	LED 及びフォトカプラ用語

☆半導体信頼性技術小委員会

ED-4701/001A	半導体デバイスの環境及び耐久性試験方法(基本事項)
ED-4701/002	寿命試験の試験時間、試験個数の決定手順
ED-4701/100A	半導体デバイスの環境及び耐久性試験方法(寿命試験Ⅰ)
ED-4701/200A	半導体デバイスの環境及び耐久性試験方法(寿命試験Ⅱ)
ED-4701/301	半導体デバイスの環境及び耐久性試験方法(強度試験Ⅰ-1)
ED-4701/302	半導体デバイスの環境及び耐久性試験方法(強度試験Ⅰ-2)
ED-4701/400A	半導体デバイスの環境及び耐久性試験方法(強度試験Ⅱ)
ED-4701/500A	半導体デバイスの環境及び耐久性試験方法(その他の試験)
ED-4701/600	半導体デバイスの環境及び耐久性試験方法(個別半導体特有の試験)
ED-4702C	表面実装半導体デバイスの機械的強度試験方法
ED-4703	半導体デバイスの工程内評価及び構造解析方法
ED-4703-1	半導体デバイスの工程内評価及び構造解析方法(追補 1)
ED-4704A	半導体デバイスのウエハープロセスの信頼性試験方法
ED-4705	FLASH メモリの信頼性試験方法
EDR-4701C	半導体デバイスの取扱いガイド
EDR-4702	半導体デバイスの品質・信頼性試験方法規格対照表
EDR-4703A	ベアダイの品質ガイドライン
EDR-4704A	半導体デバイスの加速寿命試験運用ガイドライン
EDR-4705A	JEITA ソフトエラー試験ガイドライン
EDR-4706	FLASH メモリの信頼性ガイドライン
EDR-4707	LSI の故障メカニズム及び試験方法に関する調査報告
EDR-4708A	半導体集積回路 信頼性認定ガイドライン
EDR-4709	システムレベル ESD に対応した半導体の ESD 試験方法検討とシステムへの半導体部品実装方法、取り扱いガイドライン
EDR-4710	半導体取り扱いと ESD 耐量適正化のガイドライン
EDR-4711	個別半導体信頼性認定ガイドライン
EDR-4712/100	SiC ウエハーの結晶欠陥の非破壊検査方法 (Part 1: 結晶欠陥の分類)

☆集積回路製品技術小委員会

ED-5001A	3.3V 電源電圧仕様
ED-5002A	2.5V 電源電圧仕様
ED-5003A	1.8V 電源電圧仕様
ED-5004A	1.5V 電源電圧仕様
ED-5005A	1.2V 電源電圧仕様

☆集積回路製品技術小委員会

ED-5006A	1.0V 電源電圧仕様
ED-5007	統一化広電源電圧 CMOS インターフェース規格
ED-5101A	音声出力用集積回路測定方法
ED-5102A	テレビジョン受信機用集積回路測定方法
ED-5103A	リニア集積回路測定方法(演算増幅器及びコンパレータ)
ED-5301	固体撮像素子測定方法
ED-5302	I/O インターフェースモデル技術標準(IMIC)
ED-5511	シンクロナス・グラフィック RAM 及びシンクロナス・ビデオ RAM 標準機能仕様
ED-5512	3.3V 用スタブ直列終端型論理(SSTL_3) 標準機能仕様(電源電圧 3.3V デジタル集積回路インターフェース標準)
ED-5513	2.5V スタブ直列終端型論理(SSTL_2) 標準機能仕様(電源電圧 2.5V デジタル集積回路インターフェース標準)
ED-5514	プロセッサ搭載メモリ・モジュール(PEMM)動作仕様標準
ED-5515	2.5V スタブ直列終端型論理(SSTL_2) 差動入力信号規格
EDR-5202	ASIC 基本性能評価ガイドライン
EDR-5504	シリコンディスク RAM 無し用途 64M ビット級フラッシュメモリ仕様検討報告

☆半導体パッケージング小委員会

ED-7300A	半導体パッケージ外形規格作成に関する基本事項
ED-7301A	集積回路/パッケージ個別規格作成マニュアル
ED-7302A	集積回路/パッケージデザインガイド作成マニュアル
ED-7303C	集積回路/パッケージの名称及びコード
ED-7304	BGA 規定寸法の測定方法
ED-7304-1	SOP 規定寸法の測定方法
ED-7305A	集積回路/パッケージ外形設計指標(ガルウイングリード)
ED-7306	昇温によるパッケージ反りの測定方法と最大許容値
ED-7311-1	集積回路/パッケージ個別規格[TSOP(1)]
ED-7311-2	集積回路/パッケージ個別規格[TSOP(2)]
ED-7311-3A	集積回路/パッケージ個別規格(1.0mm ピッチ T-BGA)
ED-7311-4A	集積回路/パッケージ個別規格(1.27mm ピッチ T-BGA)
ED-7311-5A	集積回路/パッケージ個別規格(SRAM/Flash 用 FBGA)
ED-7311-6	集積回路/パッケージ個別規格(60/90 ピン FBGA)
ED-7311-7	集積回路/パッケージ個別規格(0.5mm ピッチ P-FBGA)
ED-7311-8	集積回路/パッケージ個別規格(0.8mm ピッチ P-FBGA)
ED-7311-9A	集積回路/パッケージ個別規格[P-BGA (キャビティアップタイプ)]
ED-7311-10A	集積回路/パッケージ個別規格[P-BGA (キャビティダウンタイプ)]
ED-7311-11A	集積回路/パッケージ個別規格(119/153 ピン P-BGA)
ED-7311-12	集積回路/パッケージ個別規格[52/64/80/100 ピンロープロファイルクワッドフラットパッケージ]
ED-7311-13A	集積回路/パッケージ個別規格(P-SON)
ED-7311-16A	集積回路/パッケージ個別規格(C-LGA)
ED-7311-17	集積回路/パッケージ個別規格(P-ZIP)
ED-7311-18	集積回路/パッケージ個別規格(P-ILGA)
ED-7311-19	集積回路/パッケージ個別規格(P-SOP)
ED-7311-20	集積回路/パッケージ個別規格(P-SSOP)
ED-7311-21	集積回路/パッケージ個別規格(P-HSOP)
ED-7311-22	集積回路/パッケージ個別規格(P-QFN)
ED-7311-23	集積回路/パッケージ個別規格(PGA)
ED-7311A	集積回路/パッケージ個別規格(P-QFP)
ED-7316	集積回路/パッケージデザインガイド ファインピッチ・ボールグリッドアレイ及びファインピッチ・ランドグリッドアレイ
ED-7318	集積回路/パッケージデザインガイド プラスチックスモールアウトラインノンリード/パッケージ(P-SON)
ED-7324	集積回路/パッケージデザインガイド プラスチッククワッドフラットノンリード/パッケージ
ED-7335	集積回路/パッケージデザインガイド シリコン・ファインピッチ・ボールグリッドアレイ及びシリコン・ファインピッチ・ランドグリッドアレイ
ED-7401-4	半導体パッケージ規定寸法の測定方法(集積回路)
ED-7500B	半導体デバイスの標準外形図(個別半導体)
ED-7502A	個別半導体/パッケージ個別規格作成マニュアル
ED-7617	マトリクストレイデザインガイド
ED-7631	半導体製品出荷用マガジンに於けるリサイクルのための表示方法
ED-7701A	半導体ソケット用語
ED-7702A	テスト・アンド・バーンイン・ソケット試験方法
ED-7711	半導体ソケットデザインガイド オープントップタイプボールグリッドアレイ(BGA)
ED-7712	半導体ソケットデザインガイド オープントップタイプ ファインピッチ・ボールグリッドアレイ及びファインピッチ・ランドグリッドアレイ(FBGA/FLGA)
ED-7713	半導体ソケットデザインガイド クラムシェルタイプ ファインピッチ・ボールグリッドアレイ及びファインピッチ・ランドグリッドアレイ(FBGA/FLGA)
ED-7714	半導体ソケットデザインガイド クラムシェルタイプボールグリッドアレイ及びランドグリッドアレイ(BGA/LGA)
ED-7715	半導体ソケット個別規格オープントップ[54/66 ピン TSOP(タイプ 2)]
ED-7716	半導体ソケット個別規格オープントップ(メモリ用 FBGA)
EDR-7311A	集積回路/パッケージデザインガイド プラスチッククワッドフラット/パッケージ(P-QFP)
EDR-7312	集積回路/パッケージデザインガイド 薄形スモールアウトライン/パッケージ(タイプ I) (TSOP I)
EDR-7313	集積回路/パッケージデザインガイド 薄形スモールアウトライン/パッケージ(タイプ II) (TSOP II)
EDR-7314A	集積回路/パッケージデザインガイド シュリンクスモールアウトライン/パッケージ(P-SSOP)
EDR-7315B	集積回路/パッケージデザインガイド/ボールグリッドアレイ
EDR-7317	集積回路/パッケージデザインガイド 縦形表面実装/パッケージ(SVP)
EDR-7319	集積回路/パッケージデザインガイド クワッドフラット J-リード/パッケージ(QFJ)

☆半導体パッケージ小委員会

EDR-7320	集積回路パッケージデザインガイドスモールアウトラインパッケージ(SOP)
EDR-7321	集積回路パッケージデザインガイドクワッドフラットトリードパッケージ
EDR-7322	集積回路パッケージデザインガイドプラスチックデュアルインラインパッケージ
EDR-7323A	集積回路パッケージデザインガイドピングリッドアレイ(PGA)
EDR-7325	集積回路パッケージデザインガイドクワッドフラットノンリードパッケージ
EDR-7326A	集積回路パッケージデザインガイドヒートシンク付スモールアウトラインパッケージ
EDR-7327	集積回路パッケージデザインガイドシングル・インライン・パッケージ
EDR-7328	集積回路パッケージデザインガイドジグザグインラインパッケージ(P-ZIP)
EDR-7329	集積回路パッケージデザインガイドプラスチックインタースティシャルランドグリッドアレイパッケージ
EDR-7330	集積回路パッケージデザインガイドプラスチックスモールアウトライン J リードパッケージ(P-SOJ)
EDR-7331	集積回路パッケージデザインガイドクワッドテープキャリアパッケージ及びそのキャリア
EDR-7332	集積回路パッケージデザインガイドデュアルテープキャリアパッケージ(タイプ 1、タイプ 2)
EDR-7333	積層パッケージデザインガイド ファインピッチ・ボールグリッドアレイ及びファインピッチ・ランドグリッドアレイ
EDR-7334	代表的熱変形測定方式の比較評価結果
EDR-7335	半導体パッケージ用語集(第一部 パッケージ名称及び部位名称)
EDR-7336	半導体製品におけるパッケージ熱特性ガイドライン
EDR-7336	Package thermal characteristics guideline in semiconductor products
EDR-7337	2 チップ積層型半導体パッケージの熱特性ガイドライン
EDR-7337	Thermal characteristics guidelines of two chip stacked semiconductor packages
EDR-7338	熱電対を利用した測定ガイドライン
EDR-7605	半導体包装の鉛フリー表示方法ガイド
EDR-7619	半導体用エンボスキャリアテープの納入ルール
EDR-7711	半導体ソケットデザインガイドオープントップボールグリッドアレイ(BGA)
EDR-7714	半導体ソケットデザインガイド クラムシェルタイプ ボールグリッドアレイ/ランドグリッドアレイ
EDR-7717	半導体ソケット位置決めシミュレーション技術レポート[FLGA タイプソケット]
EDR-7718	半導体ソケット位置決めシミュレーション技術レポート(FBGA タイプソケット)
EDR-7719	半導体ソケット位置決めシミュレーション技術レポート[QFP タイプソケット]

【JEITA 規格類の入手方法に関するお問い合わせ】 <http://www.jeita.or.jp/>

規格類についてのお問い合わせは、JEITA サービスセンターへお願い致します。

一般社団法人 電子情報技術産業協会 サービスセンター (9:00-17:00) TEL:03-5218-1086 FAX:03-3217-2725 E-Mail: support@jeita.or.jp

【専門委員会・小委員会参加に関するお問い合わせ】

専門委員会・小委員会への参加に関するお問い合わせは、下記担当事務局までお願い致します。

一般社団法人 電子情報技術産業協会 電子デバイス部 TEL:03-5218-1061

一般社団法人 電子情報技術産業協会について

一般社団法人 電子情報技術産業協会(JEITA: Japan Electronics and Information Technology Industry Association of Japan)は、電子機器、電子部品の健全な生産、貿易及び消費の増進を図ることにより、電子情報技術産業の総合的な発展に資し、わが国経済の発展と文化の交流に寄与することを目的とした業界団体です。電子材料から電子部品・デバイス、最終製品に至るまで幅広い分野の様々な課題に取り組んでいます。

世界中がインターネットで結ばれ、エレクトロニクス技術とIT(情報技術)が、様々な形でグローバルに浸透しています。このエレクトロニクス技術の進化とITの進展により、情報・通信・映像・音声等の技術が融合して、新しいシステムや製品が生み出され、経済社会のみならず、人々の生活や文化に至るまで、従来の枠組みを超えた大きな変化がもたらされています。

当協会は、まさに 21 世紀のデジタル・ネットワーク時代を切り拓いていくことを使命としており、電子情報技術の発展によって、人々が夢を実現し、豊かな生活を享受できるようにすることを願っております。

このため、政策提言や技術開発の支援、新分野の製品普及等の各種事業を積極的に展開するとともに、地球温暖化防止等の環境対策にも積極的に取り組んでいます。組織体制は、内外にわたる各分野の課題について調査・研究・審議するため、理事会・政策役員会の下に、総合事業部門として総合政策部会と、6 つの課題別委員会、製品事業部門として 5 つの分野別部会及び関西支部運営部会を設置しています。

また、各分野別部会・課題別委員会の下には、さらに多数の事業委員会、専門委員会などが設置されており、会員会社は希望する委員会に参加することができます。

所掌する産業分野は、サーバやパソコンを含むコンピュータ関連、情報端末機器から、無線通信機器、放送機器、電子計測器、医用電子機器、道路交通システム機器などの「インダストリアル機器」、液晶テレビやプラズマテレビ、デジタル放送受信機器、ケーブルテレビ機器、DVD/ブルーレイ機器、デジタルビデオカメラ、オーディオ機器、カーナビゲーションシステムなどの「コンシューマ機器」、更には集積回路

やディスプレイ半導体、液晶ディスプレイ、PDPなどの「電子デバイス」、受動部品や機構部品などのほか、組立品、電子材料を含む「電子部品」、その他、EDI関連、RFID関連、ソフトウェア、ソリューションサービスなど、多岐に亘っています。

当協会は、これらの産業規模にして40兆円を超える規模を持つIT・エレクトロニクス産業を担う、わが国最大級の業界団体として、政策提言や税制・規制改革等の要望、環境問題への取り組み、知的財産保護への取り組み、各種調査統計事業の充実に努めています。

また、様々な報告書や資料類の発行、国際標準化活動や業界規格の制定、国際会議の開催、海外調査団の派遣、様々なテーマでの講演会やセミナーの開催、「CEAT EC JAPAN」に代表される展示会なども実施しています。



【出典】 <http://www.jeita.or.jp/japanese/about/pdf/about.pdf>

【JEITA 入会に関するお問い合わせ】

入会に関するお問い合わせは、下記にお願いいたします。

一般社団法人 電子情報技術産業協会 総務部 TEL:03-5218-1050

JEITA