

---

# 日本半導体産業の現状と今後の展望

－新たなる展開への実行－

---

2006年3月29日

社団法人電子情報技術産業協会

半導体部会長 **伊藤 達**

(株式会社 ルネサステクノロジ 代表取締役社長兼CEO)

# 本日の懇談会資料

---

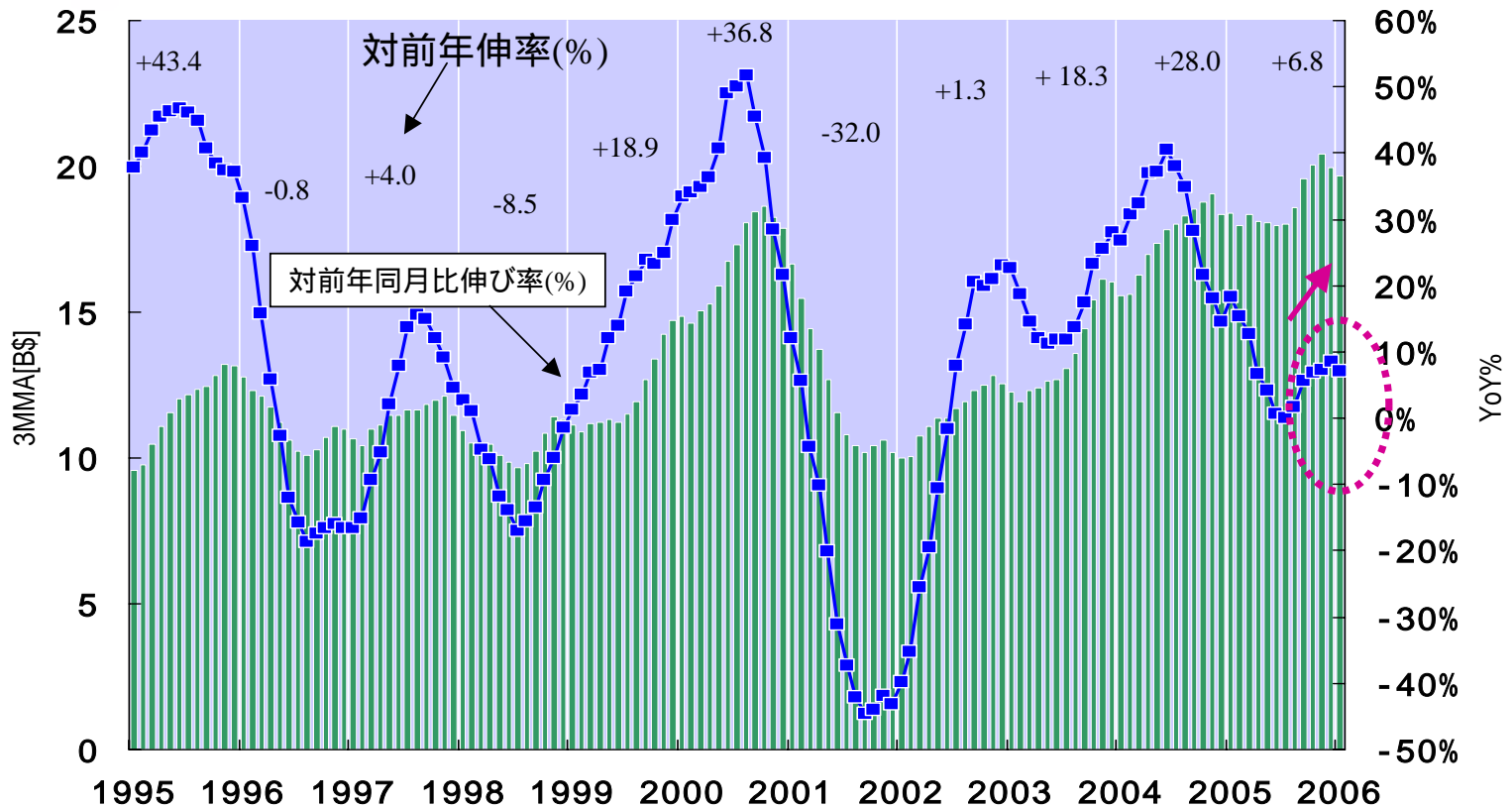
1. 半導体市場動向
2. 地球環境への貢献
3. 半導体国際活動
4. 半導体技術ロードマップ
5. 第2次SNCC進捗

# 1 . 半導体市場動向

# 世界の半導体出荷実績

前年伸び率は'05/3Qから回復傾向

< 出荷額実績(3ヶ月移動平均) >

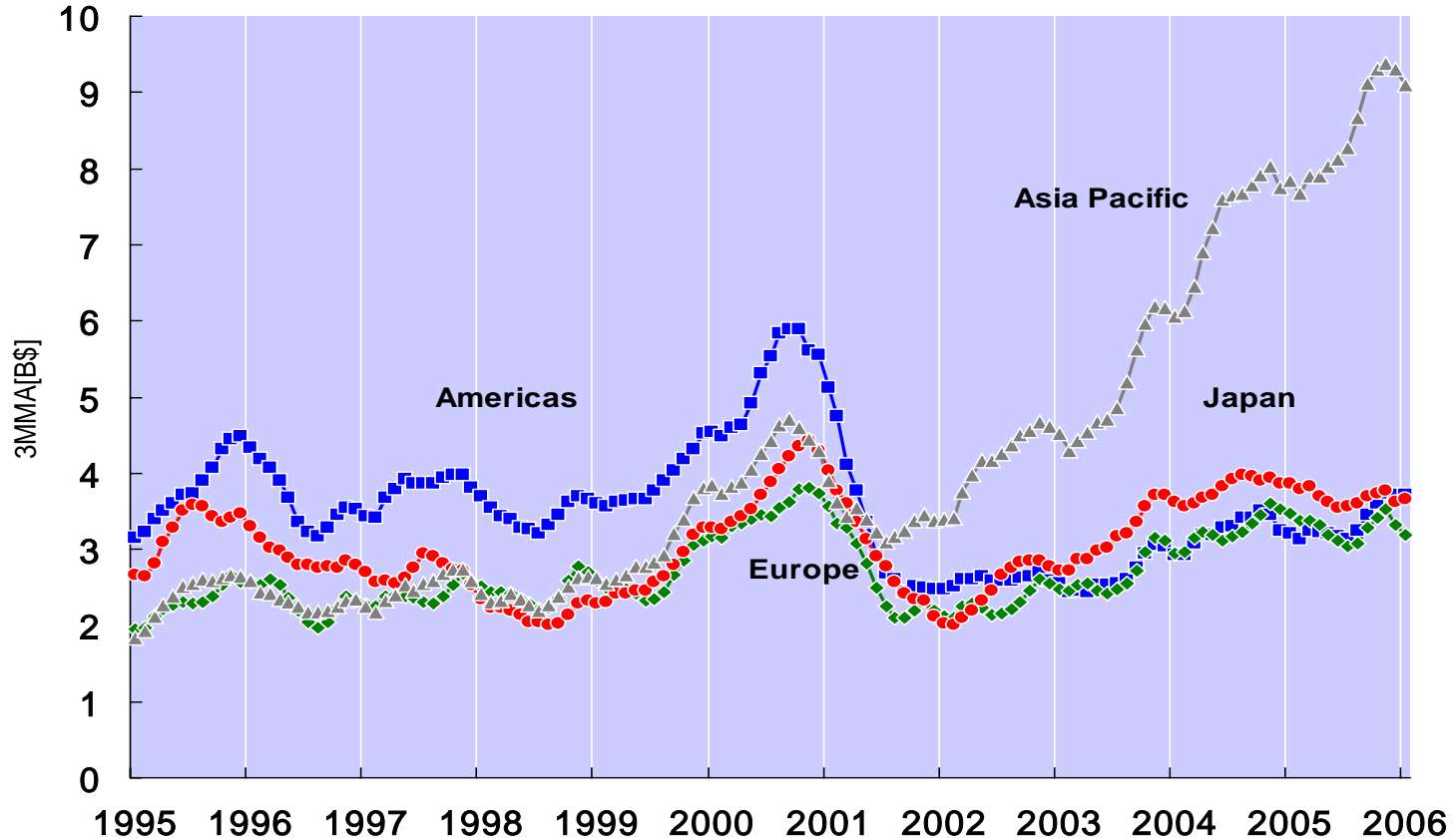


(Source:WSTS)

# 地域別半導体出荷の月次推移

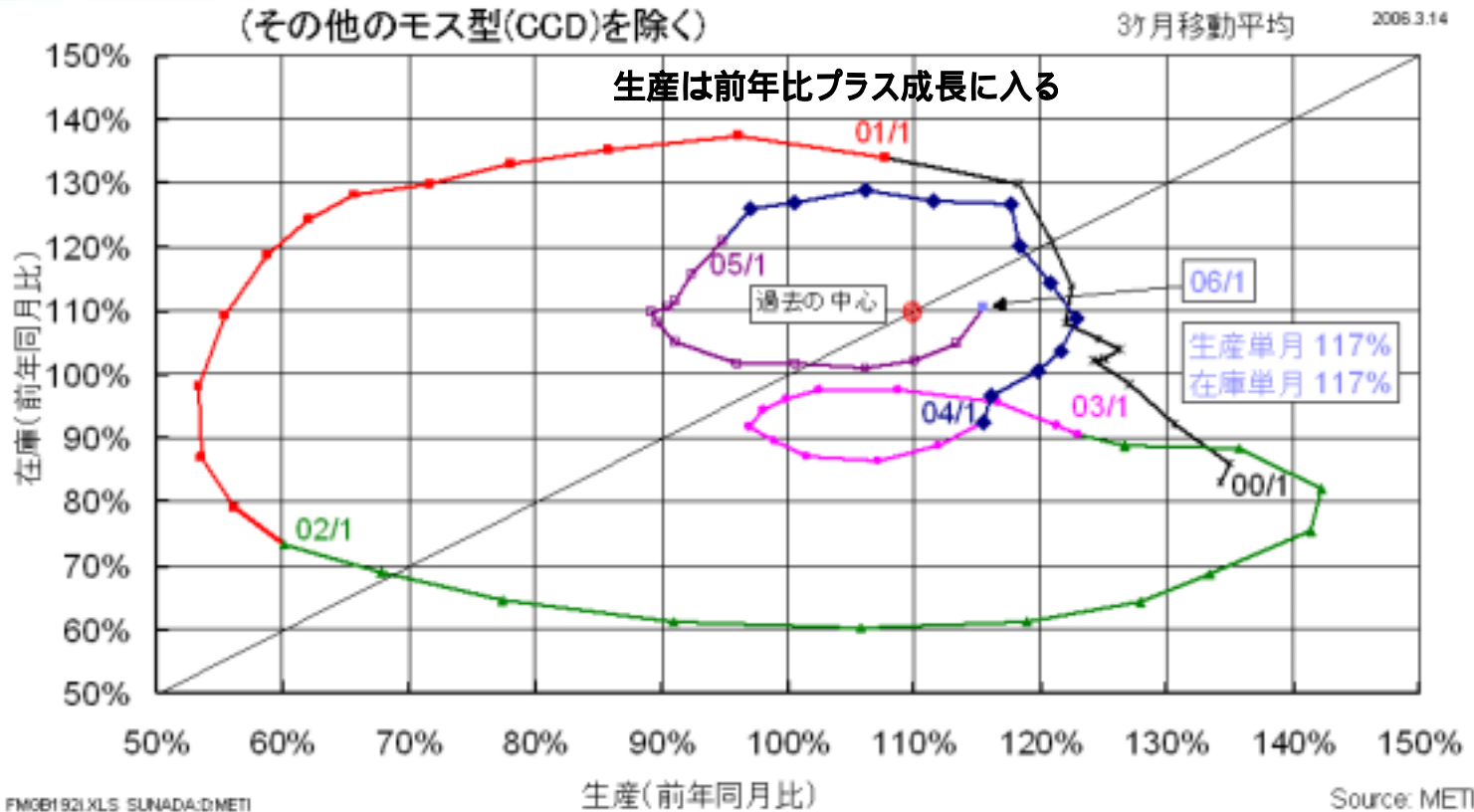
情報/デジタル家電を中心に市場は再び拡大傾向

< 出荷金額:3ヶ月移動平均 >



(Source:WSTS)

# 日本半導体IC 生産と在庫動向(数量ベース)



# 市場成長を牽引する要因

## マクロ経済: BRICsを含め世界的な景気拡大の持続

### 電子機器需要の世界的な拡大

情報/通信/デジタル民生の融合進展  
(3G携帯、モバイルPC、次世代ゲーム)

BRICs, 新興地域への普及・需要拡大  
(Low-End携帯・PC)

携帯電話の対人口普及率('05年末): 中国30%, インド7%

半導体の  
高性能・高機能化  
半導体の  
数量的拡大

### <半導体市場を牽引する主要電子機器需要見通し>

(単位:百万台)

	'05年	'06年	'08年
携帯電話	800	890	1,000
PC	205	230	300
FLATパネルTV	23	36	68

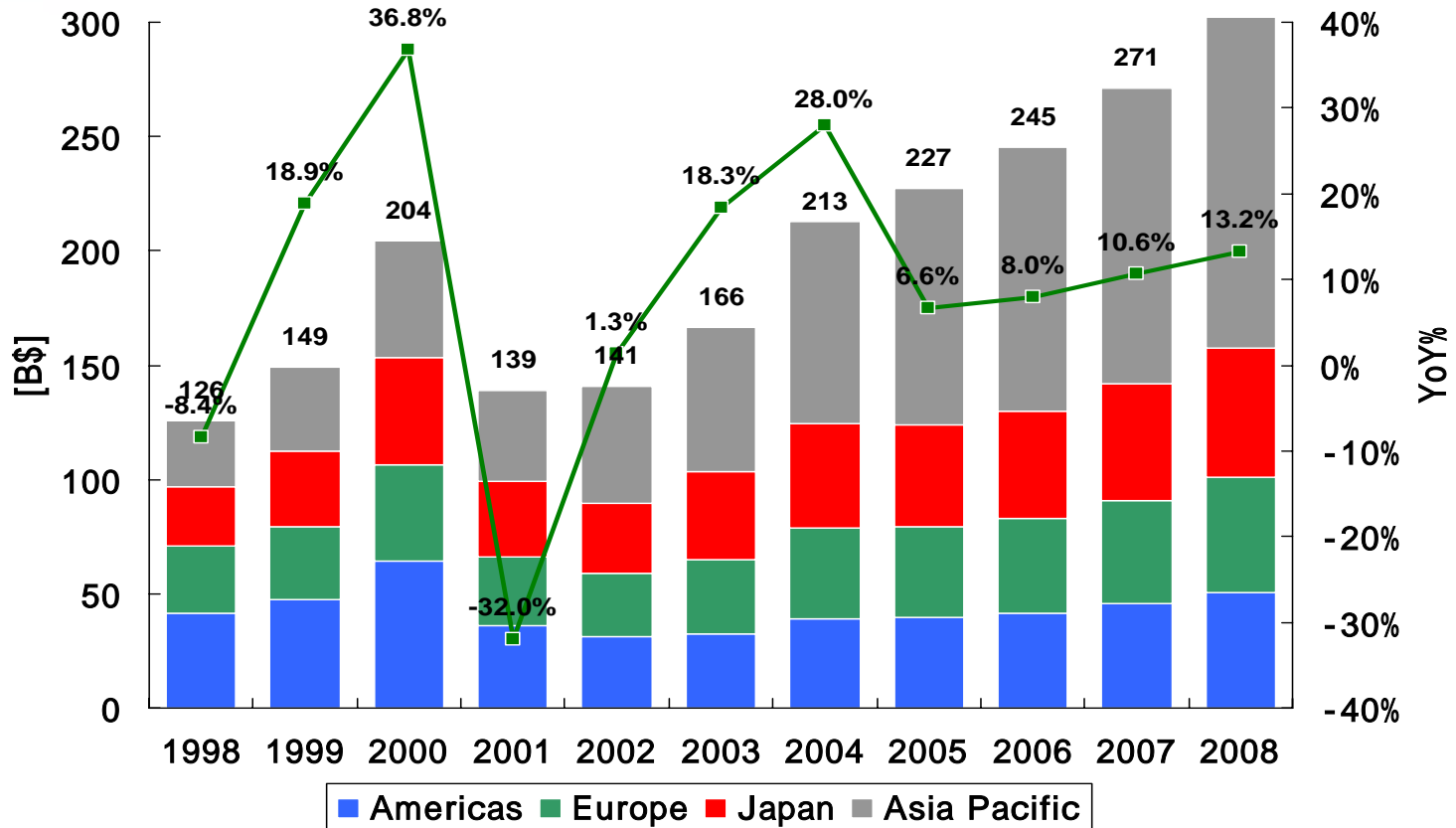
(by 10調査機関平均)

(by 10調査機関平均)

(by JEITA)

# 世界の半導体需要見通し

2008年に向けプラス成長を持続

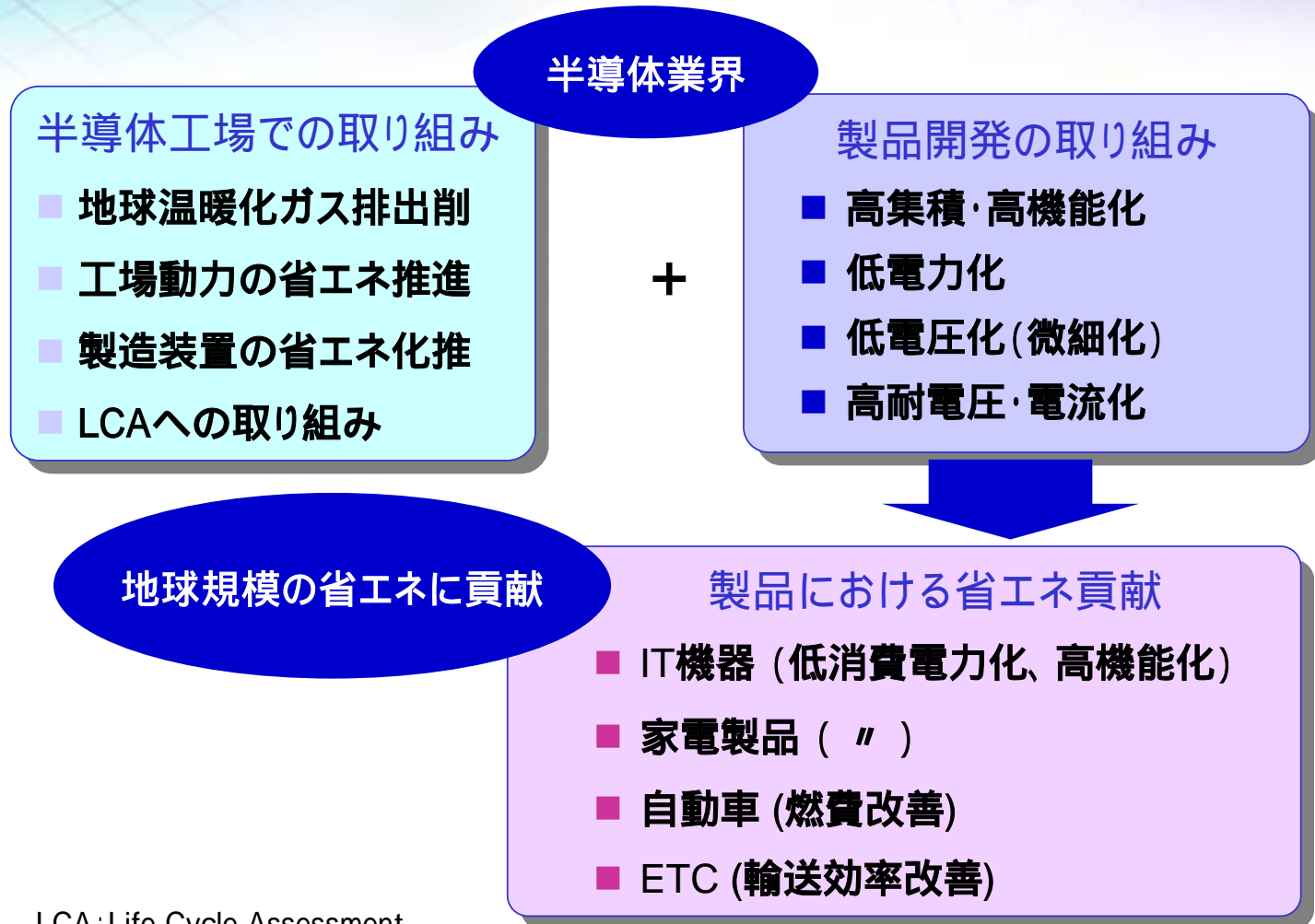


(Source:WSTS)



## 2 . 地球環境への貢献

# 半導体業界の省エネ・地球温暖化への取り組み



LCA: Life Cycle Assessment

# 半導体業界の環境への取り組み

## 1 . 国内活動

### 省エネ・地球温暖化対策

#### PFCガス排出削減

- ・ 2010年までに1995年比 10%以上排出削減・・・順調に削減

#### 省エネ

- ・ 半導体工場の取り組み(最新工場の動力負荷を最適化)
- ・ 動力(JACA)・製造装置(SEMI、SEAJ)メーカーとの協力による省エネ装置・技術の開発

### 製品の環境負荷低減(ライフサイクルアセスメントへの取り組み)

- ・ ロジックLSIのLCA・・・製造プロセスのLCAソフト化(工程変更に対応可)及び、化学物質データベースの構築

## 2 . 国際活動

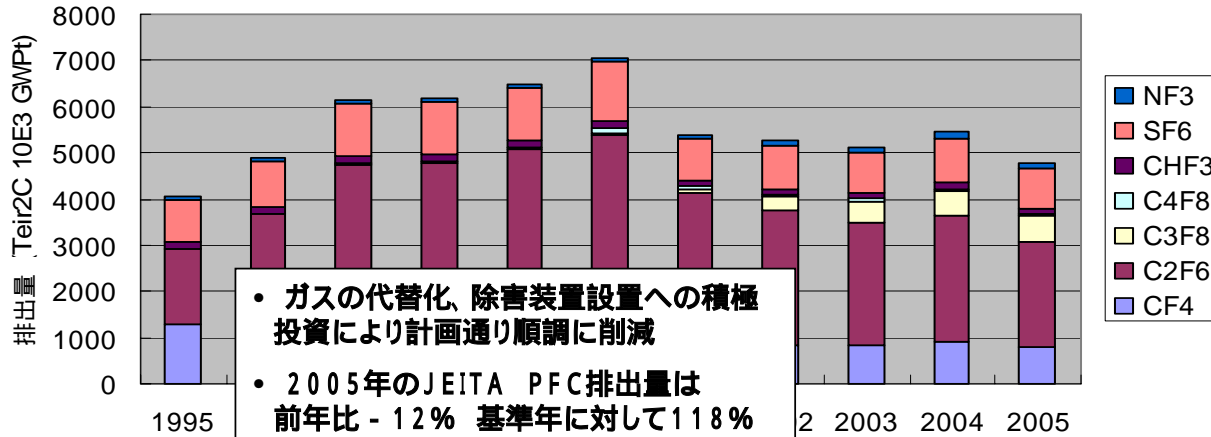
### 環境対策の国際協力と情報共有

#### WSC共同活動でのリーダーシップ

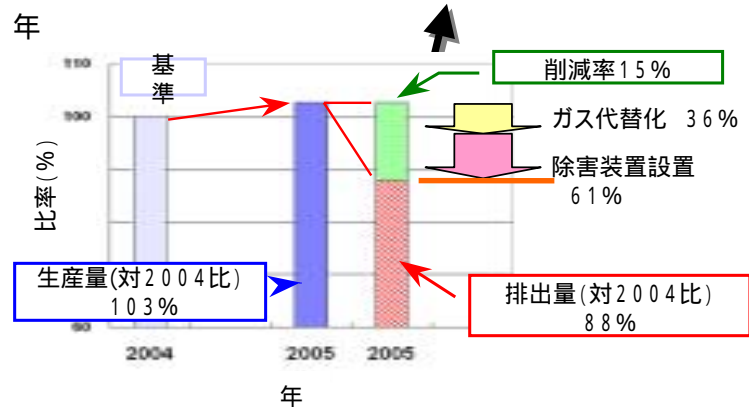
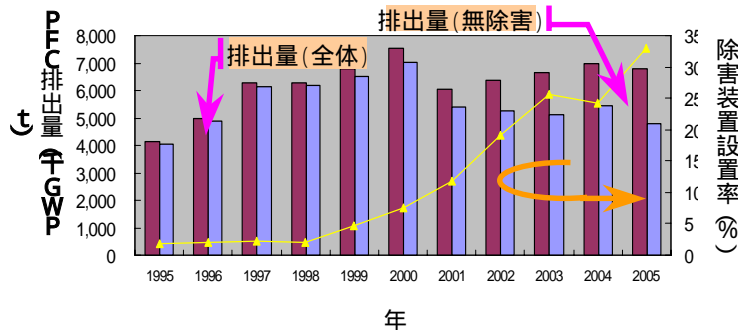
欧州、米国、日本各地で装置メーカーへ半導体業界の省エネ要求を提示

# 地球温暖化ガス排出削減

(CO2 換算、WSC集計対象7ガス)

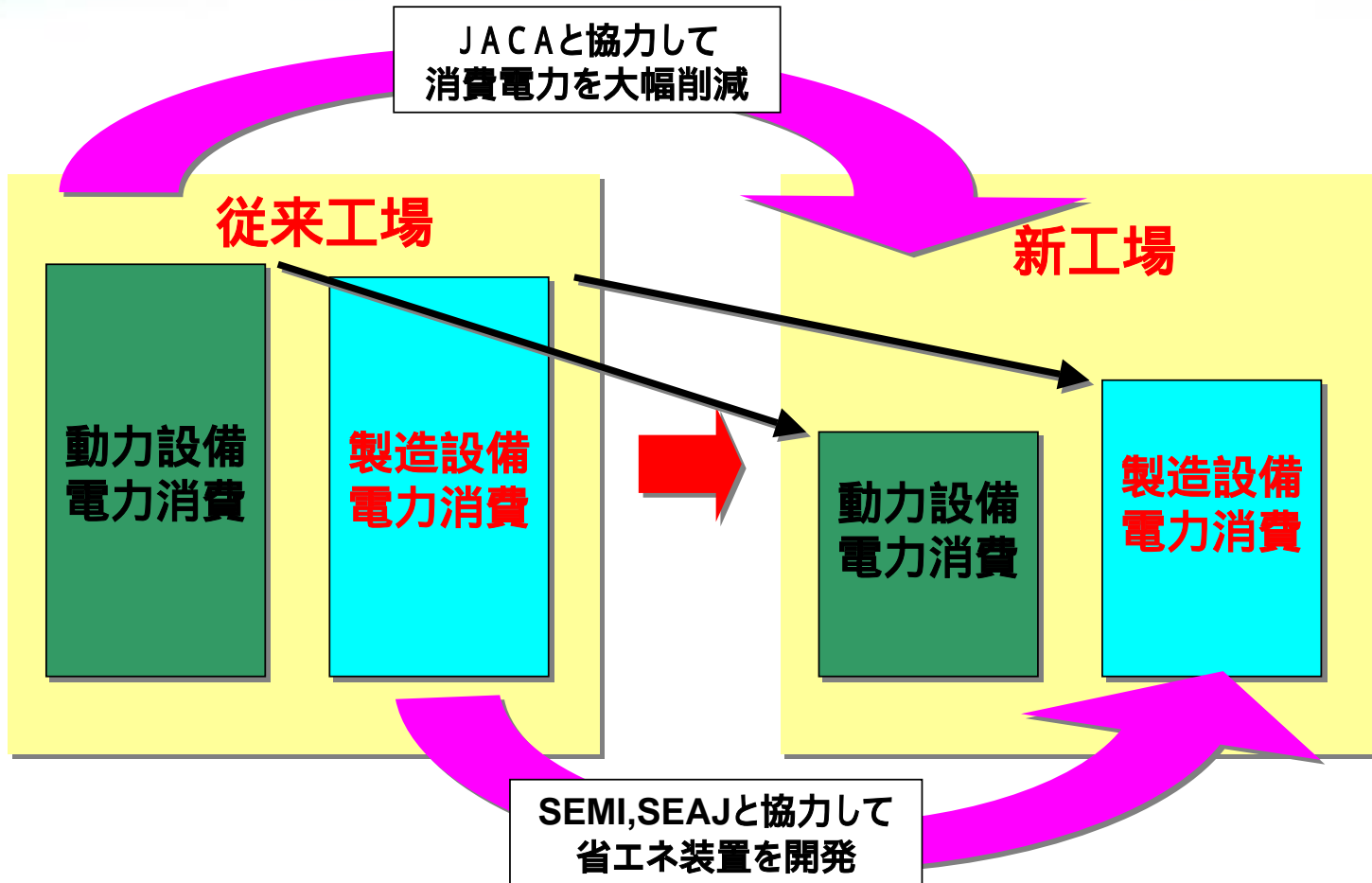


## PFC 除害装置設置比率



# 工場の省エネ

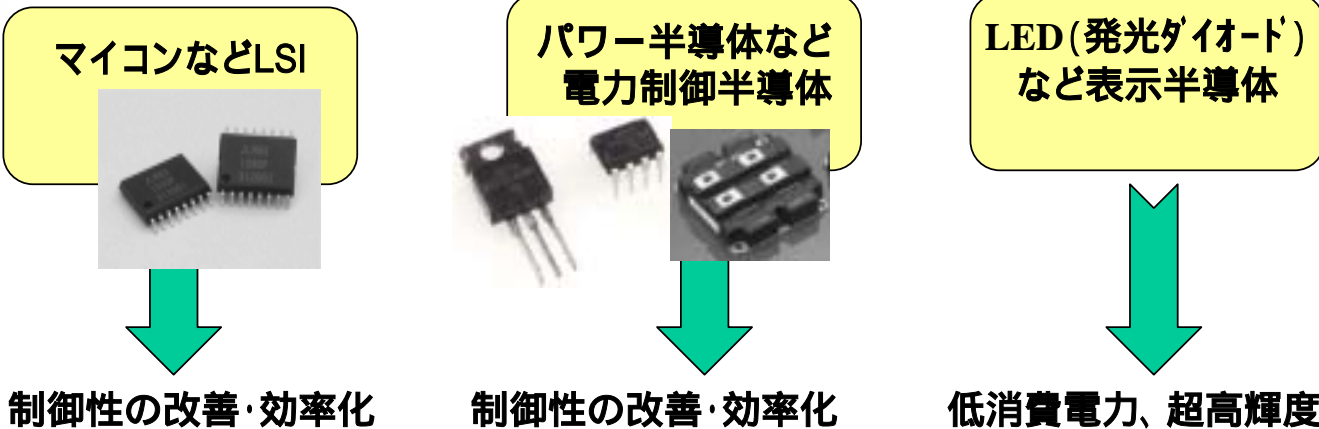
(新工場建設時の省エネ)



# 半導体デバイスによる製品省エネへの貢献

家電製品、OA機器、空調／照明機器などの省エネルギー化には、モータ、ファンなどの制御をインバータ化するなど、パワーエレクトロニクスの応用による制御性の改善・効率の向上、電源部分の電力損失の低減、LEDなど表示半導体といった半導体デバイスの技術革新が大きく貢献する。

品 半  
導 体  
部



献 技  
術 的  
貢

電力消費量、待機時消費電力の低減

代 表 的  
製 品



コンプレッサ、モーターインバータ制御 等



LED照明・電球、信号 等

# 省エネ貢献の例

---

- **自動車エンジン制御**
  - **消費エネルギー 17%削減**
    - エンジンの電子制御化で燃費を改善
- **モーター類のインバーター制御**
  - **消費エネルギー 32%削減**
    - エアコン、冷蔵庫などで省エネを実現
- **交通信号機のLED化**
  - **消費エネルギー 85%削減**
    - LED式信号は、従来の電球式に比べると約8分の1程度の電力消費で 全国にある信号機をすべてLED式に置き換えると火力発電所約2箇所分の省エネが実現できる。

## 3 . 半導体国際活動

JEITA-JSIA



## World Semiconductor Council

設立： 1997年 4月  
 メンバー： EECA-ESIA, JEITA-JSIA, KSIA, SIA, TSIA  
 開催： 年1回

## WSC

次回第10回WSC開催予定日：  
 2006年5月11日(サンフランシスコ/米国)

予想される議題：

通商関係 CP(マルチチップIC) etc.  
 知的財産権  
 環境関係 PFC削減  
 化学物質管理  
 省エネ  
 半導体の社会貢献 etc.

提言

GAMS

Governments/  
 Authorities  
 Meeting on  
 Semiconductors

日米欧韓台の5極の業界メンバーが一同に会し、世界半導体に関わる課題を討議する。  
 提言は5極政府/当局に伝えられ、共同して解決を図る。

## MCP (マルチチップIC) の関税ゼロ化

## &lt; 背景 &gt;

- マルチチップIC: 半導体製品
- 貿易ルール上は半導体製品に分類されない  
欧米韓で関税賦課(日台は既に無税)

## &lt; WSCの対応 &gt;

- 関税無税化実行開始(2006年1月)を政府/当局会合(GAMS)に要望

## &lt; GAMSの対応 &gt;

- マルチチップICの無税待遇協定に関する文書に基本合意
- 2006年初めの無税化実現を目標として必要な国内手続きに着手

【マルチチップICの無税待遇協定】

無税待遇協定は近々発効(2006.4)の予定

米国、欧州、韓国      最大8%    0%

## マルチチップIC:

- 小型・高性能機器実現に必要となる複数のICチップを組み合わせた半導体製品(用途; 携帯電話など)
- 生産・輸出は増加傾向
- 日本の得意な製品(輸出額約2,000億/年)
- 合意5カ国・地域でマルチチップIC生産量は世界の約70%

## &lt; 協定締結の意義 &gt;

WTOに先駆け、日米欧韓台の5極間でマルチチップ集積回路に対する関税無税化を実現

## 例) APEC会議(2006.2.23 ベトナム・ハノイ)

- 日米政府はAPEC市場アクセスグループの場において本協定を紹介
- 本協定への参加を要請
- シンガポールが参加の意向を表明

## 4 . 半導体技術ロードマップ

---

# ITRS 2005 Edition

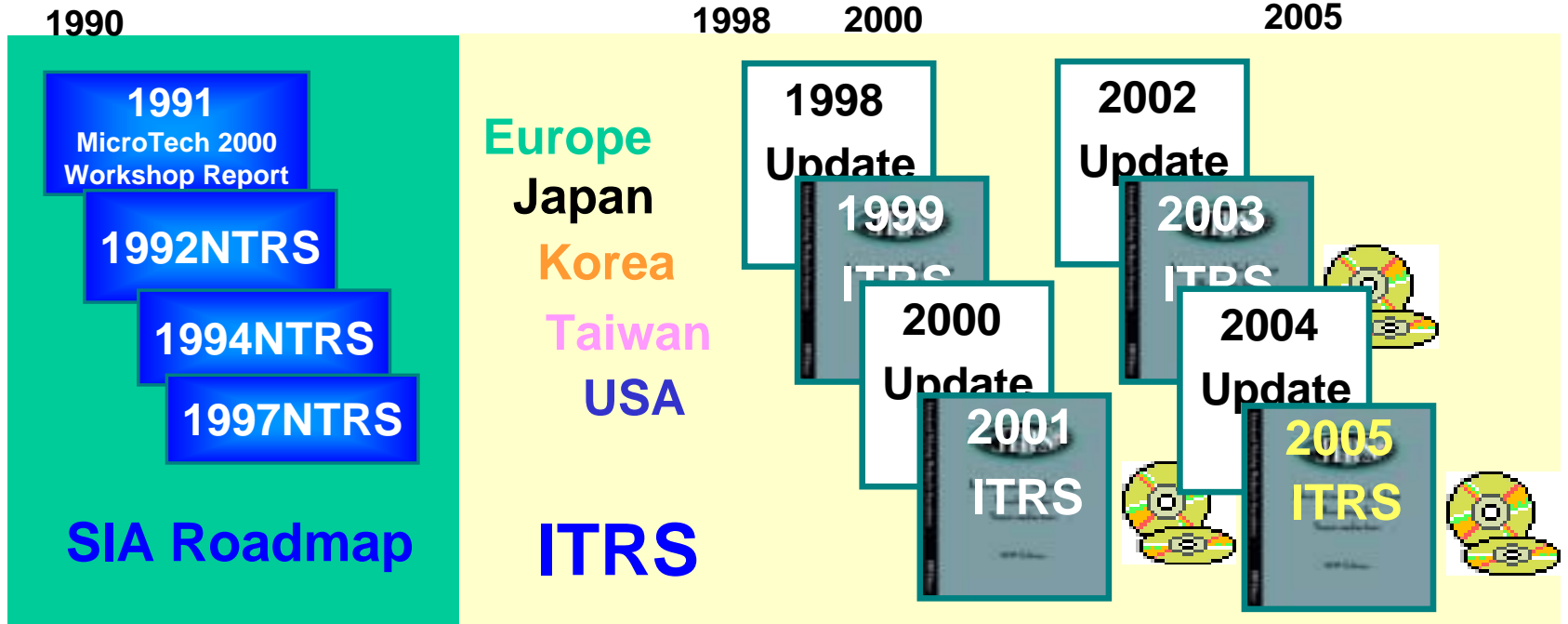
(国際半導体技術ロードマップ2005年版)の概要

---

2006年3月29日  
JEITA半導体技術ロードマップ委員会(STRJ)

- はじめに
  - ITRS編集の歴史
- ITRS 2005 Editionの概要
  - 主要トピックス
  - 微細化トレンド
  - リソグラフィーツール
- ITRS 2005 Editionのメッセージ

# NTRS / ITRSの歴史と現状

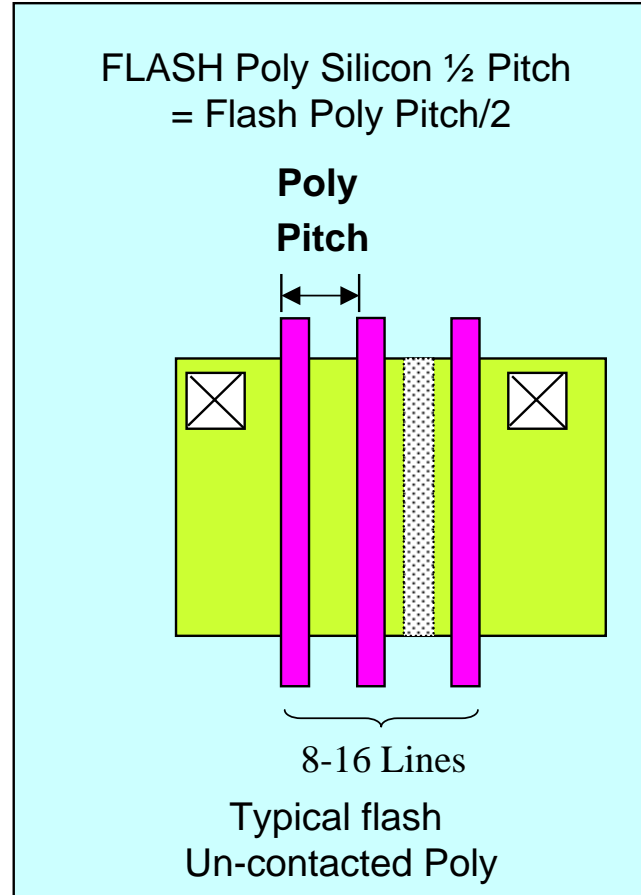
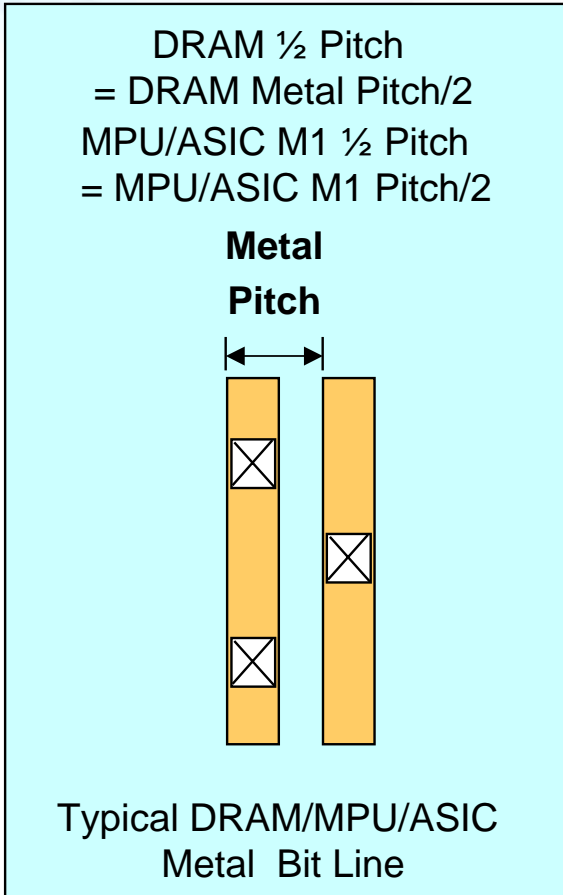


# ITRS 2005 Editionの主要トピックス

---

- 1 微細化のトレンドを見直して、現実をより正確に反映するものとした。
  - (1) 技術ノード(Technology Node)は曖昧な表現であるため、典型的な寸法としてハーフピッチを使うことにした。
  - (2) DRAM, NAND型Flashメモリ、MPU/ASICで別々のロードマップを記載
  - (3) NAND型Flashメモリがもっとも厳しいルール(ハーフピッチ)を使う
- 2 フロントエンドプロセス FEP  
450mmウェーハの導入は2012年としているが、技術的、経済的課題も多い。
- 3 リソグラフィ  
ArF液浸リソグラフィが次世代のツールとして最有力。その次はEUV。  
F2リソグラフィは候補から外れる。
- 4 プロセスとデバイスインテグレーション PIDS
  - (1) 用途別に異なるトランジスタ構造が使用されるという、“parallel path”の考え方を取り込む。技術選択の多様性の幅がひろがる
  - (2) High-k(高誘電率)ゲート絶縁膜材料の導入は2008年に延期
- 5 More MooreとMore than Moore  
微細化(More Moore)とともに、多様化(More than Moore)の視点に言及

# Half Pitchの定義(ITRS 2005)





## DRAM の ハーフピッチ

Year of Production	<u>2000</u> [Actual]	2001	<u>2002</u> [Actual]	2003	<u>2004</u>	2005	2006	<u>2007</u>	2008	2009	<u>2010</u>	<u>2013</u>	<u>2016</u>	<u>2019</u>	2020
Technology - Contacted M1 H-P (nm)	180	151	130	107	90	80	71	65	57	50	45	32	22	16	14

2-Year Technology Cycle  
['98-'04]

3-Year Technology Cycle

## NAND型フラッシュメモリ の ハーフピッチ (DRAMに1年先行)

Year of Production	<u>2000</u> [Actual]	2001	<u>2002</u> [Actual]	2003	<u>2004</u>	2005	<u>2006</u>	2007	2008	<u>2009</u>	<u>2012</u>	<u>2015</u>	<u>2018</u>	2019	2020
Technology - Uncontacted Poly H-P (nm)	180	151	130	107	90	76	65	57	50	45	32	22	16	13	13

2-Year Technology Cycle  
['98-'06]

3-Year Technology Cycle

## MPU/ASIC の 配線の ハーフピッチ (2010年にDRAMに追いつく)

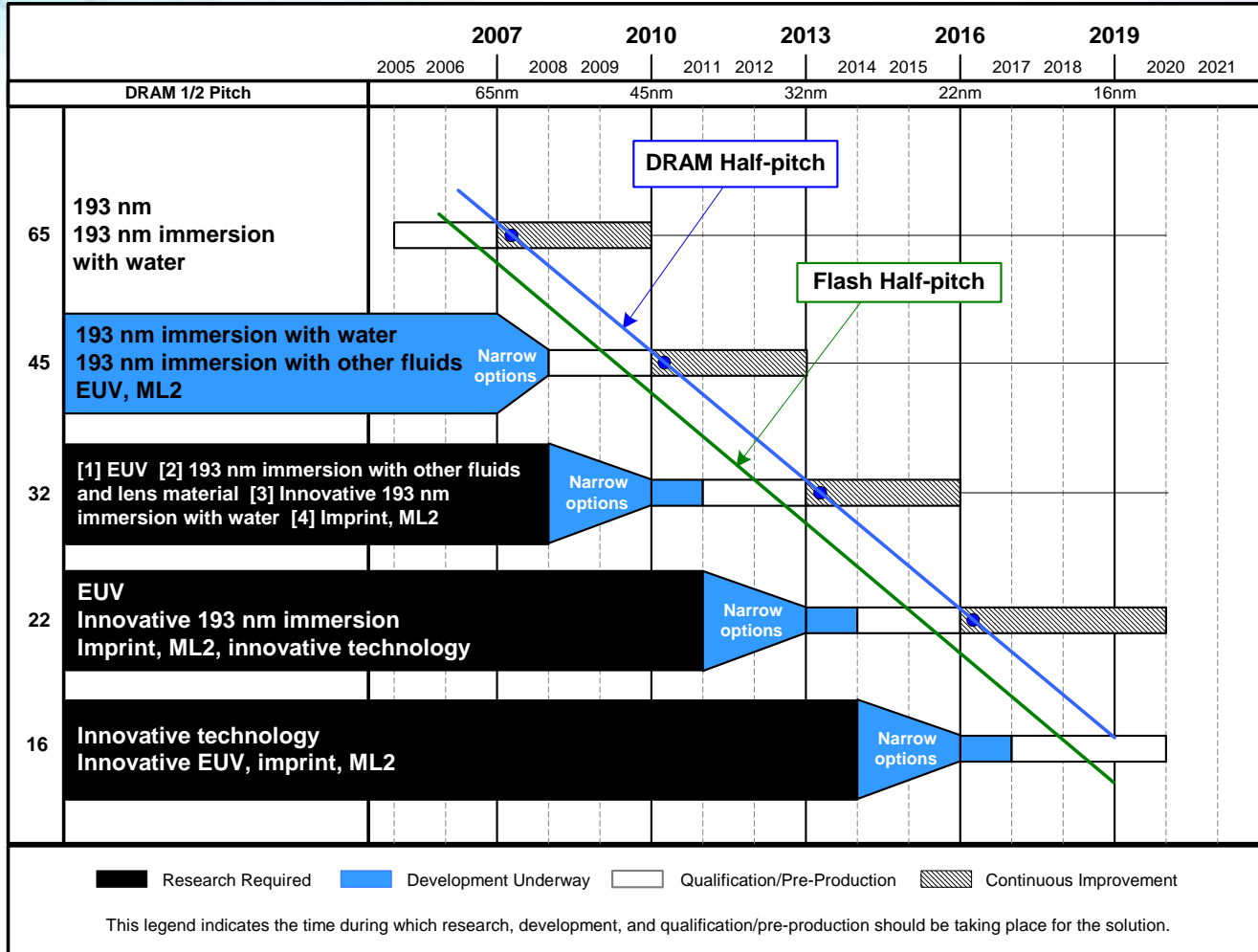
Year of Production	<u>2000</u>	2001	<u>2002</u> [July'02]	2003	2004	<u>2005</u>	2006	<u>2007</u> [July'08]	2008	2009	<u>2010</u>	<u>2013</u>	<u>2016</u>	<u>2019</u>	2020
Technology - Contacted (1 H-P (nm))	180	157	136 [130]	119	103	90	78	68 [65]	59	52	45	32	22	16	14

3-2-Yr  
Cycle]

2.5-Year Technology Cycle

3-Year Technology Cycle

# リソグラフィのロードマップ



# ITRS 2005 Editionの主要メッセージ

---

## 1 半導体産業に対して

- (1) 2005年以降、NANDフラッシュメモリのパターン線幅(セルのパターンのハーフピッチ)の微細化がDRAMに先行するようになった。DRAM、NAND Flash、MPUの微細化トレンドが見直されており、現実をより正確に反映したロードマップとなった。
- (2) この改訂には日本(STRJ)の貢献が大きい。ロードマップの精度向上と定義の明確化は日本としても歓迎すべき方向。
- (3) 2012年に直径450mmのシリコンウェーハが量産に使用される。これに向けて、ウェーハの規格化と標準化、製造装置の開発、投資効率の検討など、半導体に関係する産業界で解決していくべき課題も多い。
- (4) 微細化を実現するためにはリソグラフィーツールが重要で、次世代リソグラフィーの有力候補はArF液浸リソグラフィーとEUVリソグラフィーである。

## 2 一般社会に対して

- (1) 少なくとも2020年ごろまでは、Mooreの法則にしたがって、半導体の素子寸法の微細化が進む(More Moore)。半導体技術の進展は、社会全体のイノベーションの原動力であり続ける。
- (2) 素子寸法の微細化とともに、半導体集積回路の多様化が進む(More than Moore)ことにより、半導体の応用分野がさらに拡大していく。

# 5 . 第2次SNCC進捗

---

# 第2次SNCC(半導体新世紀委員会)報告

—2006年度開始の共同研究開発プロジェクト—

---

2006年3月29日  
社団法人 電子情報技術産業協会 半導体部会  
半導体産業研究所

# 目次

---

## ◆あすか プロジェクト

➤ STARC

➤ Selete

## ◆つくば半導体コンソーシアム (TSC)

**◆ ミッション**

- 日本の半導体産業・技術の国際競争力の更なる発展を目指し、メンバー企業のニーズに先駆けた先行R & Dを推進することで、新技術の早期実用化に貢献する。
- 半導体技術の継続的イノベーションを目指して、産業界・大学・公的研究機関等との連携を主導的に推進する。

**◆ 推進機関**

- (株)半導体理工学研究センター(STARC)
- (株)半導体先端テクノロジーズ(Selete)

**◆ 期間: 2006年4月～2011年3月**

## JEITA半導体部会推進プロジェクト

電子情報技術産業協会  
JEITA  
半導体部会役員会

半導体産業研究所  
SIRIJ

第2次SNCC提言により2006年度開始

### 関係協力組織

次世代半導体  
材料  
技術研究組合  
CASMAT

技術研究組合  
極端紫外線  
露光システム  
技術開発機構  
EUVA

### あすか プロジェクト つくば半導体コンソーシアム

(株)半導体理工学  
研究センター  
STARC

先端設計  
研究開発

産学連携  
教育

(株)半導体先端  
テクノロジーズ  
Selete

先端  
プロセス・デバイス  
研究開発

(NEDO委託)  
MIRAI  
プロジェクト

基盤研究

独立行政法人  
産業技術  
総合研究所  
AIST

技術研究組合  
超先端電子技  
術開発機構  
ASET



## ◆ ミッション

- 国内半導体企業の設計基盤技術力強化。
  - 半導体製品競争力を高めるための共通設計技術開発。特に日本が優位性を主張できる設計メソドロジーおよび設計製造界面技術に重点。
  - 大学との共同研究による新規技術への挑戦。
  
- 国内半導体業界の人材育成。
  - 大学との共同研究を通じた人材交流の促進。
  - STARC支援講座・協力講座による大学の半導体教育支援。
  - STARCアドバンス講座による企業人材の育成支援。

## 2006年度以降のSTARCプログラム

— 総費用：200億円(5年間) —

	テーマ	参加デバイス企業	目標
共通コア プログラム	産学共同研究 と設計教育	11社	<ul style="list-style-type: none"> <li>• 大学共同研究件数を拡大</li> <li>• 各都道府県1大学以上の教育支援</li> </ul>
	標準化	11社	<ul style="list-style-type: none"> <li>• IP再利用・論理設計検証・標準テスト環境等のガイドライン充実、標準MOSFETモデル整備</li> </ul>
先端コア プログラム (コアカンパニー)	プロセスフレンドリー設計技術	7社(富士通、松下電器、NECEL、ルネサス、シャープ、ソニー、東芝)	<ul style="list-style-type: none"> <li>• 2008年 45nm (hp65nm) 世代、2011年 32nm (hp45nm) 世代のSoC設計メソドロジーを実用化、特に設計製造界面技術(DFM)に注力</li> </ul>
選択 プログラム (有志企業)	高位設計	5社	<ul style="list-style-type: none"> <li>• 高位(トランザクションレベル)モデル記述からの設計メソドロジーを実用化</li> </ul>
	テスト・故障解析	7社	<ul style="list-style-type: none"> <li>• 45nm (hp65nm)、32nm (hp45nm) 世代のSoCテスト・故障診断技術を実用化</li> </ul>
	Mixed Signal	7社	<ul style="list-style-type: none"> <li>• 2009年 アナログMixed Signal SoCの開発期間を現状の40%に削減</li> </ul>
	IP育成支援	5社	<ul style="list-style-type: none"> <li>• 業界として90nm試作シャトルサービスを継続</li> </ul>

# 大学共同研究の新しい取り組み

あすか  あすか

研究テーマ数拡大と  
スキームの多様化

## ネットワーク型

関連する分野の研究者の連携

## 連携強化型

連携教授制度などを活用し産業界の研究者が大学研究に参画  
インターンシップ制度の充実

## テーマインキュベーション型

インキュベーション期間を設けて目標ターゲットを絞り込み  
産業界のニーズを的確に反映

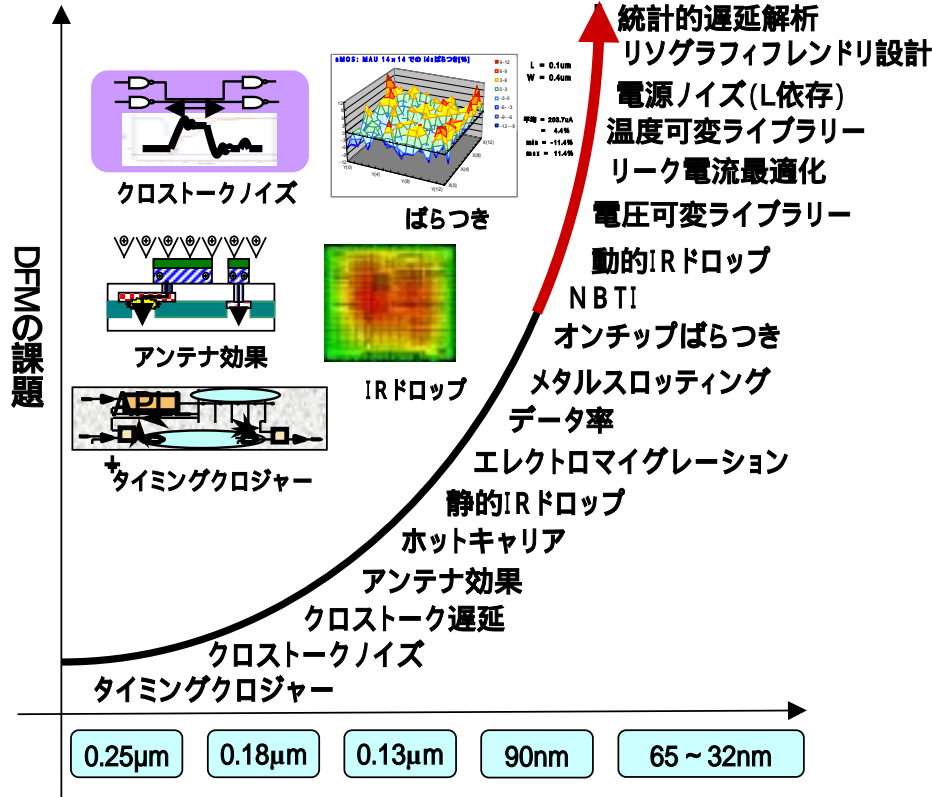
## シーズ型

大学からの提案応募型共同研究  
大学のシーズを発掘・育成

# 設計技術課題とプロセスフレンドリー

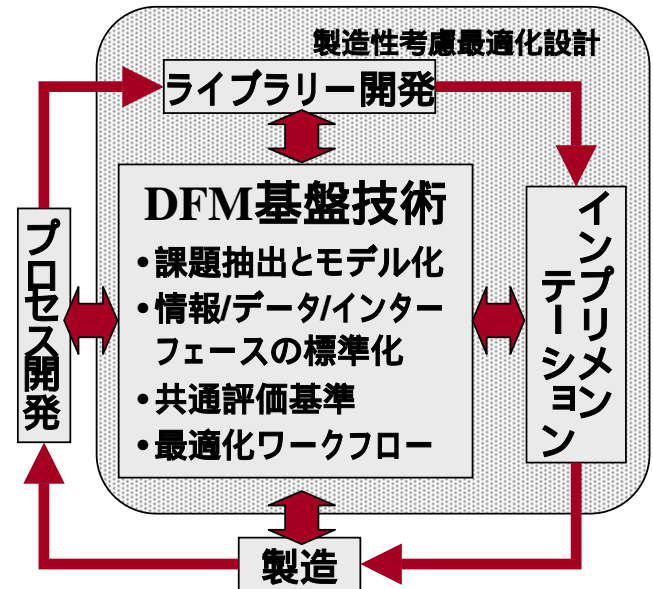
## 設計技術(DFM)開発プログラムの概要

**微細化に伴う設計課題は増加の一途**



製造性考慮最適化設計の新しいワークフローを提案

- 工程間に跨る情報の共有による全体最適化



## ◆ ミッション

- 先端プロセス・デバイス技術の先行的研究開発。
  - 半導体デバイス企業、装置企業の多様な技術開発ニーズに対して、先行的研究開発を行う。特にCMOSのコア技術であるリソグラフィ、フロントエンド、バックエンドの先端研究開発の実用化において先行する。
  - 300mmスーパークリーンルームを活用した11社共通プログラムの開発と実行。
- 新技術分野の産学独連携研究開発の推進。
  - MIRAIプロジェクト受託による技術ブレークスルーを必要とする新技術の開発。
  - つくば半導体コンソーシアムにおいて、国委託プロジェクトなどとの密な連携を実現する。

# 2006年度以降のSeleteプログラム

— 総費用：700億円（5年間） —

プログラム分類	研究開発テーマ	参加企業	研究期間と 内容
先端コアプログラム (コアカンパニー)	・Metal-gate/high-k 実用化技術	デバイスメーカー：6社 (富士通、NECEL、 ルネサス、東芝、松下、 ソニー)	期間：2006年4月から5年間 hp45nm、hp32nm対応の最重要コア技術としてモジュールベースの先行技術開発
	・Low-k/Cu実用化技術	装置メーカー：6社	
国委託プログラム (NEDO委託)  MIRAIプロジェクトの一部を受託	・次世代リソ・マスク 実用化技術	デバイスメーカー：4社 (富士通、NECEL、 ルネサス、東芝)	期間：2006年4月から5年間 hp45nm、hp32nm対応の最重要コア技術としてEUVベースリソグラフィ・マスク先行技術開発
	・次世代マスク基盤 技術	装置・マスクメーカー：8社	
	・カーボン配線技術 (新探求配線)	デバイスメーカー：4社 装置メーカー：1社	期間：2006年4月から2年間 ポストCu配線としてのカーボン配線、LSIグローバル配線としての光配線技術の優位性を追及。微細トランジスタ特性のばらつきに科学的解明と制御手法確立。
	・LSIチップ光配線技術 (新探求配線)	デバイスメーカー：3社	
・ロバストトランジスタ 技術(耐ばらつき技術)	デバイスメーカー：5社 装置メーカー：2社		
共通コアプログラム	・TCAD機能強化技術 ・生産システム技術	デバイスメーカー：11社	期間：2006年4月から5年間 TCAD機能強化と生産性向上



# つくば半導体コンソーシアム(TSC)

---

## ミッション

### - 実用化加速の連携拠点

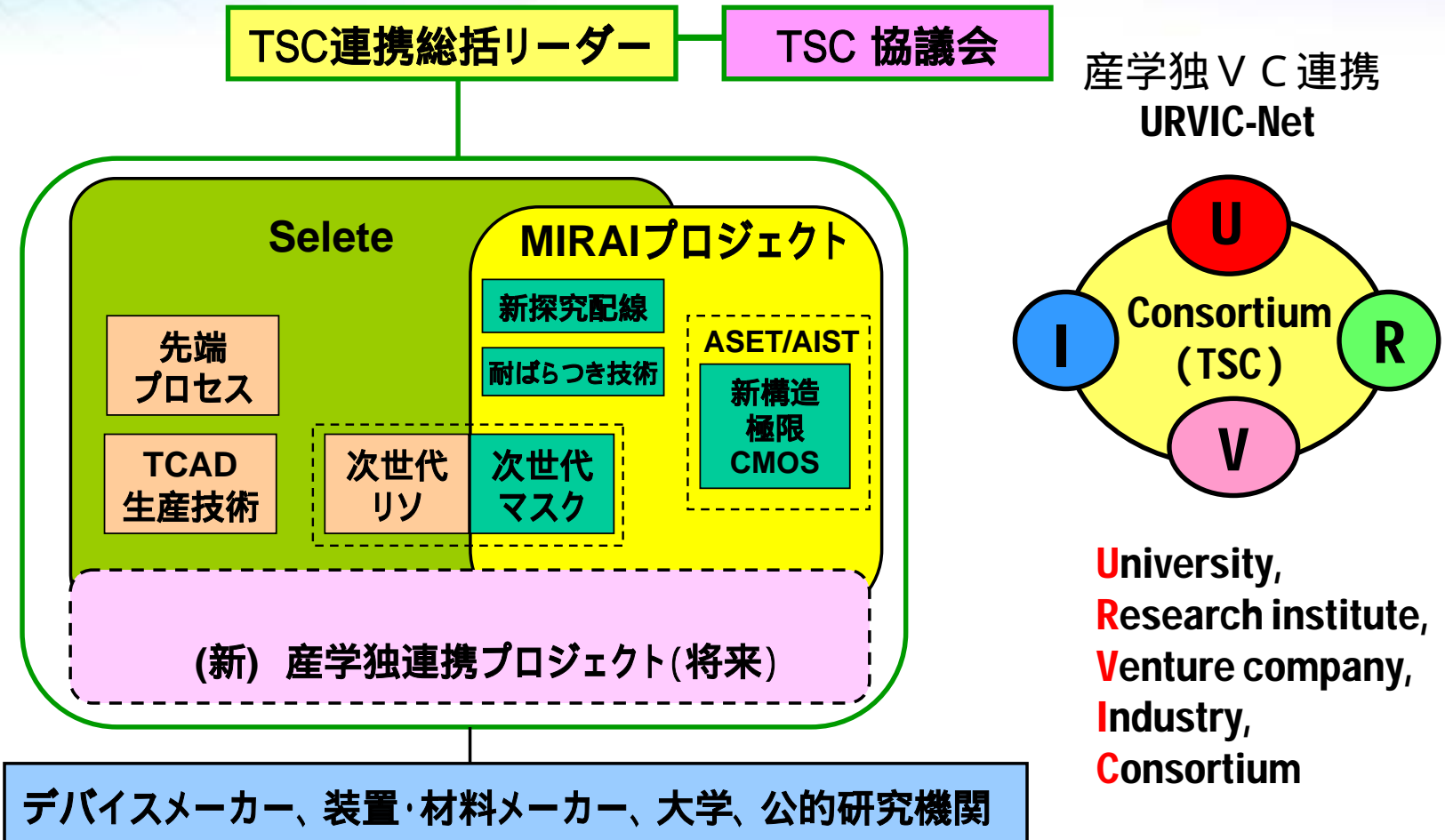
- ・先端半導体の基礎研究から実用化までの研究開発を加速させるため、Selete、MIRAIなどの複数プロジェクトをTSC連携総括リーダーの下で一元的にマネジメントする。

### - 研究開発活動のCOE

- ・国内外の関連機関との連携を深め、先端半導体デバイス・プロセスの基礎研究並びに人材育成を通して、TSCを研究開発のCOEとする。
- ・大学・公的研究機関・ベンチャー・産業界・コンソーシアムを結ぶネットワークの拠点となり技術交流と情報交換を行う。(産学独VC連携:URVIC-Net)



# つくば半導体コンソーシアム(TSC)の運営とURVICネット



つくば半導体コンソーシアム連携総括リーダー

**渡辺久恒**

(株)半導体先端テクノロジーズ代表取締役社長