

第2次SNCC(半導体新世紀委員会)報告 —2006年度以降の半導体共同研究開発体制—

2005年7月12日

社団法人 電子情報技術産業協会 半導体部会

半導体産業研究所

第2次SNCC提案背景

- 日本半導体技術の競争力強化に向けて -

- ◆ 半導体はシステム機器の競争力を決める中枢であり、ユビキタスネットワークなどの新しい応用市場を開拓。
- ◆ 日本の半導体産業の課題は、強い製品戦略の再構築。
- ◆ 先端LSIのプロセス技術・設計技術は大きな変革の時代を迎えており、ブレークスルー技術への挑戦が不可避。
- ◆ ビジネスモデルの多様化が進み、技術ニーズも多様化。
- ◆ “あすかプロジェクト”は2006年3月に終了、しかし技術革新の速度は速く、産業界の力を結集することによる先行技術基盤の強化が必要。
- ◆ CMOS技術の限界を控えて国を挙げた技術革新への挑戦が必要であり、先端半導体研究開発に対する産学官連携の更なる強化と研究開発システムの再構築が必要。

2004年6月の第2次SNCC構想提案を受けて実行のための具体策を提案。

半導体技術開発を取巻く環境の変化

- ◆ スケーリング則、ムーアの法則が破綻
 - CMOSの性能限界
 - 消費電力の限界
- ◆ 経済性の限界
 - プロセスコスト、リソグラフィーコストの増大
 - SoC開発コスト(ハードウェア/ソフトウェア)の増大
- ◆ プロセス・設計連携の重要性増大
 - 性能向上、低消費電力化
 - Design for Manufacturing
- ◆ R & Dアウトソーシングの増加
 - コア技術、キー技術開発への選択と集中が重要
 - エマージング技術への挑戦が重要

現在の半導体共同研究開発体制

1. あすかプロジェクト:

- 目的: 1)先端SoC開発の非競争領域の共通技術基盤の共同構築
2)最先端技術課題の共同研究開発によるブレークスルー
- 期間: 2001年4月～2006年3月
- 内容: 90/65nmSoCプロセス・設計技術の確立
- 研究開発組織
プロセス: Selete 場所:つくば(産総研スーパークリーンルーム)
設計: STARC 場所:新横浜

2. ASPLAプロジェクト:

- 目的: 1)90nmノード対応SoC業界標準プラットフォームの構築
2)IP・SoCの試作・検証による設計資産蓄積と流通のための仕組み作り
- 期間: 2002年10月～2007年9月
- 内容: 90nmSoCテクノロジープラットフォームの確立
- 研究開発組織
プロセス: ASPLA 場所:相模原(産総研相模原クリーンルーム)
設計: STARC 場所:新横浜

第2次SNCC構想にもとづく具体策提案

1. 先端半導体技術の共同研究開発プログラム再構築

- 1-1 Seleteは2006年4月以降、半導体プロセス開発の拠点として、コアカンパニー主導による新たなプログラムをスタート。またMIRAIなど国家プログラムとの間で新たな産学官連携システムを構築。
- 1-2 STARCは2006年4月以降、半導体設計開発の拠点として、新たなプログラムをスタート。また産学連携の拠点としてその機能を強化。
- 1-3 ASPLAは300mm対応90nmノードの業界標準プロセス開発を計画通り終了見込み。65nm対応は90nmノードの延長で各社が開発。

2. コンソーシアムのマネージメント方法を変更

従来の11社共同による共通コアプログラムに加えて、先端プロセスを志向する企業の主導による先端コアプログラム(参加企業をコアカンパニー)、および有志企業の主導による選択プログラムを創設。開発スピード向上とニーズ多様化に対応。

新Selete

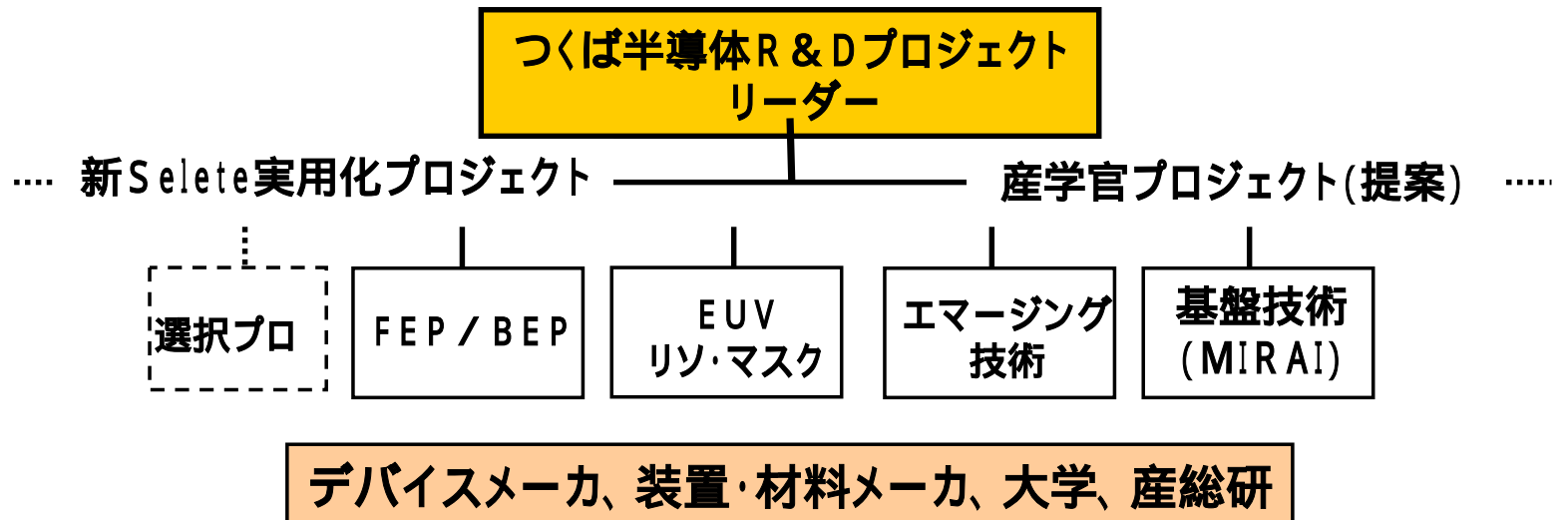
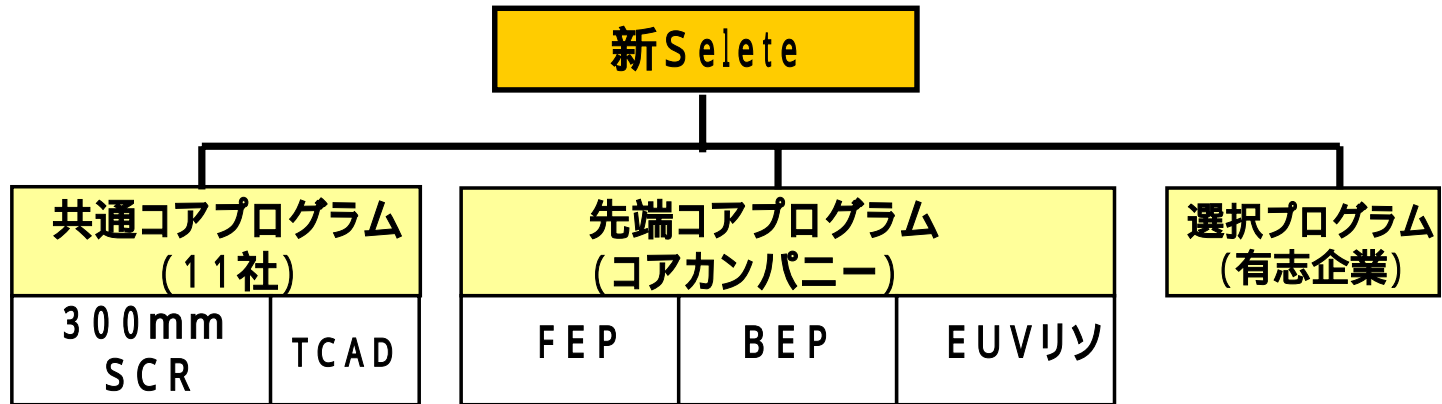
- ◆ Seleteは、2006～2010年度、新たなコアカンパニー制で、hp45nm / 32nmに対応する新技術候補の実用化研究開発プログラムを開始。(06 / 4以降を新Seleteと仮称)。
 - ◇ Metal - G / High - Kの本格的な実用化を中心にスタートするFEPプロジェクト
 - ◇ ポーラスLow - Kの本格的な実用化を中心にスタートするBEPプロジェクト
 - ◇ 次世代リソグラフィ候補であるEUVのリソ・マスクプロジェクト
 - 上記PJは、2005年度までのSelete、MIRAI - PJ、EUVA - PJ各成果を基に開始。
 - 上記PJは、デバイスメーカー以外に装置・材料・マスクメーカーがパートナーとして参加。
 - 総開発費、約100億円 / 年。
- ◆ 新Seleteは、EUVのリソ・マスクプロジェクトの一部には、国の支援を期待。
- ◆ 産業界は、産学官プロジェクトへ以下のことを期待。
 - ◇ MIRAIプロジェクトには、よりチャレンジングな先端基盤技術。
 - ◇ 新コンセプトによるエマージング技術への早期取り組み。

(FEP:フロント・エンド・プロセス、BEP:バック・エンド・プロセス、EUV:極端紫外線露光技術)

つくばR & Dセンター構想 —つくば半導体R & Dプロジェクト—

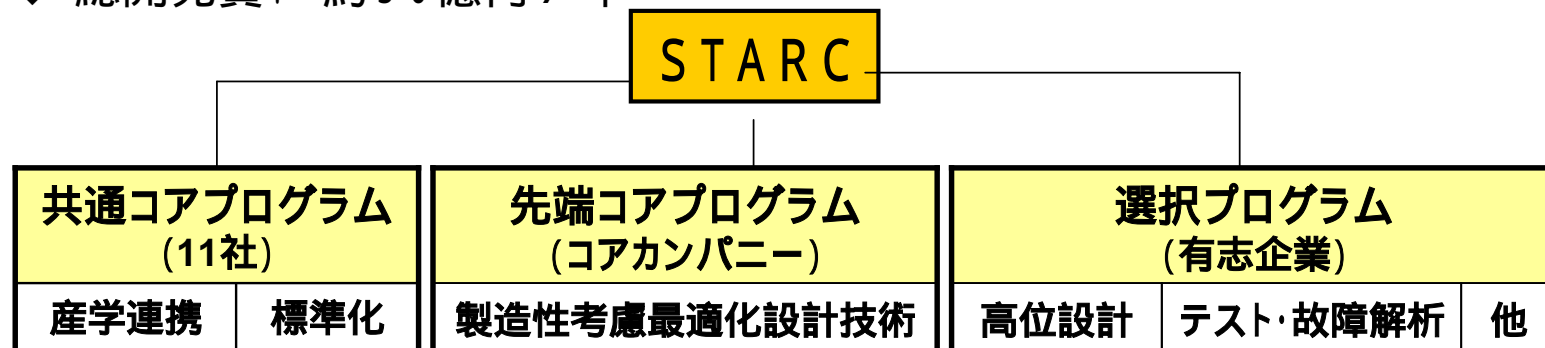
- ◆ 日本における先端半導体プロセス研究開発の産学官拠点(つくばR & Dセンター)を目指す。
 - つくばR & Dセンターで行われるプロジェクトを統括するリーダーを置き、その下に一元化されたプロジェクトマネジメントを実現(つくば半導体R & Dプロジェクト)。
 - 新Seleteが300mmラインで行うモジュールベースの実用化開発プロジェクトと産学官プロジェクトで行う新技術(新材料/新プロセス)開発の間の連携を強化。新技術の実用化判断を早期に達成。
 - hp45nmの候補技術絞込みのマイルストーンである2年後の2008/4につくば半導体R & Dプロジェクトの見直しを行う。

“つくば”における新R & D体制およびプロジェクト



STARC新プログラム

- ◆ STARCは、半導体設計技術の開発拠点として、2006～2010年度に新たなプログラムを開始。
 - 先端コアプログラムとして、DFM(Design for Manufacturing)を中核に、次世代SoCの設計・製造の全体最適化を実現する共通設計基盤技術を開発。このプログラムには国の支援を期待。
 - 選択プログラムとして、有志企業により、高位設計技術、テスト・故障解析技術等を開発。
- ◆ STARCは産学連携の一環として進めてきた大学共同研究の実績を踏まえて、これに新しい仕組みを導入し、SoC設計教育と共に共通コアプログラムとして強化、継続。
- ◆ 総開発費： 約50億円/年



➡ 産学連携センター構想

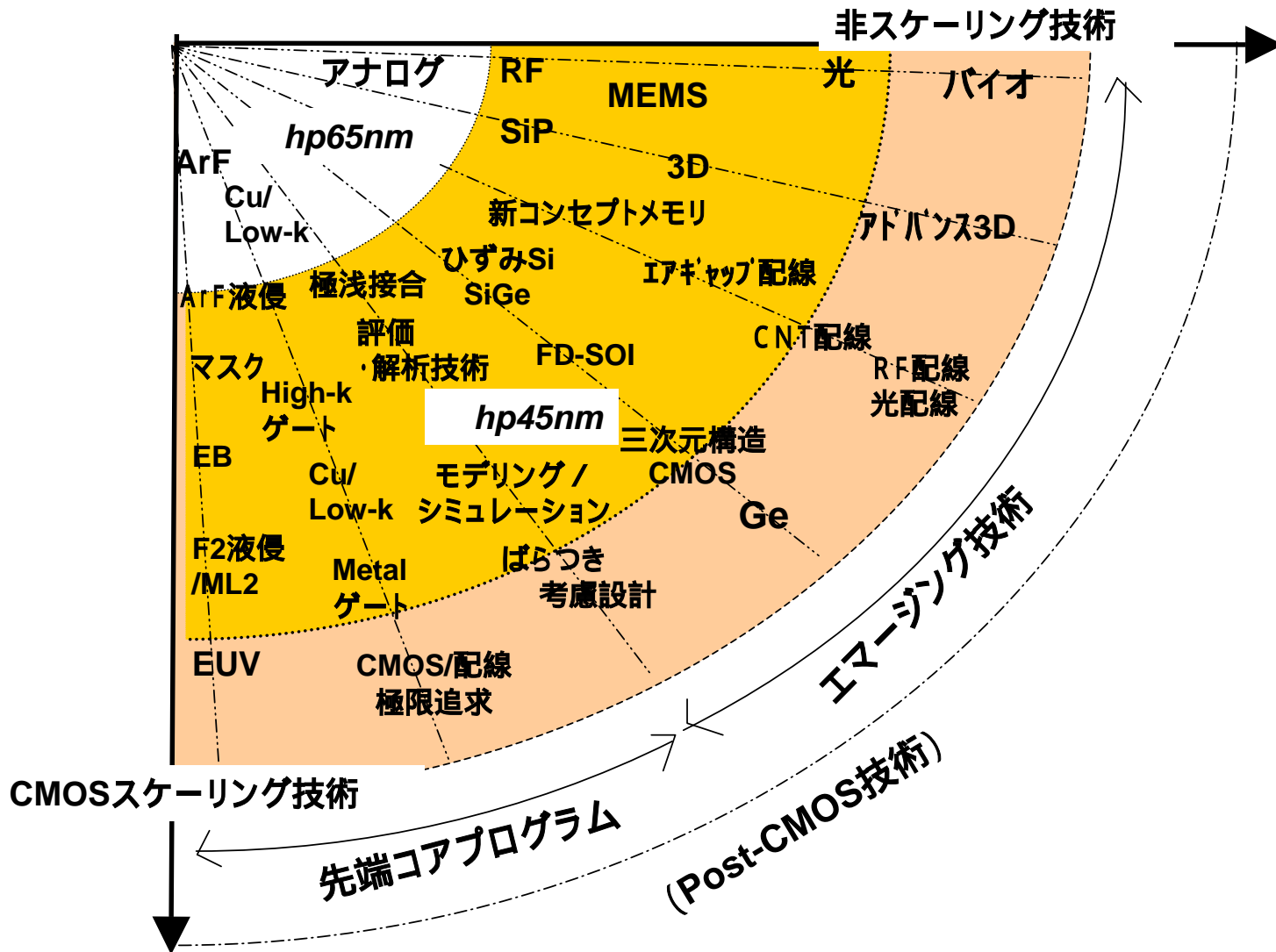
ASPLA計画見直し

- ◆ ASPLAは9月末にそのプロセス開発のミッションを終了
 - 予定されていた開発を成功裏に完了，そのミッションを終えることにした。
 - IP試作シャトルは各社の協力を得ながら業界として継続。
- ◆ ASPLAで得られた成果
 - 300mm対応90nmノードの標準プロセス開発。
 - 汎用と低電力のプロセスを開発，成果は量産工場立上げにも利用中。
 - 産総研と共同でフォトマスクの仕様や規格の標準化を推進し妥当性を検証。
 - STARCと共同で90nm対応設計技術・設計資産の標準化と蓄積を実施。
 - 設計メソドロジの開発や基本IPの開発と整備などを完了。
 - 大学やベンチャーなどに対するIPの試作・検証と量産の引受け。
 - シャトルによる試作方式を構築，各社との連携で事業化までの対応が可能。
- ◆ 今後の対応
 - 65nm対応の標準プロセスは90nmの成果を生かし各社で個別の開発を推進。
 - 65nm以降の設計技術課題は，STARCにて対応を検討。
 - 45nm以降の研究開発はつくば地区に統合して実施の予定(SNCC2)。

第2次SNCC答申まとめ

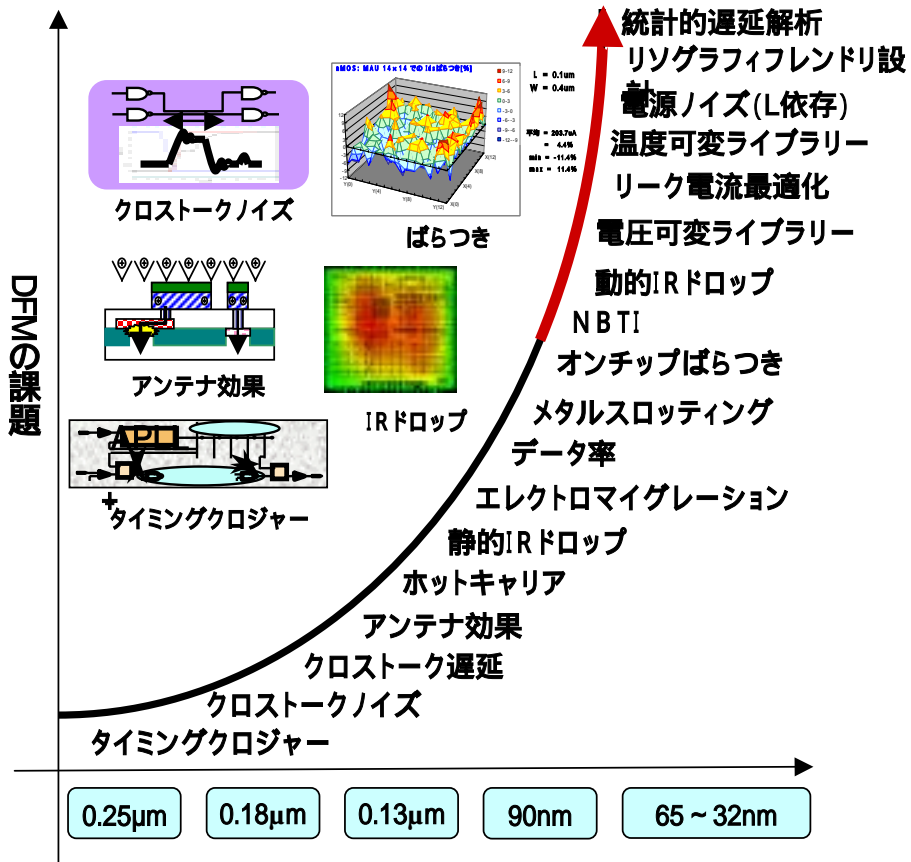
- 半導体デバイスメーカーは日本における先端技術力の再強化を目指して新たな共同研究開発プログラムを2006年度から5年間(hp45 / 32nm世代に相当)行う。
 - 新Seleteは、関連研究機関、大学との連携を強め、最先端CMOS技術開発へ挑戦するとともに、技術ニーズの多様化へも対応。
 - 新Seleteは、つくばを半導体プロセス研究開発の産学官連携拠点とすべく、つくば半導体R&Dプロジェクトを主要メンバーとして主体的に推進。
 - STARCは、半導体設計技術の開発拠点として、次世代SoCの共通設計基盤技術を開発するとともに、人材育成含む産学連携の強化を推進。
 - 新Selete / STARCは半導体研究開発の先導役を担って先端技術基盤を整備、各社は、その開発成果を受けて、各社のコアコンピタンス強化へ研究資源をより集中させることで製品開発競争力を強化。

2006年以降 (hp45nmノード以降) のプロセス技術課題



設計技術課題と先端コアプログラムの概要

微細化に伴う設計課題は増加の一途



製造性考慮最適化設計の新しいワークフローを提案

- 工程間に跨る情報の共有による全体最適化

